

ZEN7251G データシート

株式会社ジーニック

Left blank

目次

1. 概要	1
2. 特徴	1
3. システムブロック構成	2
4. 端子一覧	3
4.1. PCIバス・インタフェース信号	3
4.2. EEPROMコントロール信号	4
4.3. ローカルバス・インタフェース信号	4
4.4. デバッグ信号	6
4.5. 電源・グランド及びテスト信号	6
5. 基本仕様	7
5.1. 対応PCIバス	7
5.2. 電源電圧	7
5.3. 信号電圧	7
5.4. ローカルデータバス	7
5.5. ローカルアドレスバス	7
5.6. ローカルクロック	7
5.7. EEPROM	7
6. PCIバスアクセス	9
6.1. 対応PCコマンド	9
6.1.1. ターゲットアクセス	9
6.1.2. DMA	10

6.2. ディレイド・リード	11
6.3. ポスティッド・ライト	11
6.4. 例外処理	12
6.4.1. ターゲットアクセス	12
6.4.2. DMA	12
6.5. ディスコネクト	13
6.5.1. ターゲットアクセス	13
6.5.2. DMA	13
6.6. リトライ	13
6.6.1. ターゲットアクセス	13
6.6.2. DMA	13
7. ローカルアクセス	14
7.1. 概要	14
7.2. ローカルI/Oアクセス	15
7.3. ローカルメモリアccess	15
7.4. アドレッシング(バンクレジスタ)	16
7.5. タイミングコントロール	16
7.6. リードプリフェッチ(メモリアccess)	16
8. DMA	17
8.1. 概要	17
8.2. 転送回数	17
8.3. 転送領域	17
8.4. 転送方向	17
8.5. バースト長(PCIバス)	17

8.6. アドレッシング	18
8.7. 起動／終了	18
8.7.1. 通常起動／通常終了	18
8.7.2. 強制終了	18
8.7.3. ターゲットアボート	18
8.7.4. マスタアボート	18
8.8. リレー転送	19
9. その他の機能	20
9.1. 汎用I/Oポート	20
9.2. PCIクロックタイマ	20
9.3. 割り込み	20
9.3.1. IRQ#	20
9.3.2. PCIクロックタイマ	20
9.3.3. DMA転送終了	20
9.4. デバッグ用アドレスマッチ信号	21
10. レジスタ	22
10.1. PCIコンフィギュレーションレジスタ	22
10.1.1. レジスタマップ	22
10.1.2. レジスター一覧	23
10.2. モードレジスタ	28
10.2.1. レジスタマップ	28
10.2.2. レジスター一覧	29
11. タイミングチャート	41
11.1. ターゲットアクセス	41
11.1.1. ターゲットI/Oライト	41
11.1.2. ターゲットI/Oリード	42
11.1.3. ターゲットメモリアイト	43
11.1.4. ターゲットメモリアード(プリフェッチなし)	44
11.1.5. ターゲットメモリアード(プリフェッチ8データ)	45
11.1.6. レジスタ設定によるタイミングコントロール(I/Oライト)	46

11.1.7. レジスタ設定によるタイミングコントロール(I/Oリード)	46
11.1.8. レジスタ設定によるタイミングコントロール(メモリアイト)	47
11.1.9. レジスタ設定によるタイミングコントロール(メモリアード)	47
11.1.10. WAIT#によるタイミングコントロール(ex. I/Oライト)	48
11.1.11. WAIT#によるタイミングコントロール詳細(ex. I/Oライト)	49
11.1.12. リトライ(ex. I/Oライト)	50
11.1.13. リトライ(ex. I/Oリード)	51
11.1.14. ディスコネクト(メモリアイト)	52
11.1.15. ディスコネクト(メモリアード)	53
11.2. DMA	54
11.2.1. PCI to ローカル(ローカルI/Oライト[転送回数=1])	54
11.2.2. ローカル to PCI(ローカルI/Oリード[転送回数=1])	55
11.2.3. PCI to ローカル(ローカルメモリアイト[転送回数=1])	56
11.2.4. ローカル to PCI(ローカルメモリアード[転送回数=1])	57
11.2.5. PCI to ローカル(ローカルメモリアイト[転送回数=9/スタートアドレス=固定])	58
11.2.6. ローカル to PCIバースト(ローカルメモリアード[転送回数=9/スタートアドレス=インクリメント])	59
11.3. EEPROMによる初期化	60
12. 電気的特性	61
12.1. 絶対最大定格	61
12.2. 推奨動作条件	61
12.3. 直流特性	61
12.4. 交流特性	62
12.5. タイミングダイアグラム	63
12.5.1. ローカルアクセスタイミングダイアグラム	63
12.5.2. EEPROMアクセスタイミングダイアグラム	65
13. パッケージ形状	66
14. 端子配置	67
15. 改訂履歴	68

Left blank

1. 概要

ZEN7251G はPCI(Revision2. 2)及びCompactPCI(Revision1. 0)に準拠したターゲットアクセス&DMA内蔵PCIバス・インタフェースICです。32bit・33MHzのPCIバス(5V)に対応します。ローカル側に最大64Mbyteのメモリ空間と64KbyteのI/O空間を持つことができます。ローカルのデータバスは32bit、アドレスバスは26bitです。ローカルアドレスは内蔵のバンクレジスタを使用することにより、コンフィギュレーションレジスタで割り当てられたサイズ以上の空間を使用することができます。

メモリ領域へのターゲットアクセス及びDMA転送を処理するデータバスには32段の大容量FIFOを内蔵しており、効率的なPCI→ローカル間のデータ転送をサポートします。また、大容量データを効率よく転送するために、DMA設定レジスタ群を4組内蔵しています。本レジスタを活用することにより、ホスト側のメモリを連続して確保できない場合でも、バス効率を落とさずに4つの分散したメモリ領域へ一度にDMA転送が可能です。ローカルバスの信号タイミングはレジスタ設定により調整可能です。また、WAIT#端子により動的にタイミングをコントロールすることもできます。ローカルバスのクロック周波数は最大50MHzです。パッケージには超小型のLFBGA224を採用し、ショートカードサイズの基板でもスペースを有効に活用できます。

2. 特徴

- 32bit・33MHzのPCIバス(5V)に対応
- 電源電圧3. 3V単一
- 入力(入出力)端子は5Vトレナント(PCI/ローカル)
- ローカルクロック入力周波数は最大50MHz
- ローカルメモリ空間最大64Mbyte、ローカルI/O空間最大64Kbyte
- ローカルバスはインタフェース設計が容易なストローブ方式
- 汎用PCIクロックタイマ内蔵(32bit)
- ローカルデータバス幅32bit
- DMA・PCIスタートアドレス、DMA・ローカルバススタートアドレス及び転送回数設定レジスタを4組装備
- I/Oアクセス用アドレスデコーダを内蔵
- モードレジスタ及びWAIT#信号によってローカルアクセスタイミングを調整可能
- ターゲットアクセス(メモリ)・DMA転送それぞれ独立に32段のFIFOを装備
- ローカル側の割り込み信号(IRQ#)をPCIのINTA#として出力
- CompactPCI対応(ホットスワップ非対応)
- 224ピンBGAパッケージ(ボールピッチ0. 8mm)

3. システムブロック構成

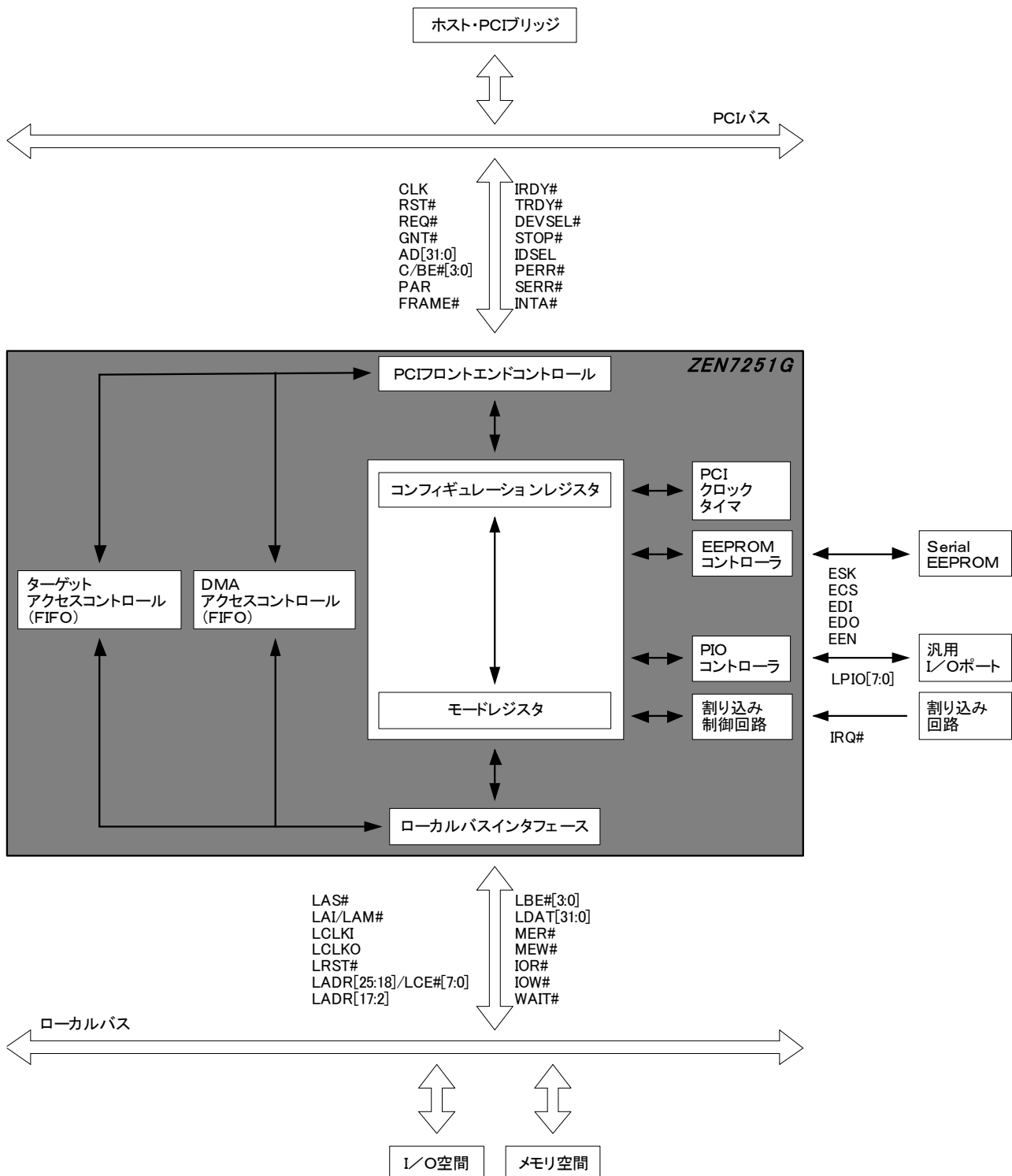


図1. ブロック図

4. 端子一覧

4.1. PCIバス・インタフェース信号

表1. PCIバス・インタフェース信号(その1)

端子番号	記号	信号名	属性	機能
A14	CLK	PCI Clock	IN	PCIバス上にあるすべてのデバイスの動作基準となるクロックです。INTA#、RST#以外のPCIバス・インタフェース信号はすべてこのクロックに同期して動作します。
B14	RST#	PCI Reset	IN	PCIバス上のデバイスをリセットします。
A12	REQ#	Bus Request	OUT	PCIバスの使用権をバス・アービタに対して要求します。
C12	GNT#	Bus Grant	IN	バス・アービタからのPCIバス使用許可信号です。
B11, A11, A9, B8, A8, B7, A6, B5, A4, A3, A2, A1, B2, B1, C1, D1, R1, T1, U2, U1, V1, V2, V3, V4, U6, U7, V7, V8, V9, U10, U11, V11	AD[31:0]	Address/Data	I/O	アドレス・データバスは時分割に32本の信号線をドライブします。バスサイクルは1回のアドレスフェーズとそれに続くデータフェーズからなり、アドレスフェーズでアドレスが、データフェーズでデータが出力されます。
A5, E1, P1, U5	C/BE#[3:0]	Bus Command/Byte Enable	I/O	バスコマンド・バイトイネーブルはAD[31:0]と同様時分割にこの4本の信号をドライブします。アドレスフェーズでバスコマンドが、データフェーズではバイトイネーブルが出力されます。
M1	PAR	Parity	I/O	AD、C/BE#の36本に偶数パリティを付加します。36本のうち、値が“1”のビットの合計が偶数のとき“0”を、奇数のとき“1”を出力します。
G2	FRAME#	Cycle Frame	I/O	サイクルの開始を知らせる信号です。この信号はアドレスフェーズの開始と同時にアサートされます。この信号がアサートされるとサイクルが始まり、デアサートされると次のデータフェーズでサイクルが終了します。
G1	IRDY#	Initiator Ready	I/O	マスタがデータ転送可能であるときにアサートされます。
H1	TRDY#	Target Ready	I/O	ターゲットがデータ転送可能であるときにアサートされます。
J1	DEVSEL#	Device Select	I/O	マスタからのアクセスに応答するかどうかを示す信号です。アクセスを受け入れたターゲットがサイクル終了までアサートします。
K2	STOP#	Bus Stop	I/O	サイクルを実行中のターゲットがマスタに向けてサイクルの中断を要求するときにアサートします。
E2	IDSEL	Initialization Device Select	IN	コンフィギュレーションサイクルの対象となるデバイスを選択するのに使用します。

表2. PCIバス・インタフェース信号(その2)

端子番号	記号	信号名	属性	機能
L1	PERR#	Parity Error	I/O	スペシャルサイクルを除くサイクルにおいて、デバイスがアドレスパリティエラー、データパリティエラーを検知したときにこの信号をアサートします。ライトサイクルではターゲットが、リードサイクルではマスタがこの信号をドライブします。また、この信号の処理はマスタが行います。
M2	SERR#	System Error	OUT	システムにとって致命的なエラーを検知したデバイスがこの信号をアサートします。
B12	INTA#	Interrupt	OUT	割り込み発生時にアサートされます。

4.2. EEPROMコントロール信号

表3. EEPROMコントロール信号

端子番号	記号	信号名	属性	機能
D15	ESK	EEPROM Clock	OUT	EEPROMのクロック信号です。この信号はEEPROMのSKと接続します。
T2	ECS	EEPROM Chip Select	OUT	EEPROMのチップセレクト信号です。この信号はEEPROMのCSと接続します。
C2	EDI	EEPROM Data IN	IN	EEPROMからのデータを入力します。この信号はEEPROMのDOと接続します。
D3	EDO	EEPROM Data OUT	OUT	EEPROMへのデータを出力します。この信号はEEPROMのDIと接続します。
M4	EEN	EEPROM Enable	IN	この信号が“1”のとき、リセット解除後初期化のためにEEPROMからデータを読み出します。

4.3. ローカルバス・インタフェース信号

表4. ローカルバス・インタフェース信号(その1)

端子番号	記号	信号名	属性	機能
A18	LAS#	Local Access Start	OUT	ローカルアクセスのスタートを示し、サイクルの最初の1クロックのみ“0”を出力します。
A15	LAI/ LAM#	Local Access I/O/Memory	OUT	ローカルデバイスへのアクセスを識別する信号です。この信号が“0”のときメモリアクセスが、“1”のときI/Oアクセスが発生しています。
A16	LCLKI	Local Clock Input	IN	ローカルデバイスをコントロールするためのクロック入力です。ZEN7251G が出力するローカルクロック(LCLKO)を接続することも可能です。
A17	LCLKO	Local Clock 33M Output	OUT	ローカルデバイスをコントロールするためのクロック出力です。この信号はPCIクロックをそのまま(33MHz)出力します。
A10	LRST#	Local Reset	OUT	ローカルデバイスをリセットするための信号です。

表5. ローカルバス・インタフェース信号(その2)

端子番号	記号	信号名	属性	機能
M16, M17, M18, N15, N17, N18, P15, P17, P18, R15, R16, R17, R18, T16, T18, U17, U18, V17, V18, U16, V16, U15, V15, T14, U14, V14, T13, U13, V13, R12, U12, V12	LDAT [31:0]	Local Data	I/O	ローカルデバイスとの間でデータ転送を行うための信号です。
D18, E15, E16, E17, E18, F16, F17, F18	LADR [25:18] / LCE# [7:0]	Local Address / Local Chip Enable	OUT	ローカルデバイスへのアクセスを行うためのアドレス信号です。I/Oアクセス時にはI/O空間のチップイネーブル信号となります。
G15, G16, G17, G18, H16, H17, H18, J15, J17, J18, K15, K16, K17, K18, L17, L18	LADR [17:2]	Local Address	OUT	ローカルデバイスへのアクセスを行うためのアドレス信号です。
B18, C17, C18, D16	LBE#[3:0]	Local Byte Lane Enable	OUT	ローカルバスの有効なバイトレーンを示します。
C16	MER#	Memory Read	OUT	ローカルデバイスへのメモリーリードアクセスを行うときにアサートされます。
C15	MEW#	Memory Write	OUT	ローカルデバイスへのメモリーライトアクセスを行うときにアサートされます。
B16	IOR#	I/O Read	OUT	ローカルデバイスへのI/Oリードアクセスを行うときにアサートされます。
B15	IOW#	I/O Read	OUT	ローカルデバイスへのI/Oライトアクセスを行うときにアサートされます。
R10	WAIT#	Access Wait	IN	この信号を“0”にすることによって、ストローブ信号がディアサートするタイミングを遅らせることができます。
B9	IRQ#	Interrupt Request	IN	ローカル側で発生した割り込み要求をPCIバスに知らせるための信号です。
T10, V5, R5, R3, D13, C13, B13, B17	LPIO[7:0]	Local I/O Port	I/O	8bitのプログラマブルI/Oポートです。

4.4. デバッグ信号

表6. デバッグ信号

端子番号	記号	信号名	属性	機能
F1	AD__ MATCH	Address Match	OUT	PCIからのアクセスが ZEN7251G のいずれかのベースアドレスとマッチするとアサートされます。

4.5. 電源・グランド及びテスト信号

表7. 電源・グランド及びテスト信号

端子番号	記号	信号名	属性	機能
N2, P2, M3, N1, K1	TESTI# [4:0]	Test Input	IN	テスト用の入力端子です。通常使用時は必ずVDDにつないでください。
A7, B10, C5, C11, D12, F4, F15, G4, H4, H15, L2, L15, N4, N16, R13, T5, T9, T11, T12, T17	VDD	VDD	—	電源端子です(+3.3V)。
C4, C9, C10, C14, D5, D14, D17, E3, G3, H2, J16, L4, L16, M15, P3, P16, R11, R14, T4, T7, T15, U8	GND	Ground	—	グランド端子です。
A13, B3, B4, B6, C3, C6, C7, C8, D2, D4, D6, D7, D8, D9, D10, D11, E4, F2, F3, H3, J2, J3, J4, K3, K4, L3, N3, P4, R2, R4, R6, R7, R8, R9, T3, T6, T8, U3, U4, U9, V6, V10	N. C.	No Connection	—	空き端子です。どこにも接続せず空けておいてください。

5. 基本仕様

5.1. 対応PCIバス

ZEN7251Gは周波数33MHz／バス幅32bit／信号電圧5VのPCI規格Revision2. 2に準拠したPCIバスに対応しています。ZEN7251Gの動作電源電圧は3. 3Vですが3. 3V規格のPCIバスには対応していませんのでご注意ください。

5.2. 電源電圧

ZEN7251Gは3. 3V単一電源で動作します。

5.3. 信号電圧

ZEN7251GはPCI側及びローカル側すべての入力(入出力)端子が5Vトレントになっています。

5.4. ローカルデータバス

ZEN7251Gのローカル側のデータバス幅は32bit固定です。

5.5. ローカルアドレスバス

ZEN7251Gのローカル側のアドレス端子は24本です。なお、アドレッシングはLongWord(32bit)単位になりますのでLAD R[25:2]と表記しています。

5.6. ローカルクロック

ZEN7251Gのローカルクロックは最大50MHzまで入力可能です。なお、33MHzのPCIクロックをローカル側に出力しますので、それをZEN7251Gのローカルクロックとして使うこともできます(LCLKOとLCLKIを外部で結線してください)。

5.7. EEPROM

ZEN7251Gは外付けの1Kbit MICROWIRE Serial Access EEPROM(STMicroelectronics社製M93S46等)を用いて、PC Iコンフィギュレーションレジスタとモードレジスタの一部をリセット解除時に初期化する事ができます。EENが“1”のとき、ZEN7251Gはリセット解除後ただちにEEPROMからPCIコンフィギュレーションレジスタとローカルモードレジスタのデータをリードし、その間、PCIバスからのすべてのアクセスに対しリタイで応答します。

ZEN7251G はEEPROM用のシリアルクロック(ESK)としてPCIバスのクロックを128分周したものを出力します。また、初期化だけではなく、EEPROMコントロールレジスタを経由してEEPROMの各制御信号を操作し、任意のアドレスのデータをリード/ライトすることもできます。EEPROMの初期化時の基本的なアクセスタイミングは11. 3. を参照してください。

表8にEEPROMのアドレスマップを示します。

表8. EEPROMのアドレスマップ

EEPROM オフセットアドレス	レジスタ	ビット	EEPROM 設定値
00h	予約		0000h
01h	クラスコード(プログラミングI/F)、レビジョンID	ビット[15:0]	0001h
02h	クラスコード(ベースクラス、サブクラス)	ビット[15:0]	0680h
03h	予約		0000h
04h	サブシステムベンダID	ビット[15:0]	0000h
05h	サブシステムID	ビット[15:0]	0000h
06h	インタラプトピン、インタラプトライン	ビット[8]	0100h
07h	Max__Lat、Min__Gnt	ビット[15:0]	0000h
08h	レンジレジスタ(I/O用) 下位ワード	ビット[15:2]	ffc1h
09h	バンクレジスタ(I/O用) 下位ワード	ビット[15:2]	0000h
0ah	レンジレジスタ(メモリ用) 下位ワード	ビット[15:3]	0000h
0bh	レンジレジスタ(メモリ用) 上位ワード	ビット[9:0]	fff0h
0ch	バンクレジスタ(メモリ用) 下位ワード	ビット[15:4]	0000h
0dh	バンクレジスタ(メモリ用) 上位ワード	ビット[9:0]	0000h
0eh	タイミングコントロールレジスタ下位ワード	ビット[15:0]	0000h
0fh	タイミングコントロールレジスタ上位ワード	ビット[11:0]	0000h
10h	デバイスコントロールレジスタ下位ワード	ビット[7:3]	0004h
11h	デバイスコントロールレジスタ上位ワード	ビット[15:8]	0000h
12h	I/Oポートコントロールレジスタ下位ワード	ビット[15:0]	ff00h
13~1fh	予約		0000h
20~3fh	ユーザ利用領域		

※設定値は各レジスタのリセット値を設定した場合のサンプルです。

6. PCIバスアクセス

6.1. 対応PCIコマンド

6.1.1. ターゲットアクセス

表9にターゲット動作時の各バスコマンドについての対応を示します(表中の○印のついているものをサポートしています)。

表9. バスコマンド対応一覧表

サイクル	命令	バスコマンド				サポート
		C/BE#3	C/BE#2	C/BE#1	C/BE#0	
I/O サイクル	I/Oリード	0	0	1	0	○
	I/Oライト	0	0	1	1	○
メモリ サイクル	メモリード	0	1	1	0	○
	メモリードライン※1	1	1	1	0	○
	メモリードマルチプル※1	1	1	0	0	○
	メモライト	0	1	1	1	○
	メモライト&インバリデイト※2	1	1	1	1	○
CFG※3 サイクル	コンフィギュレーションリード	1	0	1	0	○
	コンフィギュレーションライト	1	0	1	1	○
インタラプトアクリッジサイクル		0	0	0	0	×
スペシャルサイクル		0	0	0	1	×
デュアルアドレスサイクル		1	1	0	1	×
予約		0	1	0	0	×
		0	1	0	1	×
		1	0	0	0	×
		1	0	0	1	×
		1	0	0	1	×

※1 メモリードサイクルとして動作します。

※2 メモライトサイクルとして動作します。

※3 CFG=コンフィギュレーション

表9のサポートしていないバスコマンドによるアクセス(網掛け部分)が発生した場合、ZEN7251G はDEVSEL #をアサートしません(マスタに対して応答しません)ので、結果的にマスタアポートとなります。

6.1.2. DMA

表10にDMA動作時の各バスコマンドについての対応を示します(表中の○印のついているものをサポートしています)。

表10. バスコマンド対応一覧表

サイクル	命令	バスコマンド				サポート
		C/BE #3	C/BE #2	C/BE #1	C/BE #0	
I/O サイクル	I/Oリード	0	0	1	0	×
	I/Oライト	0	0	1	1	×
メモリ サイクル	メモリアード	0	1	1	0	○
	メモリアードライン	1	1	1	0	×
	メモリアードマルチプル	1	1	0	0	×
	メモリライト	0	1	1	1	○
	メモリライト&インバリデート	1	1	1	1	×
CFG サイクル	コンフィギュレーションリード	1	0	1	0	×
	コンフィギュレーションライト	1	0	1	1	×
インタラプトアクリッジサイクル		0	0	0	0	×
スペシャルサイクル		0	0	0	1	×
デュアルアドレスサイクル		1	1	0	1	×
予約		0	1	0	0	×
		0	1	0	1	×
		1	0	0	0	×
		1	0	0	1	×

6.2. デイレイド・リード

PCIからのリード・コマンドは常にデイレイド・リードとして処理されます。すなわち、マスタからのリード要求に対して、リトライで応答し、その間にローカルからデータをリードします。このとき、プリフェッチ不可であれば、1個のデータをリードするとただちにローカルのアクセスは終了します。結果としてプリフェッチ不可ではPCIのバースト転送は行われません。プリフェッチ可能の場合はモードレジスタの設定個数分(8/16/24/32)データ送信用バッファ(TX_FIFO)に継続してデータをリードします。TX_FIFO内にいくつデータが格納されるとリード・コマンドに対して応答するかはデバイスコントロールレジスタのbit[4]の値により決まります(10. 2. 2. 9. の表38を参照してください)。ローカルのリード動作が終了するのはTX_FIFOが空になってディスコネクトした場合かマスタがトランザクションを終了させた場合です。

6.3. ポスティブ・ライト

PCIからのライトコマンドは常にポスティブ・ライトとして処理されます。データ受信用バッファ(RX_FIFO)にデータが存在する間、ローカルに対してライト動作を継続します。RX_FIFOがエンプティになるとローカルへのアクセスを終了します。RX_FIFOがフルになるとPCIのトランザクションをディスコネクトします(トランザクションの最初からRX_FIFOがフルの場合はリトライ)。また、デイレイド・リードのリトライ待機中(ローカルからのリードは完了)にもライトコマンドは受け付けられ、通常の処理が行われます。

6.4. 例外処理

6.4.1. ターゲットアクセス

表11にターゲット動作時の例外処理についての対応を示します。

表11. 例外処理とその対応

例外内容	発生時の対応・処理
アドレスパリティエラー	当該サイクルが ZEN7251G へのものと判断された場合はターゲットアボート、それ以外の場合はサイクルに 응답しません(結果的にマスタアボートとなります)。 コンフィギュレーションレジスタの「パリティエラー応答ビット」、「システムエラー応答ビット」の両方が有効になっていればSERR #をアサートします。
データパリティエラー (ライトアクセス時)	コンフィギュレーションレジスタの「パリティエラー応答ビット」が有効になっていればPERR #をアサートします。ただし、バスサイクルはそのまま継続します。
PERR #を検出 (リードアクセス時にマスタがアサート)	通常動作を継続します。
処理できないバスコマンドを受信	サイクルに 응답しません(結果的にマスタアボートとなります)。
処理できないアドレスとバイトレーンのパターンを受信	ターゲットアボートします(データ処理はおこないません)。

6.4.2. DMA

表12にDMA動作時の例外処理についての対応を示します。

表12. 例外処理とその対応

例外内容	発生時の対応・処理
ターゲット未応答	マスタアボートします。コンフィギュレーションレジスタの「システムエラー応答ビット」が有効になっていればSERR #をアサートします。
データパリティエラー (リードアクセス時)	コンフィギュレーションレジスタの「パリティエラー応答ビット」が有効になっていればPERR #をアサートします。また、コンフィギュレーションレジスタの「マスタデータパリティエラー検出ビット」をセットします。ただし、バスサイクルはそのまま継続します。
PERR #を検出 (ライトアクセス時にターゲットがアサート)	コンフィギュレーションレジスタの「パリティエラー応答ビット」が有効になっていれば、コンフィギュレーションレジスタの「データパリティエラー検出ビット」をセットします。ただし、バスサイクルはそのまま継続します。

6.5. ディスコネクト

6.5.1. ターゲットアクセス

ターゲットライトアクセスにおいてRX_FIFOがフルになった場合、または、ターゲットリードアクセスにおいてTX_FIFOがエンプティになった場合 ZEN7251G はディスコネクトします。11. 1. 14. 及び11. 1. 15. を参照してください。

6.5.2. DMA

DMA転送中に転送先のターゲットデバイスがディスコネクトで応答した場合、ZEN7251G はいったん転送を終了した後、自動的に再開します。

6.6. リトライ

6.6.1. ターゲットアクセス

ZEN7251G はターゲットアクセスに関して、以下の場合にリトライで応答します。

- EEPROMから初期化データをロードしている期間中のすべてのアクセス
- ローカルターゲットリードアクセス

ZEN7251G はPCIのローカルへのターゲットリードアクセスを受け付けるとローカルバスのリード動作を開始します。このローカルバスのリード動作が完了し、PCIのターゲットリードアクセスに対してデータが準備できるまで ZEN7251G はリトライで応答し続けます。11. 1. 13. を参照してください。

- ローカルターゲットライトアクセス

ZEN7251G は同じ種類のローカルへのターゲットライトアクセスを連続して処理することはできません。つまり、ローカルでI/Oライト動作を実行中にさらにPCIのターゲットI/Oライトアクセスを受け付けたとき及びローカルでメモライト動作を実行中にさらにPCIのターゲットメモライトアクセスを受け付けたときにはローカルの処理が終了するまでリトライで応答し続けます。11. 1. 12. を参照してください。

- モードレジスタターゲットアクセス(ライト/リードとも)

ZEN7251G はローカルで何らかの処理を実行中にモードレジスタへのアクセスを受け付けると、ローカルの処理が終了するまでリトライで応答し続けます。

6.6.2. DMA

DMA転送時、転送先のターゲットデバイスがリトライで応答した場合、ZEN7251G はターゲットデバイスがアクセスを受け付けるまで転送を試み続けます。

7. ローカルアクセス

7.1. 概要

ZEN7251G はPCIバス上のアドレスをローカルアドレスに変換して出力します。ローカル側に最大64Mbyteのメモリ空間と、64KbyteのI/O空間を持つことができますので、メモリアクセス時にはLADR[25:2]、I/Oアクセス時にはLADR[15:2]が有効になります。また、I/Oアクセス時には内蔵アドレスデコーダを有効にすることによって、アドレスの上位8ビットをローカルI/O空間のチップイネーブル信号(LCE#[7:0])にすることができます。

LAS#はローカルアクセスの開始を示します。また、ローカルデバイスのI/O空間、メモリ空間に対するアクセスはLAI/LAM#によって決まります(表13参照)。

なお、LADR[25:2]はいかなる場合にもハイインピーダンスにはなりませんので、ローカル上でアドレスバスをドライブする他のデバイス(CPU等)と共存することはできません。

表13. ローカルアクセスの発生一覧

信号			タイミング コントロールレジスタ bit[27]	アクセス	備考
LAS#	LAI/LAM#	LADR[25:18]/ LCE#[7:0]			
0	0	LADR[25:18]	X	メモリ	
0	1	LCE#[7:0]	1	I/O	I/O空間の分割あり
0	1	すべて“1”	0	I/O	I/O空間の分割無し
1	1	—	X	—	

7.2. ローカルI/Oアクセス

ZEN7251G はLAS#、LAI/LAM#、IOW#、IOR#、LADR[25:18]/LCE#[7:0]、LADR[15:2]、LDAT[31:0]、WAIT#の各端子を使用することによってI/Oアクセスを行います。タイミングコントロールレジスタのI/Oチップ選択イネーブル(bit[27])を“1”にすると、ローカルI/O空間を8個に分割することが可能となります。このとき、ローカルアドレスの上位8ビットは分割したI/O空間のチップイネーブル信号として出力されます。I/Oチップ選択イネーブルが“0”のとき、LADR[25:18]/LCE#[7:0]には全ビット“1”が出力されます。

表14. ローカルチップイネーブルのデコード範囲

ローカルアドレス LADR[X+2:X]			ローカルチップイネーブル LCE#[7:0]							
X+2	X+1	X	7	6	5	4	3	2	1	0
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

表 15. I/O空間のデコード範囲

I/Oチップ選択 (ビット[26:24])			ローカルアドレス LADR[X+2:X]			I/O空間の分割
26	25	24	X+2	X+1	X	
0	0	0	LADR[8]	LADR[7]	LADR[6]	64バイト×8個＝ 512バイト
0	0	1	LADR[9]	LADR[8]	LADR[7]	128バイト×8個＝ 1Kバイト
0	1	0	LADR[10]	LADR[9]	LADR[8]	256バイト×8個＝ 2Kバイト
0	1	1	LADR[11]	LADR[10]	LADR[9]	512バイト×8個＝ 4Kバイト
1	0	0	LADR[12]	LADR[11]	LADR[10]	1Kバイト×8個＝ 8Kバイト
1	0	1	LADR[13]	LADR[12]	LADR[11]	2Kバイト×8個＝ 16Kバイト
1	1	0	LADR[14]	LADR[13]	LADR[12]	4Kバイト×8個＝ 32Kバイト
1	1	1	LADR[15]	LADR[14]	LADR[13]	8Kバイト×8個＝ 64Kバイト

7.3. ローカルメモリアクセス

ZEN7251G はLAS#、LAI/LAM#、MEW#、MER#、LADR[25:2]、LDAT[31:0]、WAIT#の各端子を使用することによってメモリアクセスを行います。アクセスはローカルI/Oアクセスとはほぼ同様ですが異なる点は、LAI/LAM#がメモリアクセスの間“0”になります。なお、ローカルI/O空間のような空間分割機能はなく、ローカルアドレスの全ての端子(LADR[25:2])が1つのメモリ空間のアドレッシングに使用されます。

7.4. アドレッシング(バンクレジスタ)

ZEN7251G はモードレジスタのバンクレジスタを使用することによって、PCIコンフィギュレーションレジスタのローカルバスコントロールBAR^{※6}で確保された領域よりも大きな領域を使用することができます。リセット時の設定をそのまま利用する場合、ローカル側に確保できる空間はメモリ空間1Mbyte、I/O空間64byteです。それ以上の空間を使用したい場合、バンクレジスタにアクセスして上位アドレスを設定します。例えば1Mbyteのメモリ領域を確保し、メモリアクセス用バンクレジスタ(Adr. 10h)に03A00000hを設定したとすると、下位18bitはPCIバスのアドレスがそのまま出力され、上位6bitはバンクレジスタの値が出力されます。

LADR[25:20] = 3Ah

LADR[19:2] = AD[19:2] (PCIバスのアドレスがそのまま出力される)

このとき、仮にバンクレジスタに03AFCD00hを設定したとしても出力されるアドレスは上記と同じになります。バンクレジスタの設定値が有効なのはあくまでBARで確保されたアドレスよりも上位に限られます。

※6 BAR=Base Address Registerの略

7.5. タイミングコントロール

ZEN7251G はモードレジスタとWAIT#によって固定/可変のアクセスサイクルを選択することができます。固定サイクルはタイミングコントロールレジスタに設定値を書き込むことによって行います。可変サイクルはリード/ライトのストロブ信号のタイミングをWAIT#によってコントロールします。

また、WAIT#を利用する場合でも、アドレスセットアップ及びアドレスホールドのタイミングはタイミングコントロールレジスタの設定値に従います。WAIT#サイクルを挿入するときは、LAS#がアサートされてからストロブ信号(IOR#/IOW#/MER#/MEW#)がアサートされるまでにWAIT#を“0”にします。WAIT#はデバイスコントロールレジスタによって有効・無効が決まります。デバイスコントロールレジスタのWAIT#イネーブル(bit[1])が“1”のとき、WAIT#は有効になります。WAIT#を使ったアクセスを行うときは必ずこのビットを“1”にしてください。なお、このビットが“1”のとき、タイミングコントロールレジスタのメモリアクセスパルスワイズ(bit[19:16])及びI/Oアクセスパルスワイズ(bit[7:4])の設定値は無効になります。11. 1. 6. ～11. 1. 11. を参照してください。

7.6. リードプリフェッチ(メモリアクセス)

ローカルメモリ領域へのリードアクセスに関して、プリフェッチ動作を行うことができます。プリフェッチを有効にするにはデバイスコントロールレジスタのbit[7]に“1”を設定します。プリフェッチが有効なとき、ZEN7251G はPCIのメモリアクセスコマンドを受け付けるとデバイスコントロールレジスタのbit[6:5]で決まる数だけのデータを連続してリードしTX_FIFOに格納します。こうすることによってPCIのアクセスがストリームを要求した際、効率的に転送できます。11. 1. 5. を参照してください。

また、同レジスタのbit[4]で、プリフェッチ有効時TX_FIFO内にどれだけデータが存在するとPCIのターゲットリードを受け付けるかを定めることができます。このビットが“0”のとき、データが1個でもTX_FIFOに存在するとPCIのアクセスを受け付けます。“1”のときはTX_FIFO内のデータがプリフェッチ設定数の1/2になるとリードコマンドを受け付けます。

8. DMA

8.1. 概要

ZEN7251G は1チャンネルのDMA機能を内蔵しています。これにより、ホストCPUの負荷を減らして高速なホスト←→ターゲットボード間の転送を実現しています。DMA転送時のデータバッファとしてPCI to ローカル(DRX_FIFO)とローカル to PCI(DTX_FIFO)のそれぞれに独立した32段のFIFOを装備しています。

また、ZEN7251G はDMA転送に必要なレジスタ群(PCIスタートアドレス、ローカルスタートアドレス及び転送回数)を4セット独立して装備しています。DMA・転送コントロールレジスタの設定により、最大4つの非連続な領域への転送を1回のDMA起動で行うことが可能です(リレー転送)。

なお、ローカルバスの基本的な転送方式はターゲットアクセスと同じ、インタフェース設計の容易なストローブ方式です。

8.2. 転送回数

DMAの転送回数はDMA・転送回数レジスタに設定します(8. 8. のリレー転送のために4セット分あります)。転送設定回数は1Word単位での設定になります。

8.3. 転送領域

PCIバス側はメモリ固定、ローカルバス側はI/Oとメモリから選択可能です。DMA・転送コントロールレジスタのbit[25]が“0”のときメモリ領域、“1”のときI/O領域に転送します。

8.4. 転送方向

DMA・転送コントロールレジスタのbit[24]が“0”のときローカル to PCI転送、“1”のときPCI to ローカル転送を行います。

8.5. バースト長(PCIバス)

転送方向及び転送領域に関わらず、DMA時 ZEN7251G はDMA・転送コントロールレジスタのbit[30:28]で決まる長さのバースト転送を行います。ZEN7251G はPCIバスの過度の占有を避けるため、常にこの設定数分だけデータを転送するといったバースト転送を終了します。従って、最大でも一度に24データを超えるバースト転送は行いません。例えば転送回数を100回にバースト長を24に設定した場合、24バースト4回と4バースト1回の計5回の転送に自動的に分割されます。

なお、ローカルバス側はPCI to ローカルの場合はDRX_FIFOにデータが1つでもあれば、また、ローカル to PCIの場合はDTX_FIFO内に空きが1つでもあればただちに転送を開始します。

8.6. アドレッシング

PCIバスの転送スタートアドレスはDMA・PCIスタートアドレスレジスタに、ローカルバスの転送スタートアドレスはDMA・ローカルスタートアドレスレジスタに設定します(8. 8. のリレー転送のためにそれぞれ4セット分あります)。通常、PCI/ローカルともアドレスはデータの転送に伴ってインクリメントしていきますが、ローカルアドレスについてはDMA・ローカルスタートアドレスレジスタのbit[31]を“1”に設定することでスタートアドレスを固定して出すことができます。なお、スタートアドレス設定レジスタのbit幅はPCIバス側32bit、ローカルバス側24bit(ただし、転送領域がI/Oの場合は下位16bitのみ有効)です。

また、I/O領域への転送の場合、ターゲットアクセスと同じように内蔵アドレスデコーダを使用することも可能です。

8.7. 起動／終了

8.7.1. 通常起動／通常終了

DMA・転送コントロールレジスタのbit[31]に“1”をライトすることによりDMA転送が起動します。このビットはあらかじめ設定された個数分のデータを転送すると自動的に“0”になり転送を終了します。

8.7.2. 強制終了

DMA転送中にDMA・転送コントロールレジスタのbit[31]に“0”をライトすると転送を終了します。

8.7.3. ターゲットアボート

DMA・エラーコントロールレジスタのbit[1]に“1”が設定されている場合、DMA転送中にターゲットアボートが発生すると転送を終了します。

8.7.4. マスタアボート

DMA・エラーコントロールレジスタのbit[0]に“1”が設定されている場合、DMA転送中にマスタアボートが発生すると転送を終了します。

8.8. リレー転送

ZEN7251GはDMA・PCIスタートアドレスレジスタ、DMA・ローカルスタートアドレスレジスタ及びDMA・転送回数レジスタを4セット持っています。転送パターンは以下の4通りがあり、DMA・転送コントロールレジスタのbit[27:26]の設定に従います。本機能を利用することにより、ホストあるいはローカルの非連続な領域に一度のDMA起動で転送を完了させることが可能になります。また、DMA・転送コントロールレジスタのbit[1:0]をリードすることによって、現在どのセットを転送中かモニターすることも可能です。

表16. DMA転送セット設定

DMA・転送コントロールレジスタbit[27:26]	有効DMA転送セット
00	1st
01	1st→2nd
10	1st→2nd→3rd
11	1st→2nd→3rd→4th

9. その他の機能

9.1. 汎用I/Oポート

ZEN7251G はI/Oポートコントロールレジスタの設定によって入力及び出力として利用できる汎用ポートを8本装備しています。なお、ポートの方向設定及び出力ポート時の初期値はEEPROMで設定することもできます(ポートの出力値はEEPROMによるすべてのレジスタの初期化が完了するまで不定です)。

9.2. PCIクロックタイマ

ZEN7251G は32bitのPCIクロックタイマ(フリーラン・ダウンカウンタ)とカウンタの周期を決めるためのPCIクロックタイマレジスタを装備しています。カウンタに値をロードするには、まず、PCIクロックタイマロードレジスタに値を設定し、その後、デバイスコントロールレジスタのbit[0]に“1”をライトします。設定値をロードした後、デバイスコントロールレジスタのbit[1]を“1”にするとカウントダウンを開始します。9. 3. 2. のPCIクロックタイマ割り込みを有効にしている場合、カウント値が0hになると割り込みが発生します。なお、カウンタは値が0hになると自動的にロードレジスタから値をロードしなおし、ダウンカウントを継続します。クロックタイマイネーブルビットに“0”をライトしない限りこの動作を繰り返します。

9.3. 割り込み

ZEN7251G は次の3つの要因によってPCIバスの割り込み信号であるINTA #をアサートすることができます。外部割り込み要因であるIRQ #についてはマスクすることができます。また、内部割り込み要因であるPCIクロックタイマおよびDMA転送終了については有効／無効の設定が可能です。

9.3.1. IRQ

ローカルバス側の割り込み信号IRQ #をそのままINTA #に出力します。インタラプトコントロールレジスタのbit[3]によりマスクすることもできます。なお、本割り込みをマスク中にIRQ #が“0”になり、その状態のままマスクを解除した場合はただちにINTA #がアサートされます。

9.3.2. PCIクロックタイマ

PCIクロックタイマの値が0hになった時点でINTA #を出力します。レジスタ設定により有効／無効を選択できます。なお、本割り込みを無効設定にしているあいだに割り込み要因が発生し、その後本割り込みを有効に再設定してもただちにINTA #がアサートされることはありません。

9.3.3. DMA転送終了

DMA転送が終了した時点でINTA #を出力します。レジスタ設定により有効／無効を選択できます。なお、本割り込みを無効設定にしているあいだに割り込み要因が発生し、その後本割り込みを有効に再設定してもただちにINTA #がアサートさ

れることはありません。

9.4. デバッグ用アドレスマッチ信号

AD_MATCH(端子番号F1)はPCIアクセスが **ZEN7251G** のいずれかのベースアドレスとマッチするとアサートされます。本信号端子は **ZEN7251G** を搭載したPCIボードのデバッグ用に用意しています。ローカル側のアクセスが期待通りに動作しない場合、本端子を観測することで原因の切り分けが可能です。本信号端子がアサートされていれば、**ZEN7251G** は少なくともそのときのPCIのトランザクションを自分に対するものとして処理しています。逆にアサートされない場合は、ホスト上のソフトに何か問題があるものと推定されます(**ZEN7251G** にセットされているベースアドレスとソフトで指定しているアドレスが一致していない等)。

なお、本端子はデバッグ用ですのでテストピンとして引き出しておき、実動作時のローカルデバイスのコントロール等には使用しないことを推奨いたします。

10. レジスタ

10.1. PCIコンフィギュレーションレジスタ

10.1.1. レジスタマップ

表17にZEN7251GのPCIコンフィギュレーションレジスタのアドレスマップを示します。なお、表中の網掛け部分はサポートしていません。

表17. PCIコンフィギュレーションレジスタ

オフセット アドレス	ビット			
	31	24 23	16 15	8 7 0
00h	デバイスID			ベンダID
04h	ステータスレジスタ			コマンドレジスタ
08h	クラスコード			レビジョンID
0ch	BIST	ヘッダタイプ	マスタレイテンシタイム	キャッシュラインサイズ
10h	モードレジスタコントロールBAR(I/O用)			
14h	ローカルバスコントロールBAR(I/O用)			
18h	ローカルバスコントロールBAR(メモリ用)			
1ch	予約			
20h	予約			
24h	予約			
28h	カードバス CIS ポインタレジスタ			
2ch	サブシステムID		サブシステムベンダID	
30h	エクステンションROM BAR			
34h	予約			
38h	予約			
3ch	Max_Lat	Min_Gnt	インタラプト端子	インタラプトライン
40～ffh	予約			

10.1.2. レジスタ一覧

表18～表28にPCIコンフィギュレーションレジスタの詳細について示します。また、表の見方は、

- ビット : ビットポジションです。
名称 : 該当ビットの名称です。
機能 : 該当ビットの機能です。
リセット値 : リセット状態の値を示しています。左上がMSBとなり、以降右下に向かってLSBとなります。
R : リードの可否を示しています(○→可能、×→不可)。
W : ライトの可否を示しています(○→可能、×→不可)。
I : EEPROMによる初期化の可否を示しています(○→可能、×→不可)。

となっています。また、これは10. 2. 節も同様です。

10.1.2.1. デバイスID & ベンダID[Adr. 00h]

表18. デバイスID & ベンダID

ビット	名称	機能	リセット値	R	W	I
31:16	デバイスID	ZENIC が製造した ZEN7251G を識別するためのID(7251h)です。	01110010 01010001	○	×	×
15:0	ベンダID	PCI SIGによって割り当てられた ZENIC を示すID(2EC1h)です。	00101110 11000001	○	×	×

10.1.2.2. ステータス & コマンド[Adr. 04h]

表19. ステータス & コマンド

ビット	名称	機能	リセット値	R	W	I
31	パリティエラー検知	パリティエラーを検知したとき“1”になります。“1”を書き込むと“0”にクリアされます。	0	○	○	×
30	システムエラー通報	システムエラーが発生したとき“1”になります。“1”を書き込むと“0”にクリアされます。	0	○	○	×
29	マスタアポート受信	DMA中にマスタアポートが発生したとき“1”になります。“1”を書き込むと“0”にクリアされます。	0	○	○	×
28	ターゲットアポート受信	DMA中にターゲットアポートが発生したとき“1”になります。“1”を書き込むと“0”にクリアされます。	0	○	○	×
27	ターゲットアポート通報	ターゲットアクセス中にターゲットアポートが発生したとき“1”になります。“1”を書き込むと“0”にクリアされます。	0	○	○	×
26:25	DEVSEL #タイミング	ターゲットがDEVSEL #をアサートするタイミングを示しています。	01	○	×	×
24	データパリティエラー検知	コマンドレジスタのパリティエラー応答ビットが“1”で、かつ、DMA中に ZEN7251G がターゲットデバイスがPERR #をアサートしたとき“1”になります。“1”を書き込むと“0”にクリアされます。	0	○	○	×
23	高速BTB※7対応可能	異なるターゲットデバイスにわたる高速BTBに対応可能なことを示します。	1	○	×	×
22	予約		0	○	×	×
21	66MHzサイクル	未サポート	0	○	×	×
20:16	予約		00000	○	×	×
15:10	予約		000000	○	×	×
9	高速BTB有効	未サポート	0	○	×	×
8	システムエラー応答	“1”のとき、SERR #が有効になります。	0	○	○	×
7	ウェイトサイクルコントロール	未サポート	0	○	×	×
6	パリティエラー応答	“1”のとき、PERR #が有効になります。	0	○	○	×
5	VGAパレットスヌープ	未サポート	0	○	×	×
4	メモライト & インバルリデート	未サポート	0	○	×	×
3	スペシャルサイクル	未サポート	0	○	×	×
2	バスマスタイネーブル	“1”のとき、マスタとして動作することができます。	0	○	○	×
1	メモリーイネーブル	“1”のとき、メモリアクセスに応答することができます。	0	○	○	×
0	I/Oイネーブル	“1”のとき、I/Oアクセスに応答することができます。	0	○	○	×

※7 BTB=Back To Backの略

10.1.2.3. クラスコード & レビジョンID[Adr. 08h]

表20. クラスコード & レビジョンID

ビット	名称	機能	リセット値	R	W	I
31:24	ベースクラス	デバイスのベースクラスを分類します。	00000110	○	×	○
23:16	サブクラス	デバイスのサブクラスを分類します。	10000000	○	×	○
15:8	プログラミング インタフェース	プログラミングインタフェースについて互換性を備えた業界標準のインタフェースが存在するときに、その種類を特定するために使用されます。	00000000	○	×	○
7:0	レビジョンID	デバイスのレビジョンを示すために使用します。	00000001	○	×	○

10.1.2.4. BIST & ヘッドタイプ & マスタレイテンシタイム & キャッシュラインサイズ[Adr. 0ch]

表21. BIST & ヘッドタイプ & マスタレイテンシタイム & キャッシュラインサイズ

ビット	名称	機能	リセット値	R	W	I
31	BISTイネーブル	未サポート	0	○	×	×
30	BISTスタート	未サポート	0	○	×	×
29:28	予約		00	○	×	×
27:24	BIST完了コード	未サポート	0000	○	×	×
23	ヘッドタイプ	デバイスが単機能デバイスか多機能デバイスのどちらであるのかを示しています。ZEN7251G は単機能デバイスのみをサポートしていますので、このビットは常に“0”となります。	0	○	×	×
22:16	コンフィギュレーション タイプ	コンフィギュレーションデバイスのヘッドタイプを示しています。ZEN7251GはPCIデバイスなので“0000000”となります。	0000000	○	×	×
15:8	マスタレイテンシタイム	バスサイクルを中止するまでのタイミングを決定するタイムです。下位3bitは“0”固定です。	00000000	○	○	×
7:0	キャッシュラインサイズ	未サポート	00000000	○	×	×

10.1.2.5. モードレジスタコントロールBAR(I/O用)[Adr. 10h]

表22. モードレジスタコントロールBAR(I/O用)

ビット	名称	機能	リセット値	R	W	I
31:7	モードレジスタ コントロールBAR	モードレジスタにI/Oアクセスするためのアドレスを示しています。	11111111 11111111 11111111 1	○	○	×
6:2	モードレジスタ コントロールBAR	モードレジスタにI/Oアクセスするためのアドレスを示しています。モードレジスタは128byteのアドレス空間を使用しますので、ビット[6:2]は“0”となります。	00000	○	×	×
1	予約		0	○	×	×
0	I/Oアクセス インジケータ	モードレジスタへのI/Oアクセスに応答することを示すビットです。	1	○	×	×

10.1.2.6. ローカルバスコントロールBAR(I/O用)[Adr. 14h]

表23. ローカルバスコントロールBAR(I/O用)

ビット	名称	機能	リセット値	R	W	I
31:2	ローカルバス コントロールBAR	ローカルデバイスにI/Oアクセスするためのアドレスを示しています。このレジスタはモードレジスタ内にあるレンジレジスタの値によって決まります。EEPROMを使用しない場合、64byteのI/O空間を確保します。	00000000 00000000 00000000 00000000	○	○	×
1	予約		0	○	×	×
0	I/Oアクセス インジケータ	ローカルバスへのI/Oアクセスに応答することを示すビットです。	1	○	×	×

10.1.2.7. ローカルバスコントロールBAR(メモリ用)[Adr. 18h]

表24. ローカルバスコントロールBAR(メモリ用)

ビット	名称	機能	リセット値	R	W	I
31:4	ローカルバス コントロールBAR	ローカルデバイスにメモリアクセスするためのアドレスを示しています。このレジスタはモードレジスタ内にあるレンジレジスタの値によって決まります。EEPROMを使用しない場合、1Mbyteのメモリ空間を確保します。	00000000 00000000 00000000 0000	○	○	×
3	プリフェッチ	この領域がプリフェッチ可能かどうかを示します。“1”のときプリフェッチ可能です。	0	○	×	×
2:1	アドレスタイプ	未サポート	00	○	×	×
0	メモリアクセス インジケータ	ローカルバスへのメモリアクセスに応答することを示すビットです。	0	○	×	×

10.1.2.8. カードバスCISポインタ[Adr. 28h]

表25. カードバスCISポインタ

ビット	名称	機能	リセット値	R	W	I
31:0	カードバス CISポインタレジスタ	未サポート	00000000 00000000 00000000 00000000	○	×	×

10.1.2.9. サブシステムID & サブシステムベンダID[Adr. 2ch]

表26. サブシステムID & サブシステムベンダID

ビット	名称	機能	リセット値	R	W	I
31:16	サブシステムID	ベンダが製造したシステムを識別するためのIDです。	00000000 00000000	○	×	○
15:0	サブシステムベンダID	ベンダIDと同様に、PCI SIGによって割り当てられたIDです。	00000000 00000000	○	×	○

10.1.2.10. エクスパンジョンROM BAR[Adr. 30h]

表27. エクスパンジョンROM BAR

ビット	名称	機能	リセット値	R	W	I
31:0	エクスパンジョンROM BAR	未サポート	00000000 00000000 00000000 00000000	○	×	×

10.1.2.11. Max_Lat & Min_Gnt & インタラプトライン & インタラプト端子[Adr. 3ch]

表28. Max_Lat & Min_Gnt & インタラプト端子 & インタラプトライン

ビット	名称	機能	リセット値	R	W	I
31:24	Max_Lat	ZEN7251G がDMA時、どのくらいの頻度でバスの使用权を必要とするかを示します。	00000000	○	×	○
23:16	Min_Gnt	ZEN7251G がDMA時、最低実行したいリクエストサイクルを示します。	00000000	○	×	○
15:8	インタラプト端子	コンフィギュレーションによって割り込みがINTA# ~INTD#のどのインタラプト信号に接続されるのかを示しています。ZEN7251G は単機能デバイスなのでINTA#を利用します。なお、EEPROMによる値のロードはbit[8]のみ可能で、bit[15:9]は常に“0”固定です。 なお、このbitの設定だけでは ZEN7251G の割り込み機能は有効になりません。割り込みを利用するにはインタラプトコントロールレジスタを設定する必要があります。	00000001	○	×	○
7:0	インタラプトライン	コンフィギュレーションによって割り込みがどのインタラプトラインに接続されるのかを示します。	00000000	○	○	×

10.2. モードレジスタ

ZEN7251G の各種機能はモードレジスタに値を設定することによって制御します。モードレジスタへはコンフィギュレーションレジスタのモードレジスタ用のベースアドレスレジスタを通してI/Oアクセスします。

10.2.1. レジスタマップ

表29に ZEN7251G のモードレジスタのアドレスマップを示します。

表29. モードレジスタ

オフセット アドレス	31	24 23	ビット 16 15	8 7	0
00h					レンジレジスタ(I/O用)
04h					バンクレジスタ(I/O用)
08h					予約
0ch					レンジレジスタ(メモリ用)
10h					バンクレジスタ(メモリ用)
14h					予約
18h					タイミングコントロールレジスタ
1ch					予約
20h					I/Oポートコントロールレジスタ
24h					予約
28h					予約
2ch					インタラプトコントロールレジスタ
30h					EEPROMコントロールレジスタ
34h					デバイスコントロールレジスタ
38h					PCIクロックタイマロードレジスタ
3ch					PCIクロックタイマレジスタ
40h					予約
44h					予約
48h					DMA・転送コントロールレジスタ
4ch					DMA・エラーコントロールレジスタ
50h					DMA・PCIスタートアドレスレジスタ1stセット
54h					DMA・ローカルスタートアドレスレジスタ1stセット
58h					DMA・転送回数レジスタ1stセット
5ch					DMA・PCIスタートアドレスレジスタ2ndセット
60h					DMA・ローカルスタートアドレスレジスタ2ndセット
64h					DMA・転送回数レジスタ2ndセット
68h					DMA・PCIスタートアドレスレジスタ3rdセット
6ch					DMA・ローカルスタートアドレスレジスタ3rdセット
70h					DMA・転送回数レジスタ3rdセット
74h					DMA・PCIスタートアドレスレジスタ4thセット
78h					DMA・ローカルスタートアドレスレジスタ4thセット
7ch					DMA・転送回数レジスタ4thセット

10.2.2. レジスタ一覧

10.2.2.1. レンジレジスタ(I/Oアクセス用)[Adr. 00h]

表30. レンジレジスタ(I/O用)

ビット	名称	機能	リセット値	R	W	I
31:16	予約		11111111 11111111	○	×	×
15:2	ローカルI/Oレンジ	必要とするローカルI/O空間のサイズをローカルバスコントロールBARに知らせるためのレジスタです。下位からの連続している“0”のビットがBARで確保するI/O空間を示しています。リセット時64byteの空間を確保します。	11111111 110000	○	×	○
1	予約		0	○	×	×
0	ローカルI/Oアクセスインジケータ	ローカルデバイスへのI/Oアクセスに応答することを示すビットです。	1	○	×	×

10.2.2.2. バンクレジスタ(I/Oアクセス用)[Adr. 04h]

表31. バンクレジスタ(I/O用)

ビット	名称	機能	リセット値	R	W	I
31:16	予約		00000000 00000000	○	×	×
15:2	ローカルI/Oバンクアドレス	ローカルデバイスへのI/Oアクセスを行うときのアドレスとなります。PCIバス上のアドレスとこのレジスタの値を合成してローカルアドレスとして出力します。詳細は7. 4. を参照してください。	00000000 000000	○	○	○
1:0	予約		00	○	×	×

10.2.2.3. レンジレジスタ(メモリアクセス用)[Adr. 0ch]

表32. レンジレジスタ(メモリ用)

ビット	名称	機能	リセット値	R	W	I
31:26	予約		111111	○	×	×
25:4	ローカルメモリエレンジ	必要とするローカルメモリ空間のサイズをローカルバスコントロールBARに知らせるためのレジスタです。下位からの連続している“0”のビットがBARで確保するメモリ空間を示しています。リセット時1Mbyteの空間を確保します。	11111100 00000000 000000	○	×	○
3	プリフェッチ	この領域がプリフェッチ可能かどうかを示します。“1”のときプリフェッチ可能です。	0	○	×	○
2:1	予約		00	○	×	×
0	ローカルメモリアクセスインジケータ	ローカルデバイスへのメモリアクセスに応答することを示すビットです。	0	○	×	×

10.2.2.4. バンクレジスタ(メモリアクセス用)[Adr. 10h]

表33. バンクレジスタ(メモリ用)

ビット	名称	機能	リセット値	R	W	I
31:26	予約		000000	○	×	×
25:4	ローカルメモリ バンクアドレス	ローカルデバイスへのメモリアクセスを行うときのアドレスとなります。PCIバス上のアドレスとこのレジスタの値を合成してローカルアドレスとして出力します。詳細は7. 4. を参照してください。	00000000 00000000 000000	○	○	○
3:0	予約		0000	○	×	×

10.2.2.5. タイミングコントロールレジスタ[Adr. 18h]

表34. タイミングコントロールレジスタ

ビット	名称	機能	リセット値	R	W	I
31:28	予約		0000	○	×	×
27	内蔵アドレスデコーダ イネーブル	このビットが“1”のとき、内蔵アドレスデコーダが有効になります。	0	○	○	○
26:24	内蔵アドレスデコーダ デコードビットセレクト	内蔵アドレスデコーダがデコード対象とするアドレスのビット位置を選択します。	000	○	○	○
23:20	メモリアクセス アドレスホールド	メモリアクセスにおけるアドレスホールドのクロック数を設定します。《設定値+1》がアドレスホールドのクロック数となります。	0000	○	○	○
19:16	メモリアクセス パルスワイズ	メモリアクセスにおけるMER#／MEW#のローパルス幅を設定します。《設定値+1》がローパルス幅のクロック数となります。なお、この設定はWAIT#が有効な場合は無効になります。	0000	○	○	○
15:12	メモリアクセス アドレスセットアップ	メモリアクセスにおけるアドレスセットアップのクロック数を設定します。《設定値+2》がアドレスホールドのクロック数となります。	0000	○	○	○
11:8	I/Oアクセス アドレスホールド	I/Oアクセスにおけるアドレスホールドのクロック数を設定します。《設定値+1》がアドレスホールドのクロック数となります。	0000	○	○	○
7:4	I/Oアクセス パルスワイズ	I/OアクセスにおけるIOR#／IOW#のローパルス幅を設定します。《設定値+1》がローパルス幅のクロック数となります。なお、この設定はWAIT#が有効な場合は無効になります。	0000	○	○	○
3:0	I/Oアクセス アドレスセットアップ	I/Oアクセスにおけるアドレスセットアップのクロック数を設定します。《設定値+2》がアドレスホールドのクロック数となります。	0000	○	○	○

10.2.2.6. I/Oポートコントロールレジスタ[Adr. 20h]

表35. I/Oポートコントロールレジスタ

ビット	名称	機能	リセット値	R	W	I
31:16	予約		00000000 00000000	○	×	×
15:8	I/Oポート設定	汎用I/Oポートの入出力方向を設定します。“1”で入力、“0”で出力に設定されます。	11111111	○	○	○
7:0	I/Oポート	汎用I/Oポートです。bit[15:8]の設定により入出力の方向を決定します。	00000000	○	○	○

10.2.2.7. インタラプトコントロールレジスタ[Adr. 2ch]

表36. インタラプトコントロールレジスタ

ビット	名称	機能	リセット値	R	W	I
31:18	予約		00000000 00000000	○	×	×
17	DMAエラーモニタ (ターゲットポート)	DMAエラーコントロールレジスタのbit[17]をモニタ表示します。	0	○	×	×
16	DMAエラーモニタ (マスタポート)	DMAエラーコントロールレジスタのbit[16]をモニタ表示します。	0	○	×	×
15:10	予約		00000000	○	×	×
9	テスト	必ず“0”を書き込んでください。	0	○	○	×
8	IRQ #モニタ	IRQ #信号の状態をモニタします。	X	○	×	×
7:6	内部要因インタラプト リセット	“1”を書くことによってbit[2:1]の内部要因インタラプトステータスを個別に“0”にクリアします。 bit7 : PCIクロックタイマ bit6 : DMA転送終了	00	×	○	×
5:4	内部要因インタラプト 無効	INTA #をアサートする2つの内部要因を個別に無効化します。“1”で無効になります。 bit5 : PCIクロックタイマ bit4 : DMA転送終了	11	○	○	×
3	外部要因インタラプト マスク	INTA #をアサートする外部要因であるIRQ #をマスクします。“1”でマスクされます。	1	○	○	×
2:1	内部要因インタラプト ステータス	INTA #をアサートする内部要因(PCIクロックタイマ・DMA転送終了)のステータスです。“1”が割り込み要因の発生を示します。 bit2 : PCIクロックタイマ bit1 : DMA転送終了	00	○	×	×
0	外部要因インタラプト ステータス	INTA #をアサートする外部要因(IRQ #)のステータスです。“1”が割り込み要因の発生を示します。本割り込みはZEN7251G上ではクリアできません。	0	○	×	×

10.2.2.8. EEPROMコントロールレジスタ[Adr. 30h]

表37. EEPROMコントロールレジスタ

ビット	名称	機能	リセット値	R	W	I
31:8	予約		00000000 00000000 00000000	○	×	×
7:5	予約		000	○	×	×
4	EEPROM イネーブル モニタ	このビットを通してEEN端子の値が読み出せます。	X	○	×	×
3	EEPROM データアウト	EEPROMへのデータ出力です。このビットに設定した値がEDOより出力されます。	0	○	○	×
2	EEPROM データイン	EEPROMからのデータ入力です。このビットを通してEDIの値が読み出せます。	X	○	×	×
1	EEPROM チップセレクト	EEPROMのチップセレクト信号です。このビットに設定した値がECSより出力されます。	0	○	○	×
0	EEPROM クロック	EEPROMのクロックです。このビットに設定した値がESKより出力されます。	0	○	○	×

10.2.2.9. デバイスコントロールレジスタ[Adr. 34h]

表38. デバイスコントロールレジスタ

ビット	名称	機能	リセット値	R	W	I
31:24	USERDEF	ユーザ定義の領域です。	00000000	○	×	○
23:8	予約		00000000 00000000	○	×	×
7	プリフェッチイネーブル	“1”でメモリ領域へのターゲットリードアクセスの際、プリフェッチを行います。	0	○	○	○
6:5	プリフェッチ データ設定	メモリ領域のプリフェッチがbit[7]で許可されているとき、FIFOにどれだけのデータをプリフェッチするか選択します。 00 : 8データ 01 : 16データ 10 : 24データ 11 : 32データ	00	○	○	○
4	プリフェッチ 転送トリガレベル	メモリ領域のプリフェッチがbit[7]で許可されているとき、FIFOにどれだけデータが書き込まれるとPCIのターゲットリードを受け付けるかを決めます。 0 : 1データ 1 : プリフェッチデータ設定数の1/2	0	○	○	○
3	WAIT#イネーブル	“1”でWAIT#によるウェイトサイクルを有効にします。	0	○	○	○
2	ローカルリセット	ローカルリセットを発生させます。“0”を書き込むとL RST#が“0”となります。このビットは“1”が書き込まれるまでリセット状態を保持します。	1	○	○	×
1	PCIクロックタイマ イネーブル	“1”でPCIクロックタイマがダウントを行います。	0	○	○	×
0	PCIクロックタイマ ロード	“1”を書き込むとロードレジスタに設定されている値をPCIクロックタイマにロードします。	0	×	○	×

10.2.2.10. PCIクロックタイマロードレジスタ[Adr. 38h]

表39. PCIクロックタイマロードレジスタ

ビット	名称	機能	リセット値	R	W	I
31:0	PCIクロックタイマ ロード値	PCIクロックタイマにロードする値を設定します。本レジスタの値はデバイスコントロールレジスタのbit[0]に“1”が書き込まれるとPCIクロックタイマにロードされます。	00000000 00000000 00000000 00000000	○	○	×

10.2.2.11. PCIクロックタイマレジスタ[Adr. 3ch]

表40. PCIクロックタイマレジスタ

ビット	名称	機能	リセット値	R	W	I
31:0	PCIクロックタイマ	32bitの内蔵PCIクロックタイマです。本レジスタは読取専用で直接値を書き込むことはできません。	00000000 00000000 00000000 00000000	○	×	×

10.2.2.12. DMA・転送コントロールレジスタ[Adr. 48h]

表41. DMA・転送コントロールレジスタ

ビット	名称	機能	リセット値	R	W	I
31	転送イネーブル	“1”を書くことによりDMA転送を開始します。転送終了とともに“0”にクリアされます。また、“0”を書くことにより強制終了することもできます。	0	○	○	×
30:28	PCI転送トリガレベル	<ローカル to PCIの場合> FIFOにどれだけデータが格納されるとPCI側に転送を要求するかを決めます。 <PCI to ローカルの場合> FIFOにどれだけ空きが存在するとPCI側に転送を要求するかを決めます。 000 : 1 001 : 8 010 : 16 011 : 24 100~111 : 予約	000	○	○	×
27:26	転送セット有効設定	ZEN7251G はDMA転送時のPCIバスのスタートアドレス及びデータ転送回数設定レジスタを4セット内蔵しています。この4セットのレジスタの内どこまで使用するかを決めます。 00 : 1stのみ 01 : 1st→2nd 10 : 1st→2nd→3rd 11 : 1st→2nd→3rd→4th	00	○	○	×
25	ローカルバス転送領域	“0”でメモリ領域、“1”でI/O領域に転送します。	0	○	○	×
24	転送方向	“0”でローカル to PCI、“1”でPCI to ローカルになります。	0	○	○	×
23:3	予約		00000000 00000000 000000	○	×	×
2	強制終了処理モニタ	“1”でDMAの強制終了処理中を示します。このbitが“1”の間はDMAの強制終了処理中ですので、新たなDMAの起動をしないようにして下さい。	0	○	×	×
1:0	転送セットモニタ	現在、何番目の転送セットを実行中かモニタ表示します。転送終了時には最終の転送セットを表示したままになります。また、表示と転送セットの関係は次のようになります。 00 : 1st 01 : 2nd 10 : 3rd 11 : 4th	00	○	×	×

10.2.2.13. DMA・エラーコントロールレジスタ[Adr. 4ch]

表42. DMA・エラーコントロールレジスタ

ビット	名称	機能	リセット値	R	W	I
31:18	予約		00000000 000000	○	×	×
17	エラー検出 (ターゲットアボート)	DMA転送中にターゲットアボートを検出すると“1”になります。“1”を書き込むと“0”にクリアされます。	0	○	○	×
16	エラー検出 (マスタアボート)	DMA転送中にマスタアボートを検出すると“1”になります。“1”を書き込むと“0”にクリアされます。	0	○	○	×
15:2	予約		00000000 000000	○	×	×
1	転送中止許可 (ターゲットアボート)	“1”でターゲットアボートによるDMA転送中止を許可します。	1	○	○	×
0	転送中止許可 (マスタアボート)	“1”でマスタアボートによるDMA転送中止を許可します。	1	○	○	×

10.2.2.14. DMA・PCIスタートアドレスレジスタ1stセット[Adr. 50h]

表43. DMA・PCIスタートアドレスレジスタ1stセット

ビット	名称	機能	リセット値	R	W	I
31:2	PCIスタートアドレス 1stセット	DMA転送時、最初に出力されるPCIバスのスタートアドレスです。	00000000 00000000 00000000 00000000	○	○	×
1:0	予約		00	○	×	×

10.2.2.15. DMA・ローカルスタートアドレスレジスタ1stセット[Adr. 54h]

表44. DMA・ローカルスタートアドレスレジスタ1stセット

ビット	名称	機能	リセット値	R	W	I
31	DMA ローカル アドレッシング設定 1stセット	“0”のときローカルバスのアドレスをインクリメントします。“1”のときスタートアドレスを保持します。	0	○	○	×
30:26	予約		00000	○	×	×
25:2	DMA ローカル スタートアドレス 1stセット	DMA転送時、最初に出力されるローカルバスのスタートアドレスです。転送モードがI/Oの場合はbit [25:16]は無効です。	00000000 00000000 00000000	○	○	×
1:0	予約		00	○	×	×

10.2.2.16. DMA・転送回数レジスタ1stセット[Adr. 58h]

表45. DMA転送回数レジスタ1stセット

ビット	名称	機能	リセット値	R	W	I
31:24	予約		00000000	○	×	×
23:0	転送回数 1stセット	DMAスタートアドレスレジスタ1stセットに対応する転送回数を設定します。	00000000 00000000 00000000	○	○	×

10.2.2.17. DMA・PCIスタートアドレスレジスタ2ndセット[Adr. 5ch]

表46. DMA・PCIスタートアドレスレジスタ2ndセット

ビット	名称	機能	リセット値	R	W	I
31:2	PCIスタートアドレス 2ndセット	DMA転送時、2番目に出力されるPCIバスのスタートアドレスです。	00000000 00000000 00000000 00000000	○	○	×
1:0	予約		00	○	×	×

10.2.2.18. DMA・ローカルスタートアドレスレジスタ2ndセット[Adr. 60h]

表47. DMA・ローカルスタートアドレスレジスタ2ndセット

ビット	名称	機能	リセット値	R	W	I
31	DMA ローカル アドレッシング設定 2ndセット	“0”のときローカルバスのアドレスをインクリメントします。“1”のときスタートアドレスを保持します。	0	○	○	×
30:26	予約		00000	○	×	×
25:2	DMA ローカル スタートアドレス 2ndセット	DMA転送時、2番目に出力されるローカルバスのスタートアドレスです。転送モードがI/Oの場合はbit[25:16]は無効です。	00000000 00000000 00000000	○	○	×
1:0	予約		00	○	×	×

10.2.2.19. DMA・転送回数レジスタ2ndセット[Adr. 64h]

表48. DMA転送回数レジスタ2ndセット

ビット	名称	機能	リセット値	R	W	I
31:24	予約		00000000	○	×	×
23:0	転送回数 2ndセット	DMAスタートアドレスレジスタ2ndセットに対応する転送回数を設定します。	00000000 00000000 00000000	○	○	×

10.2.2.20. DMA・PCIスタートアドレスレジスタ3rdセット[Adr. 68h]

表49. DMA・PCIスタートアドレスレジスタ3rdセット

ビット	名称	機能	リセット値	R	W	I
31:2	PCIスタートアドレス 3rdセット	DMA転送時、3番目に出力されるPCIバスのスタートアドレスです。	00000000 00000000 00000000 00000000	○	○	×
1:0	予約		00	○	×	×

10.2.2.21. DMA・ローカルスタートアドレスレジスタ3rdセット[Adr. 6ch]

表50. DMA・ローカルスタートアドレスレジスタ3rdセット

ビット	名称	機能	リセット値	R	W	I
31	DMA ローカル アドレッシング設定 3rdセット	“0”のときローカルバスのアドレスをインクリメントします。“1”のときスタートアドレスを保持します。	0	○	○	×
30:26	予約		00000	○	×	×
25:2	DMA ローカル スタートアドレス 3rdセット	DMA転送時、3番目に出力されるローカルバスのスタートアドレスです。転送モードがI/Oの場合はbit[25:16]は無効です。	00000000 00000000 00000000	○	○	×
1:0	予約		00	○	×	×

10.2.2.22. DMA・転送回数レジスタ3rdセット[Adr. 70h]

表51. DMA転送回数レジスタ3rdセット

ビット	名称	機能	リセット値	R	W	I
31:24	予約		00000000	○	×	×
23:0	転送回数 3rdセット	DMAスタートアドレスレジスタ3rdセットに対応する転送回数を設定します。	00000000 00000000 00000000	○	○	×

10.2.2.23. DMA・PCIスタートアドレスレジスタ4thセット[Adr. 74h]

表52. DMA・PCIスタートアドレスレジスタ4thセット

ビット	名称	機能	リセット値	R	W	I
31:2	PCIスタートアドレス 4thセット	DMA転送時、4番目に出力されるPCIバスのスタートアドレスです。	00000000 00000000 00000000 00000000	○	○	×
1:0	予約		00	○	×	×

10.2.2.24. DMA・ローカルスタートアドレスレジスタ4thセット[Adr. 78h]

表53. DMA・ローカルスタートアドレスレジスタ4thセット

ビット	名称	機能	リセット値	R	W	I
31	DMA ローカル アドレッシング設定 4thセット	“0”のときローカルバスのアドレスをインクリメントします。“1”のときスタートアドレスを保持します。	0	○	○	×
30:26	予約		00000	○	×	×
25:2	DMA ローカル スタートアドレス 4thセット	DMA転送時、4番目に出力されるローカルバスのスタートアドレスです。転送モードがI/Oの場合はbit[25:16]は無効です。	00000000 00000000 00000000	○	○	×
1:0	予約		00	○	×	×

10.2.2.25. DMA・転送回数レジスタ4thセット[Adr. 7ch]

表54. DMA転送回数レジスタ4thセット

ビット	名称	機能	リセット値	R	W	I
31:24	予約		00000000	○	×	×
23:0	転送回数 4thセット	DMAスタートアドレスレジスタ4thセットに対応する転送回数を設定します。	00000000 00000000 00000000	○	○	×

11. タイミングチャート

11.1. ターゲットアクセス

11.1.1. ターゲットI/Oライト

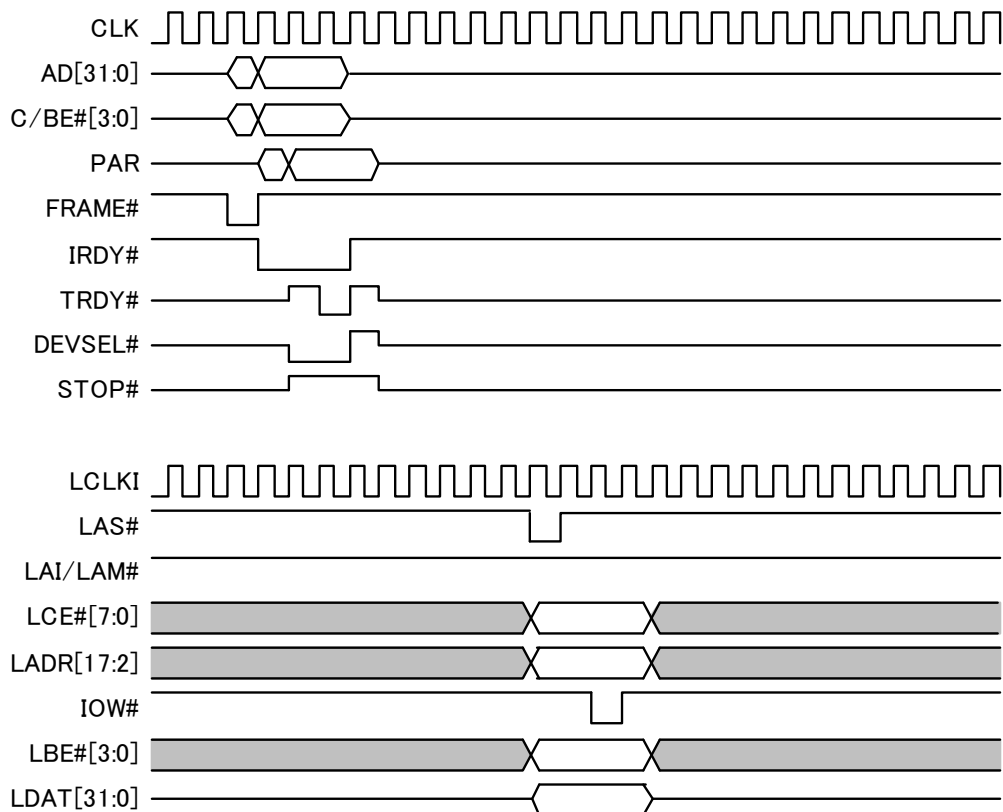


図2. I/Oライト

11.1.2. ターゲットI/Oリード

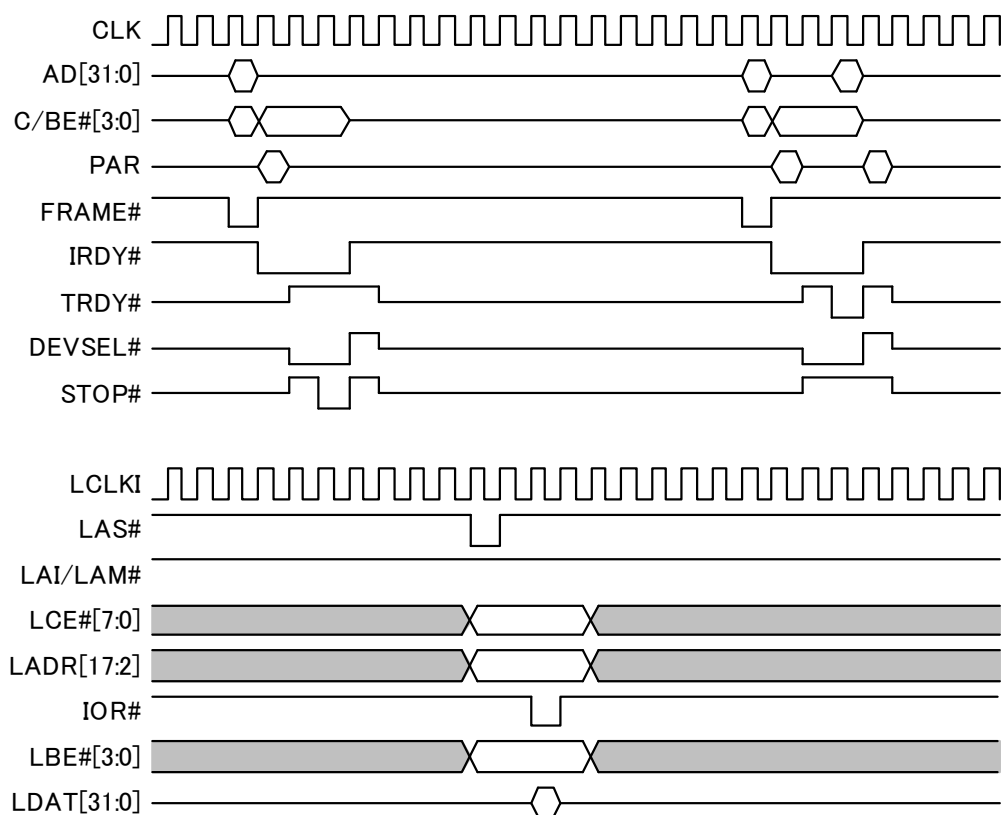


図3. I/Oリード

11.1.3. ターゲットメモライト

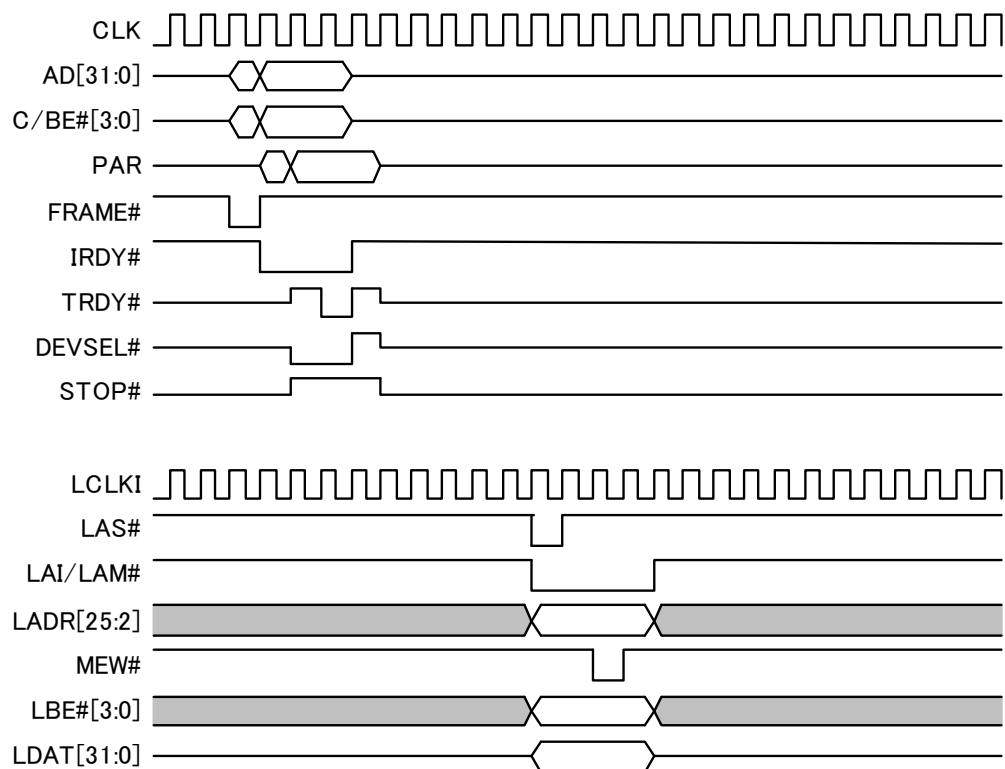


図4. メモライト

11.1.4. ターゲットメモリーリード(プリフェッチなし)

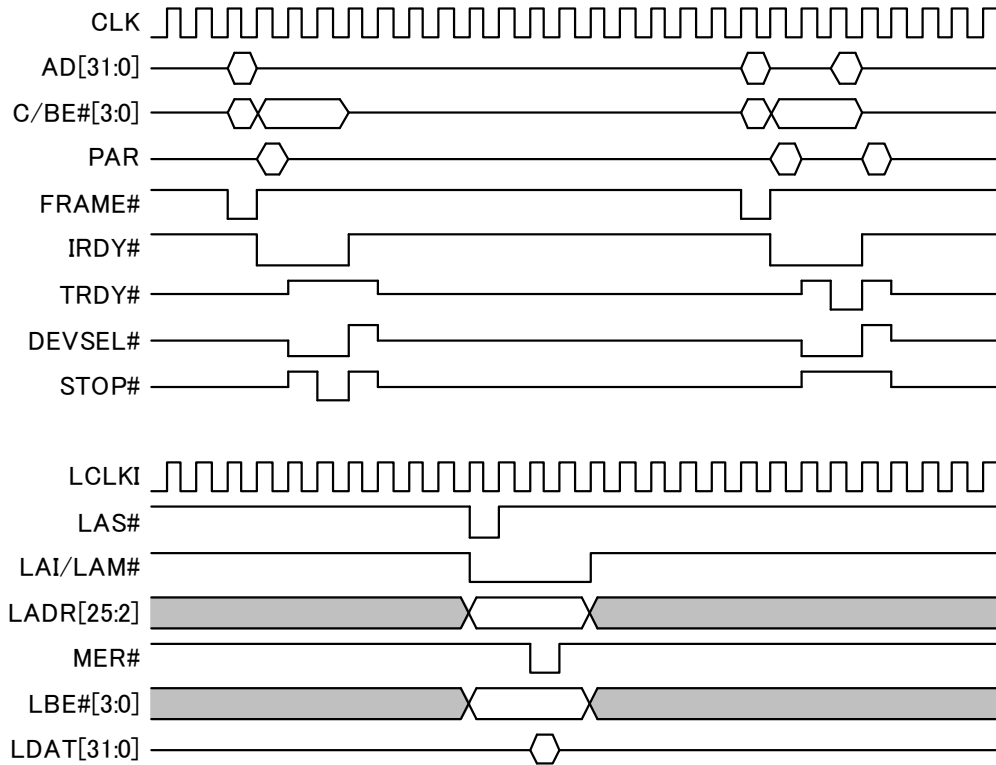


図5. メモリリード(プリフェッチなし)

11.1.5. ターゲットメモリーリード(プリフェッチ8データ)

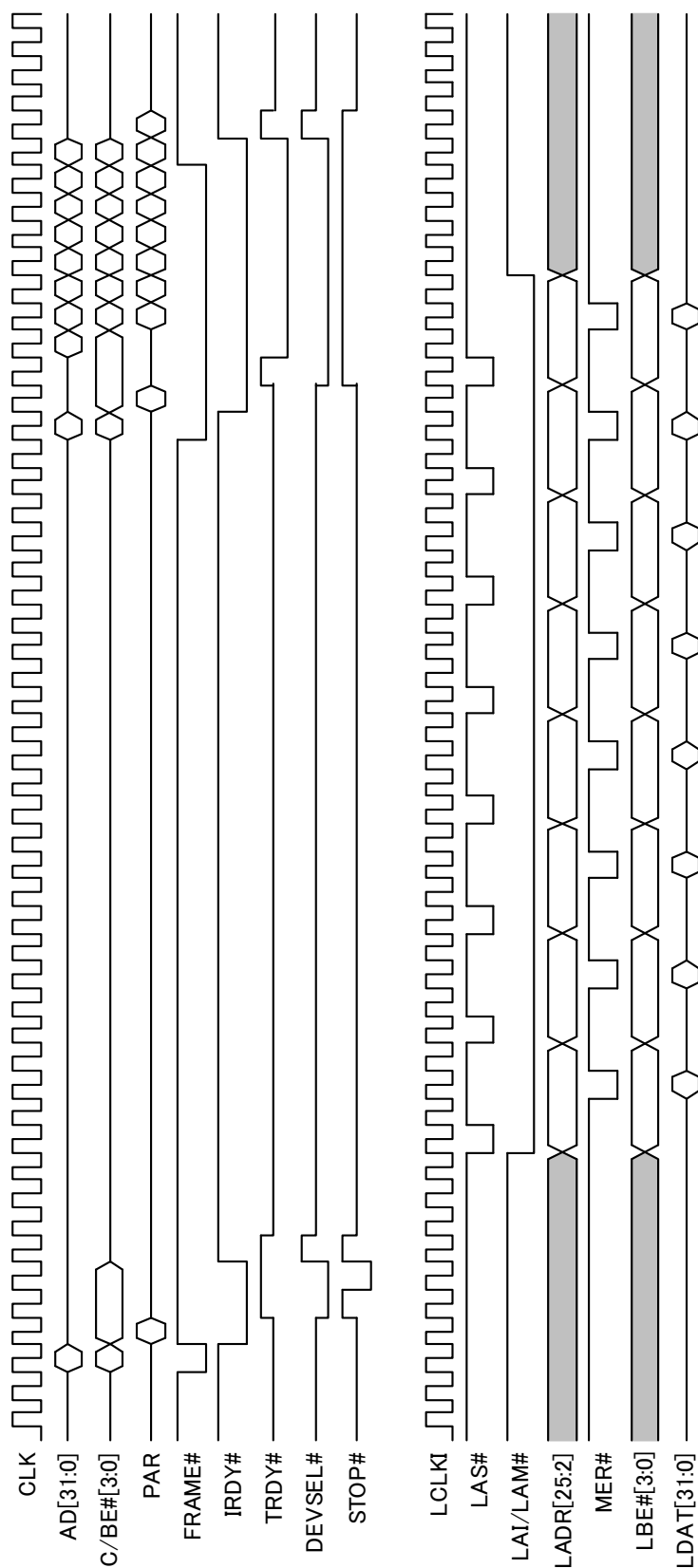


図6. メモリーリード(プリフェッチ8データ)

11.1.6. レジスタ設定によるタイミングコントロール(I/Oライト)

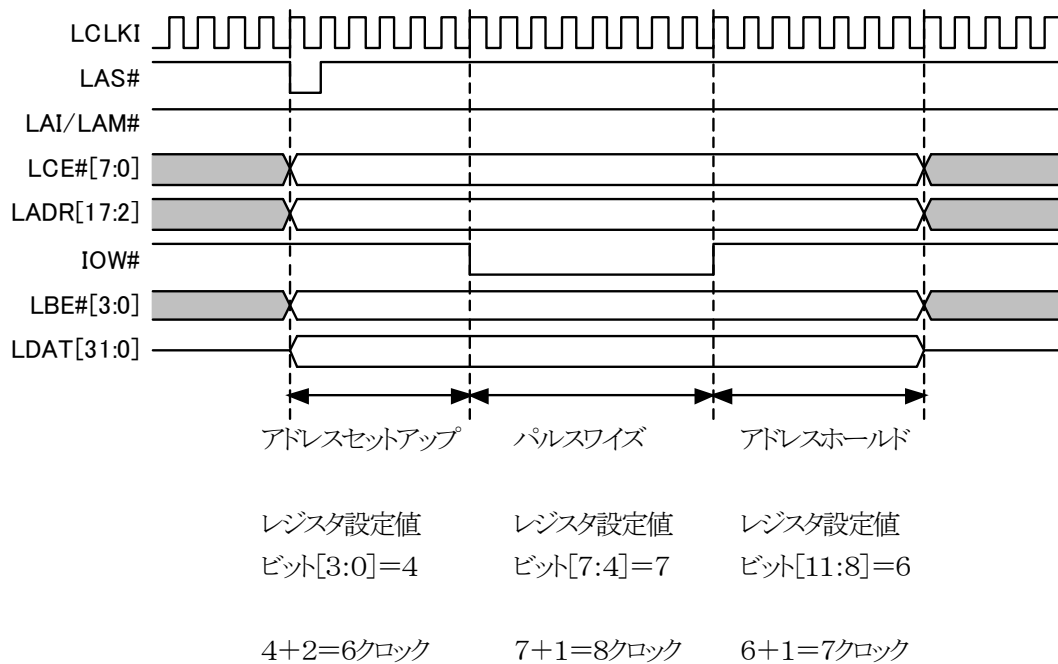


図7. I/Oライト時のタイミングコントロール

11.1.7. レジスタ設定によるタイミングコントロール(I/Oリード)

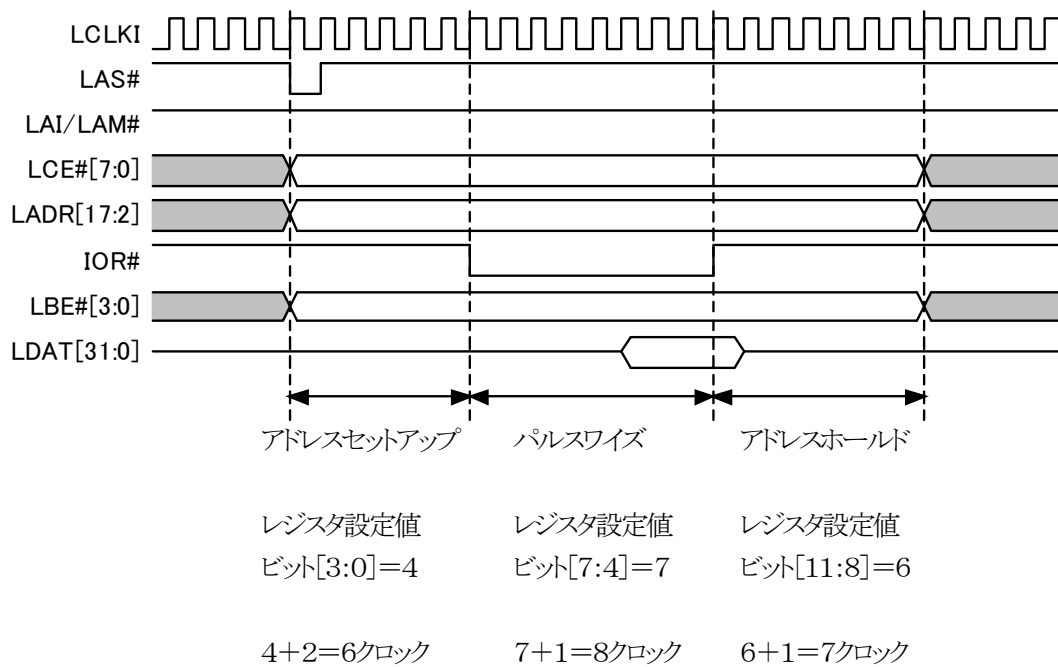


図8. I/Oリード時のタイミングコントロール

11.1.8. レジスタ設定によるタイミングコントロール(メモライト)

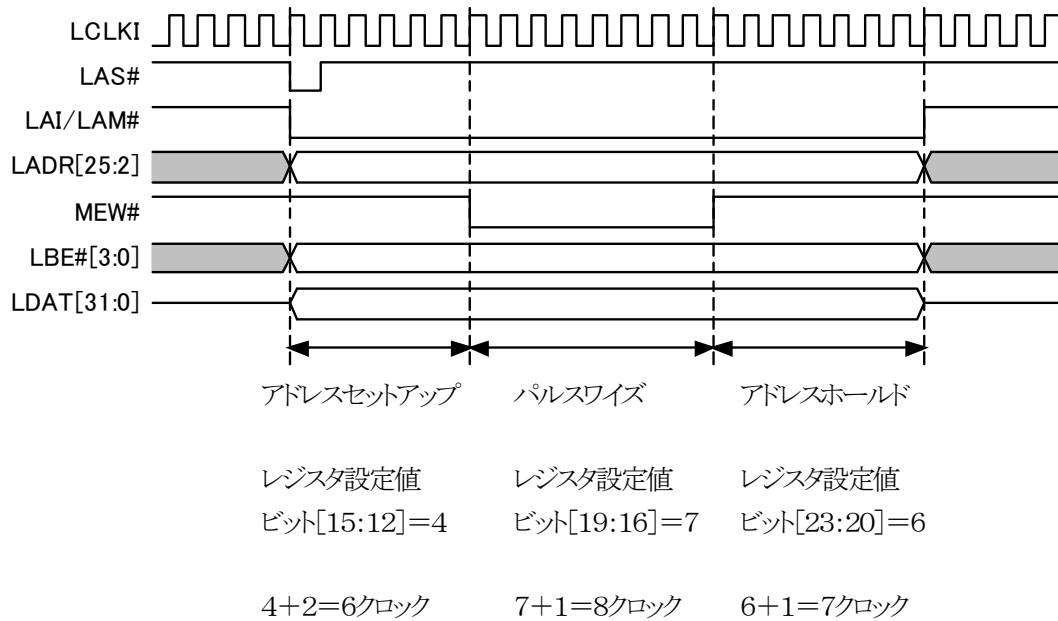


図9. メモライト時のタイミングコントロール

11.1.9. レジスタ設定によるタイミングコントロール(メモリアード)

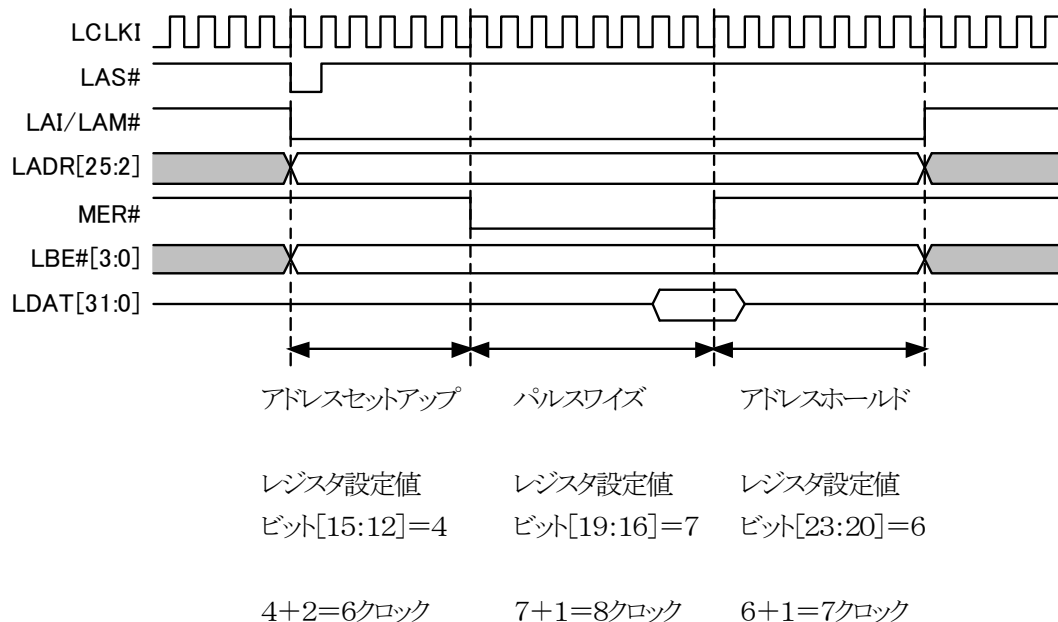


図10. メモリアード時のタイミングコントロール

11.1.10. WAIT#によるタイミングコントロール(ex. I/Oライト)

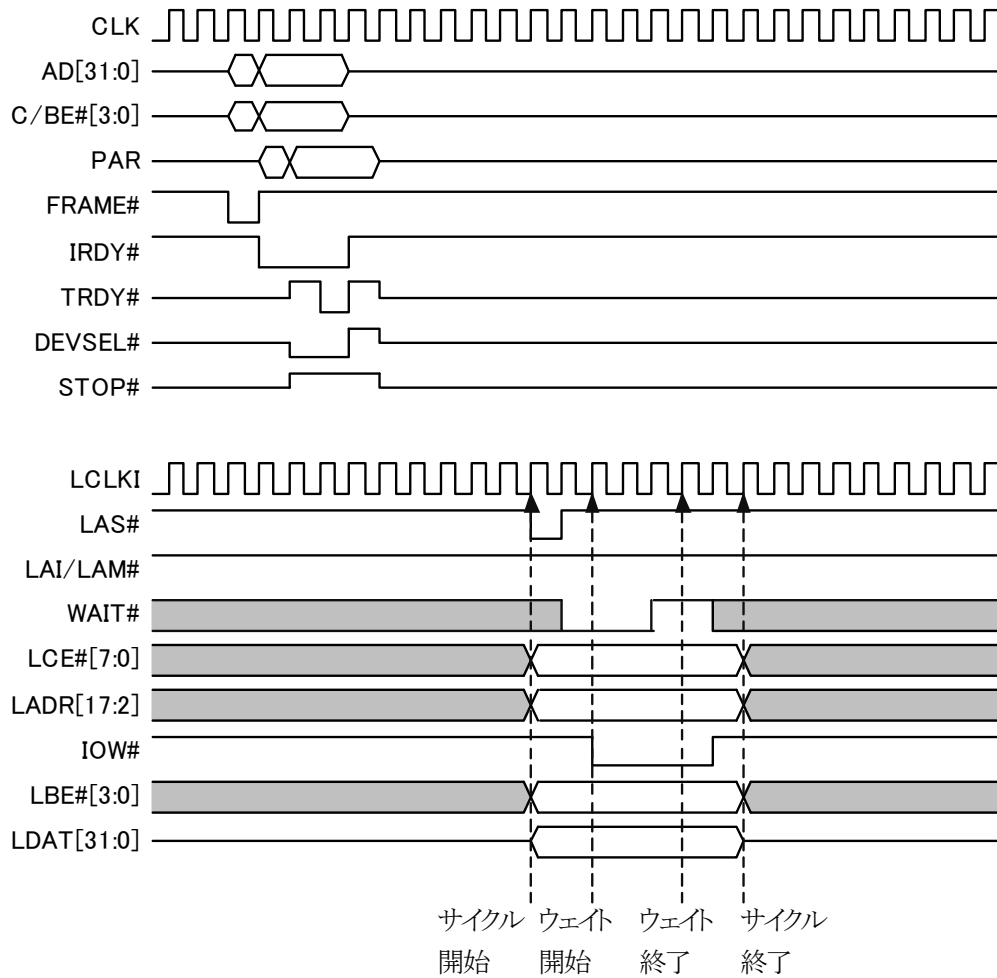


図11. I/Oライト時のタイミングコントロール

11.1.11. WAIT#によるタイミングコントロール詳細(ex. I/Oライト)

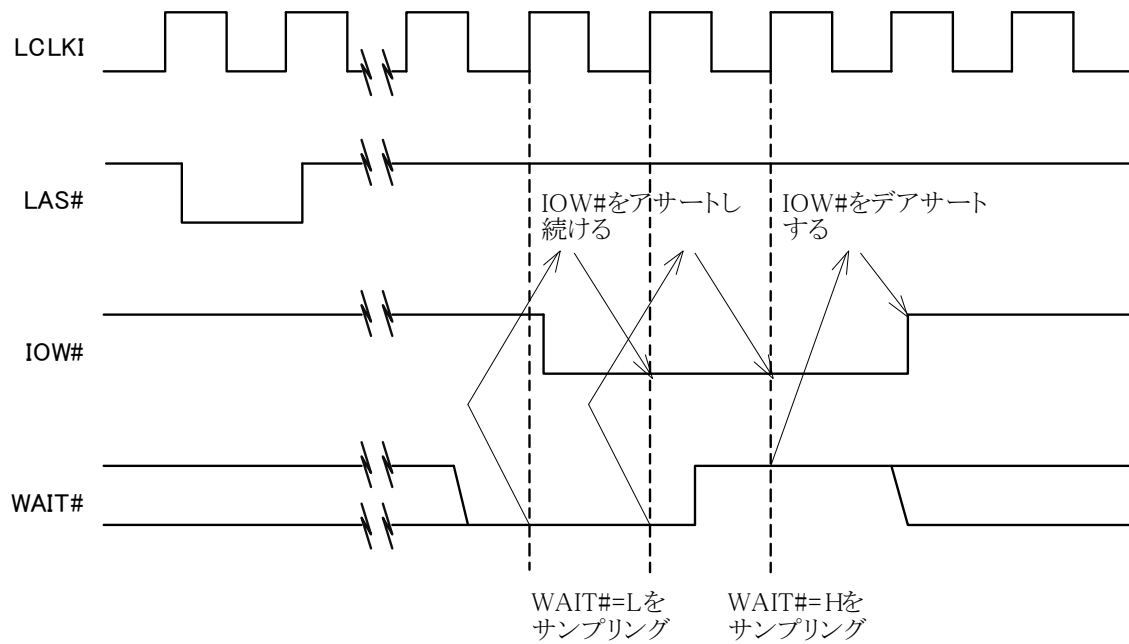


図12. WAIT#詳細動作

11.1.12. リトライ(ex. I/Oライト)

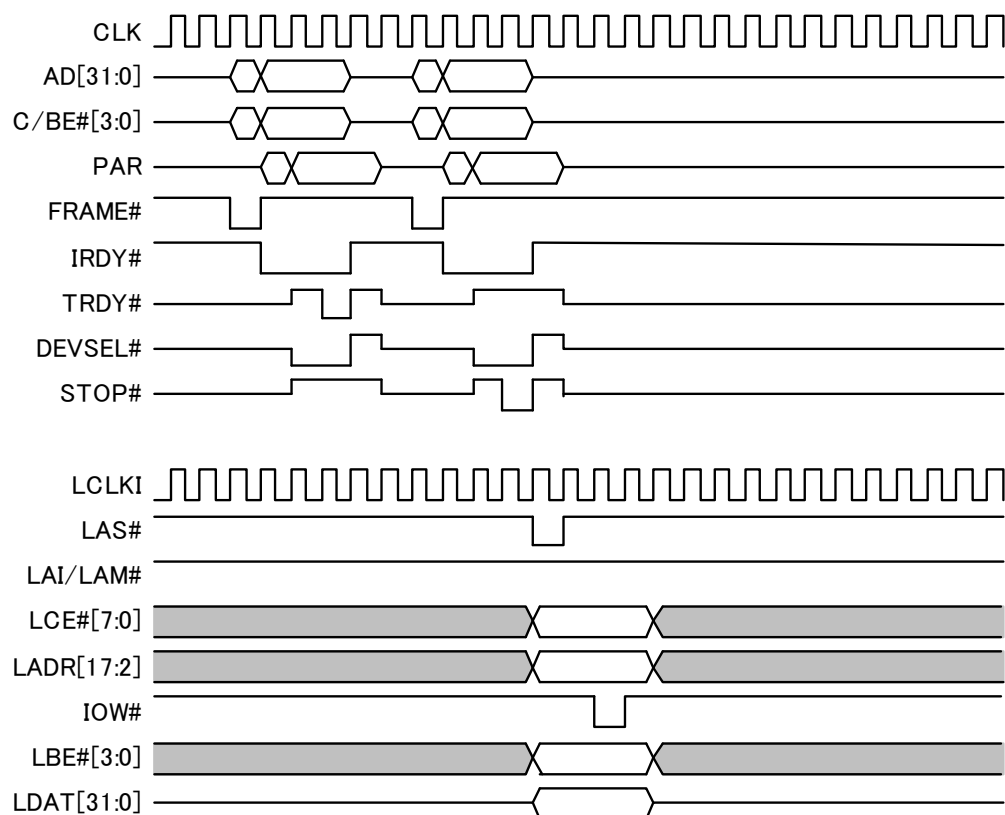


図13. リトライ(ターゲットI/Oライト)

11.1.13. リトライ(ex. I/Oリード)

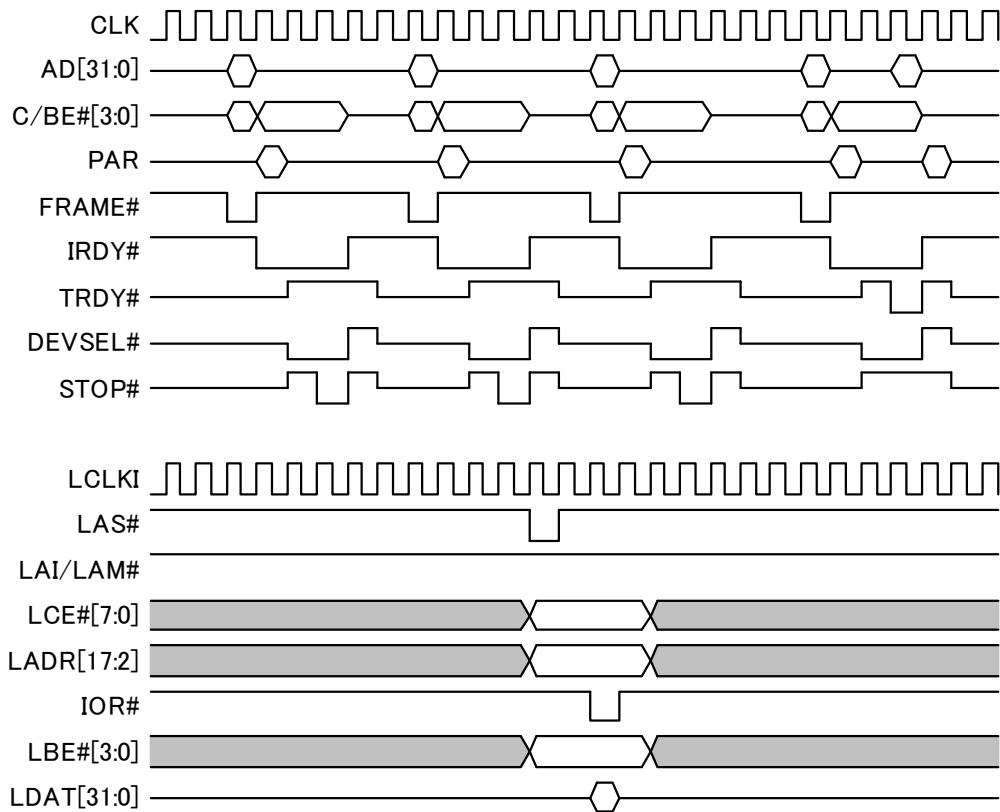


図14. リトライ(ターゲットI/Oリード)

11.1.14. ディスコネクト(メモリアイト)

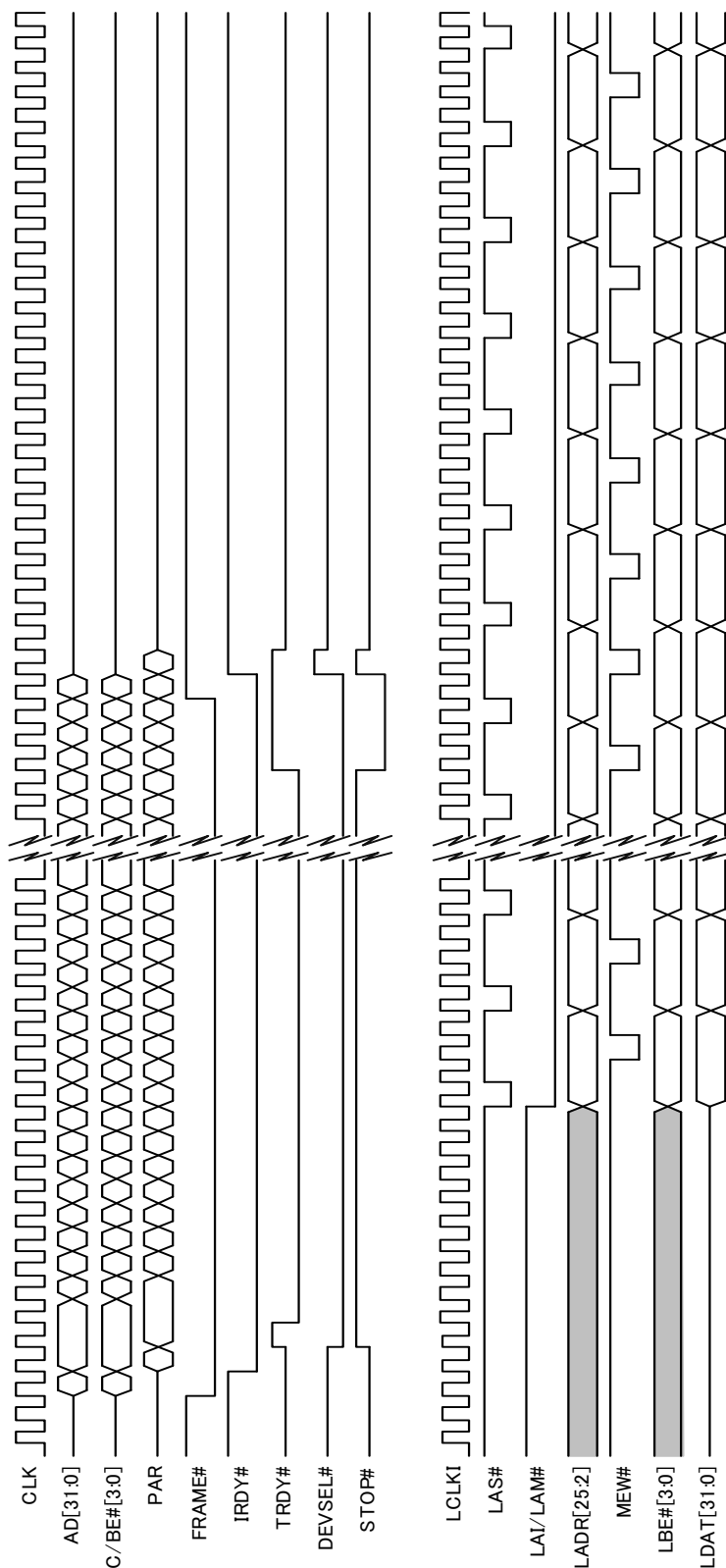


図15. ディスコネクト(メモリアイト)

11.1.15. ディスコネクト(メモリアード)

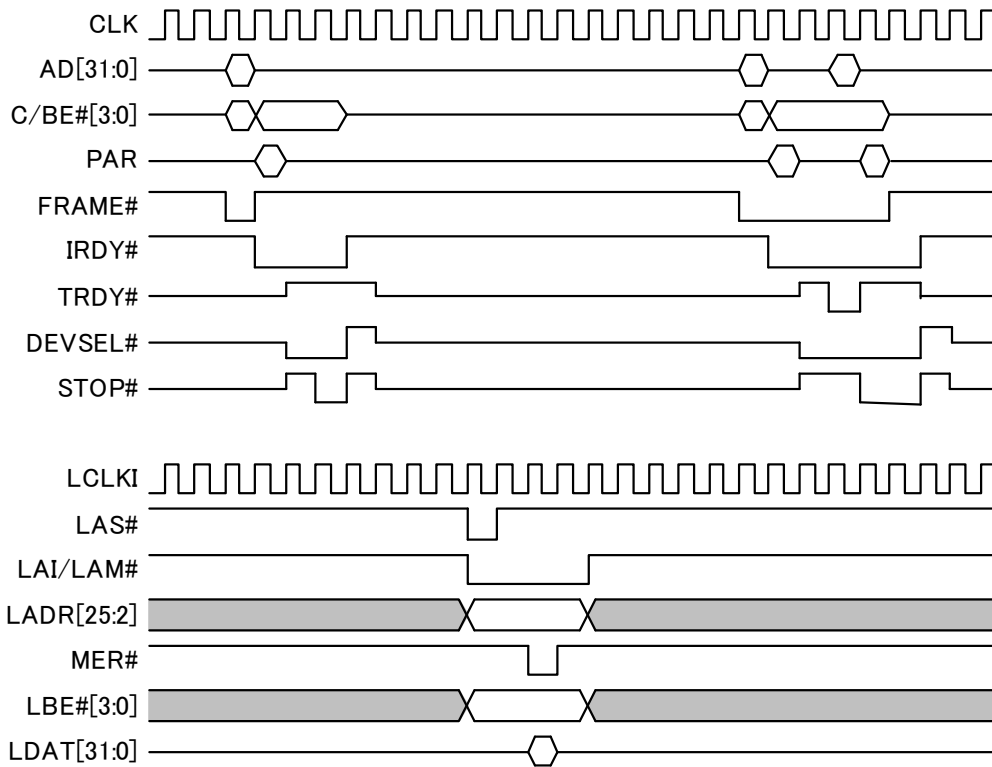


図16. ディスコネクト(ターゲットメモリアード)

11.2. DMA

11.2.1. PCI to ローカル(ローカル/ライト[転送回数=1])

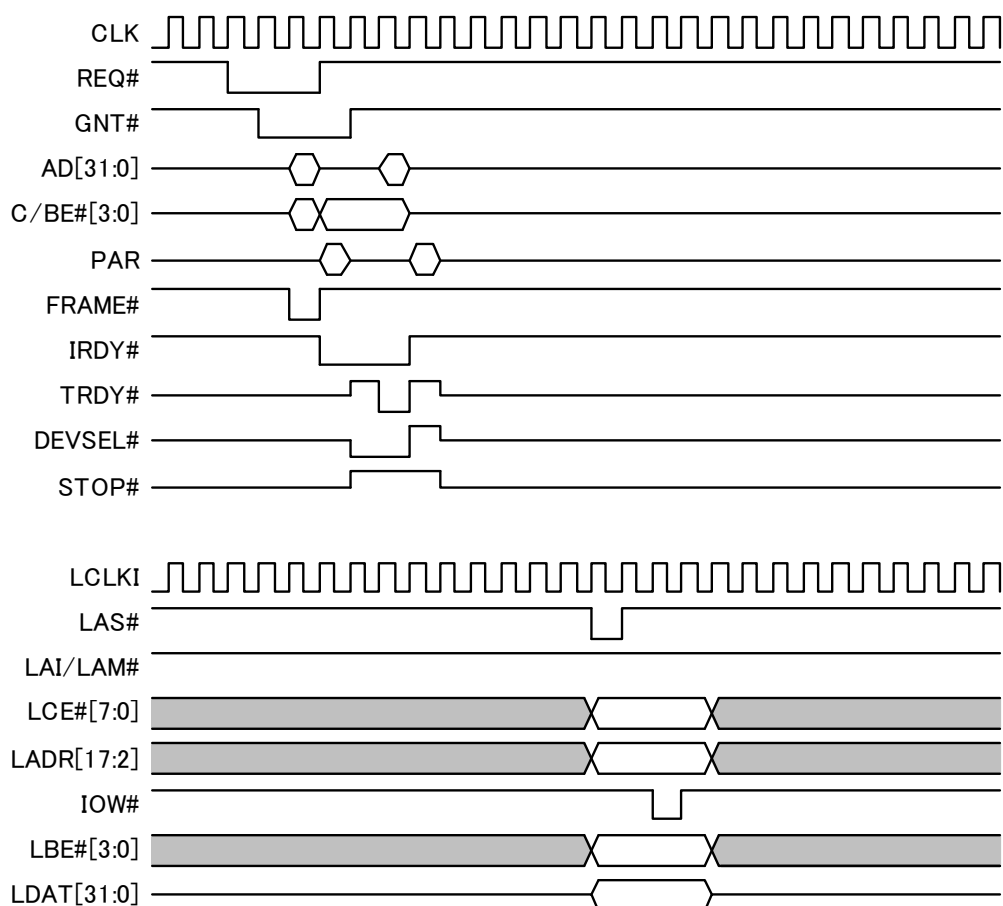


図17. PCI to ローカル(ローカル/ライト)

11.2.2. ローカル to PCI(ローカル/オリード[転送回数=1])

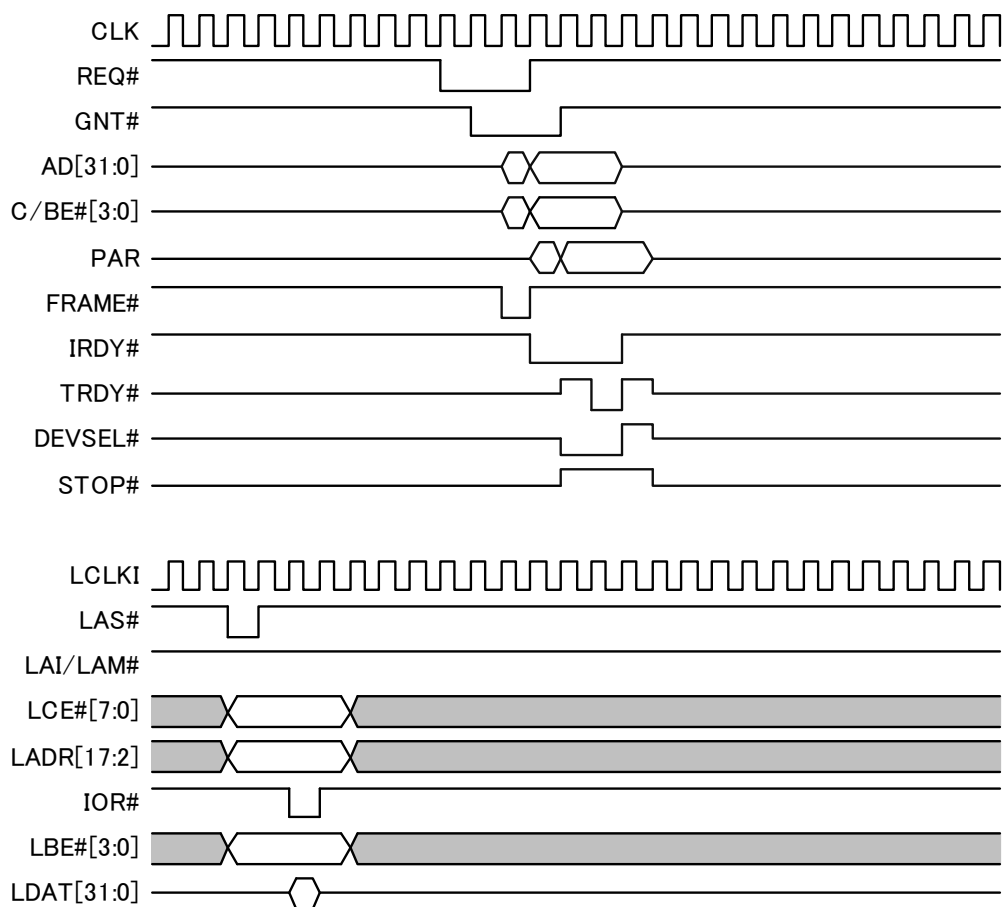


図18. ローカル to PCI(ローカル/オリード)

11.2.3. PCI to ローカル(ローカルメモリアイト[転送回数=1])

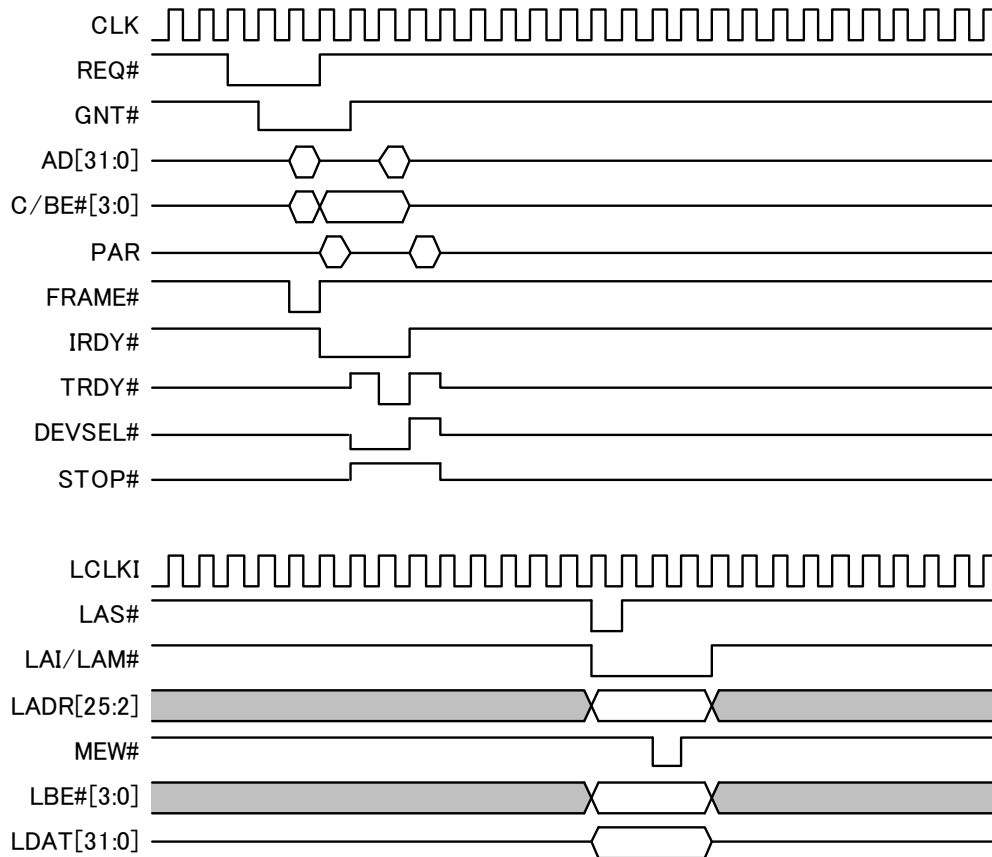


図19. PCI to ローカル(ローカルメモリアイト)

11.2.4. ローカル to PCI(ローカルメモリリード[転送回数=1])

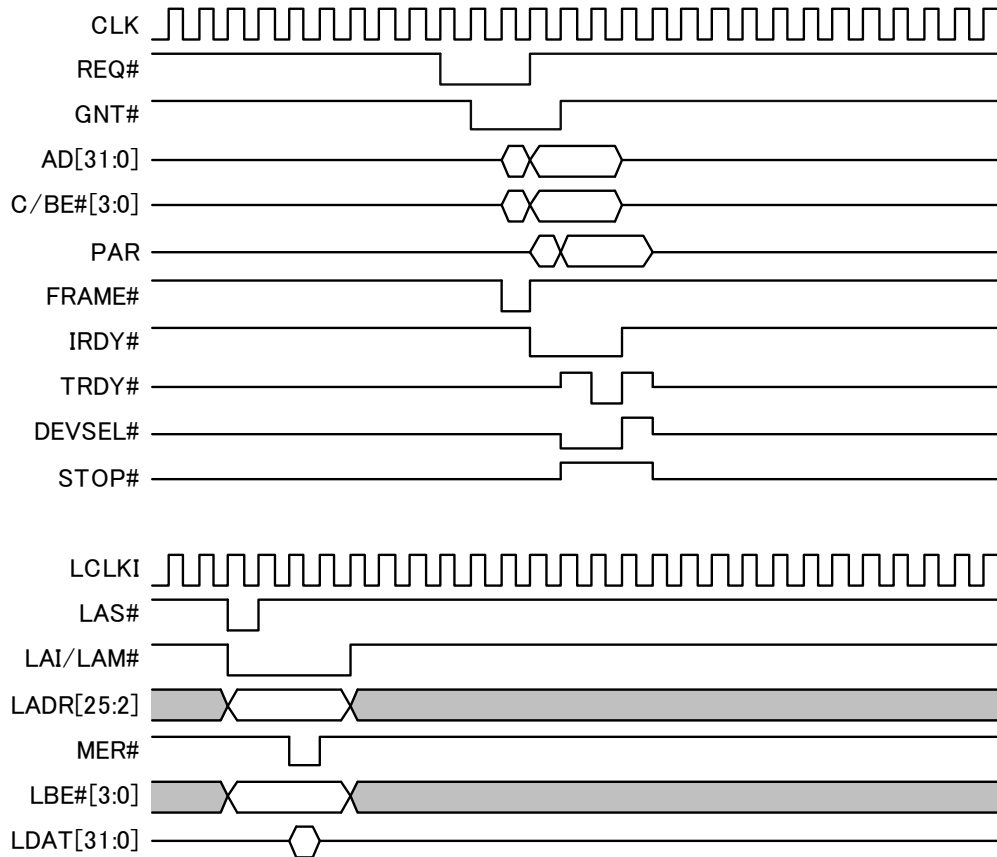


図20. ローカル to PCI(ローカルメモリリード)

11.2.5. PCI to ローカル(ローカルメモリアイト[転送回数=9/スタートアドレス=固定])

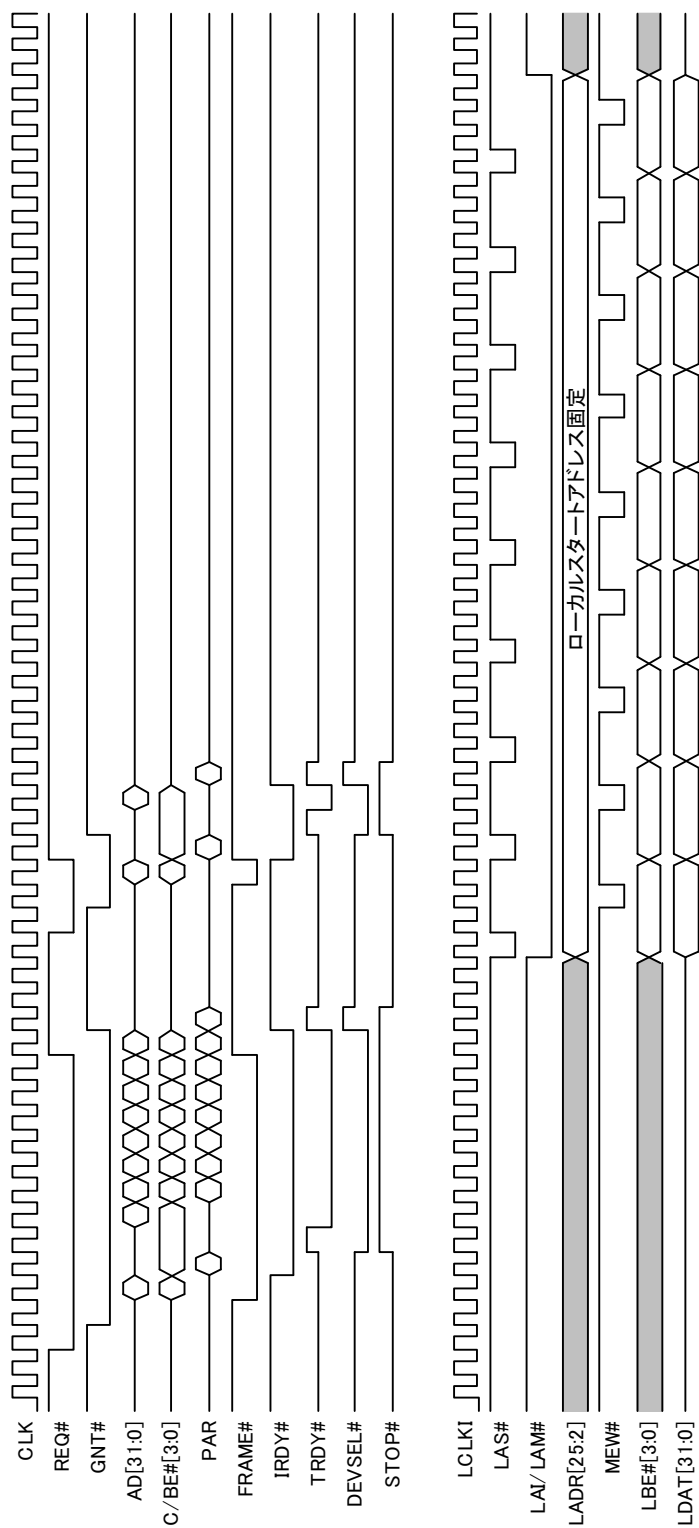


図21. PCI to ローカル[転送回数=9/スタートアドレス=固定]

11.2.6. ローカル to PCIバースト(ローカルメモリリード[転送回数=9/スタートアドレス=インクリメント])

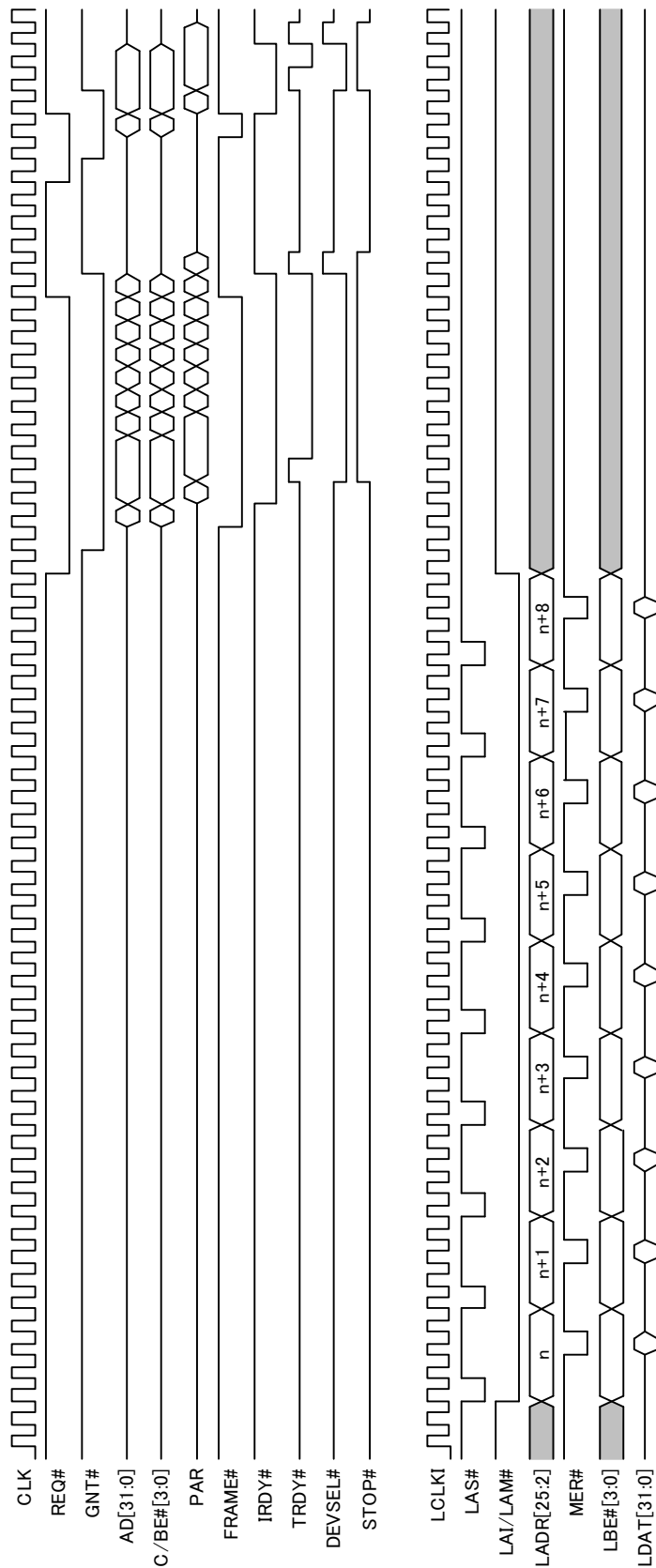


図22. ローカル to PCI[転送回数=9/スタートアドレス=インクリメント]

11.3. EEPROMによる初期化

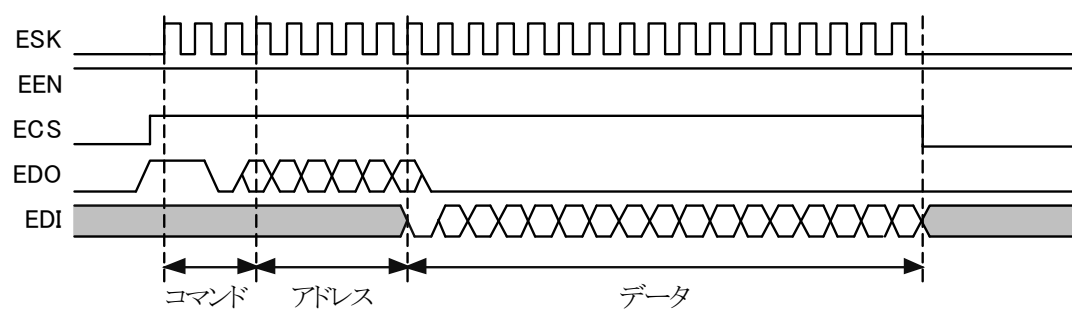


図23. EEPROMリード

12. 電気的特性

12.1. 絶対最大定格

表55. 絶対最大定格 ($V_{SS}=0V$)

項目	記号	条件	定格値	単位
電源電圧	V_{DD}		$-0.3 \sim +4.6$	V
入力電圧 ^{※8}	V_I	$V_{DD}=3.0 \sim 3.6$	$-0.3 \sim +6.0$	V
		$V_{DD}<3.0$	$-0.3 \sim V_{DD}+0.3$	
出力電圧 ^{※8}	V_O	$V_{DD}=3.0 \sim 3.6$	$-0.3 \sim +6.0$	V
		$V_{DD}<3.0$	$-0.3 \sim V_{DD}+0.3$	
入力電流	I_I	I_I	$-6 \sim +6$	mA
保存温度	T_{sg}	T_{sg}	$-65 \sim +150$	°C

12.2. 推奨動作条件

表56. 推奨動作条件

項目	記号	最小値	標準値	最大値	単位
電源電圧	V_{DD}	3.0	3.3	3.6	V
周囲温度	T_{op}	0		+70	°C

12.3. 直流特性

表57. 直流特性^{※9※10}

項目	記号	条件	最小値	最大値	単位
高レベル入力電圧	V_{IH}	TTLレベル入力	2.2	5.5	V
低レベル入力電圧	V_{IL}	TTLレベル入力	-0.3	0.8	V
高レベル入力電流	I_{IH}	$V_{IN}=V_{DD}$		50	μA
低レベル入力電流	I_{IL}	$V_{IN}=V_{SS}$	-50		μA
高レベル出力電圧	V_{OH}	$I_{OH}=-4mA$	2.4		V
		$I_{OH}=-100\mu A$	$V_{DD}-0.2$		
低レベル出力電圧	V_{OL}	$I_{OL}=4mA$		0.4	V
		$I_{OL}=100\mu A$		0.2	
動作時消費電流	I_{DDO}			$10.2^{※11}$	mA

※8 信号端子への電圧印加は必ず電源電圧が確定してから行ってください。

※9 PCIバス・インタフェース信号以外の信号に適用されます。PCIバス・インタフェース信号はPCISIGの規格書を参照してください。

※10 I_{OH} は高レベル出力電流、 I_{OL} は低レベル出力電流を示します。

※11 出力開放、 $V_I=V_{DD}/V_{SS}$ 、 $f=1MHz$ 時の値です。

12.4. 交流特性

表58. 交流特性※12

項目	該当信号	記号	最小値	標準値	最大値	単位
WAIT #のセットアップ時間	WAIT #	$T_{\text{WAIT S}}$	6			ns
WAIT #のホールド時間	WAIT #	$T_{\text{WAIT H}}$	0			ns
ローカルクロック入力(Hパルス幅)	LCLKI	ϕ_{LCH}	8			ns
ローカルクロック入力(Lパルス幅)	LCLKI	ϕ_{LCL}	8			ns
ローカルクロック入力サイクル	LCLKI	ϕ_{LOCY}		20		ns
ローカルクロック出力の出力遅延時間	LCLKO	$\phi_{\text{LOC O}}$	0		10	ns
ローカルクロック出力(Hパルス幅)	LCLKO	ϕ_{LOCH}	12		18	ns
ローカルクロック出力(Lパルス幅)	LCLKO	ϕ_{LOCL}	12		18	ns
ローカルクロック出力サイクル	LCLKO	$\phi_{\text{LOC CY}}$		30		ns
ローカルアドレスの遅延時間	LADR※13	T_{LAD}	0		13	ns
ローカルデータのセットアップ時間	LDAT	T_{LDS}	6			ns
ローカルデータのホールド時間	LDAT	T_{LDH}	0			ns
ローカルデータの遅延時間	LDAT	T_{LDD}	0		13	ns
ローカルコントロール信号の遅延時間	LAS #, LAI/LAM #	T_{LCD}	0		11	ns
リードストローブ信号の遅延時間	MER #, IOR #	T_{LRD}	0		11	ns
ライトストローブ信号の遅延時間	MEW #, IOW #	T_{LWD}	0		11	ns
EEPROMクロック(Hパルス幅)	ESK	T_{ESKH}	1. 89		1. 95	μ s
EEPROMクロック(Lパルス幅)	ESK	T_{ESKL}	1. 89		1. 95	μ s
EEPROMクロック	ESK	T_{ESKCY}		3. 84		μ s
EEPROMクロックの出力遅延時間	ESK	T_{ECD}	0		13	ns
ECSの立ち上がりから ESKが立ち上がるまでの時間	ESK ECS	$T_{\text{ESKR U}}$	1. 83		2. 79	μ s
サイクル終了(ESKの立ち下がりから ECSが立ち下がるまでの時間	ESK ECS	T_{ESKFD}	1. 89		4. 95	μ s
ECSの出力遅延時間	ECS	$T_{\text{ECS D}}$	0		13	ns
ECSの立ち下がりから 次のECSの立ち上がるまでの時間	ECS	$T_{\text{ECSR U}}$	9. 57		9. 63	μ s
EDIのセットアップ時間	EDI	T_{EDS}	30			ns
EDIのホールド時間	EDI	T_{EDIH}	0			ns
ECSの立ち上がりからの EDOの遅延時間	EDO	$T_{\text{EDOD O}}$	0. 96		1. 02	μ s
ESKの立ち上がりからの EDOの遅延時間	EDO	$T_{\text{EDOD 1}}$	2. 94		3. 00	μ s

※12 PCIクロック(CLK)を33MHz、ローカル信号の負荷容量を30pFとした時の特性です。

※13 LADRにはLADR[25:18]/LCE#[7:0]、LADR[17:2]が含まれています。

12.5. タイミングダイアグラム

12.5.1. ローカルアクセスタイミングダイアグラム

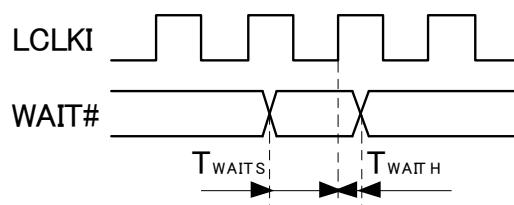
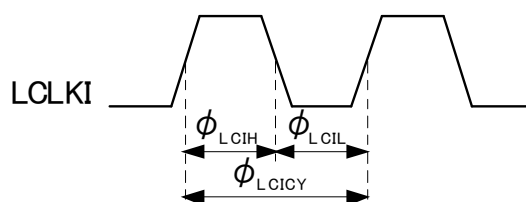
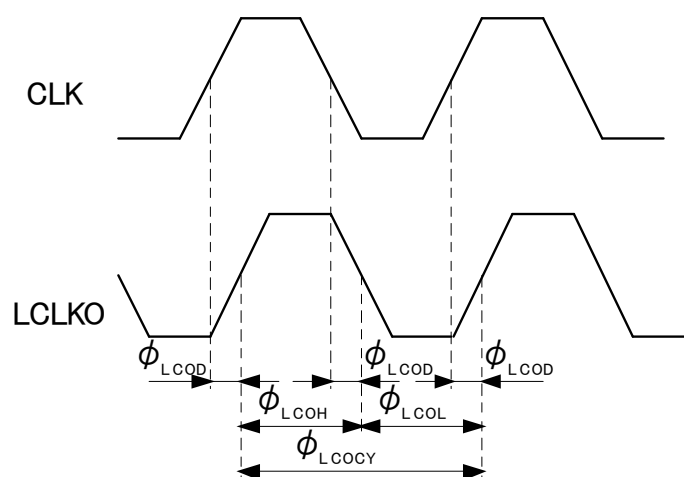


図24. ローカル入力信号(WAIT#)のセットアップ、ホールド時間

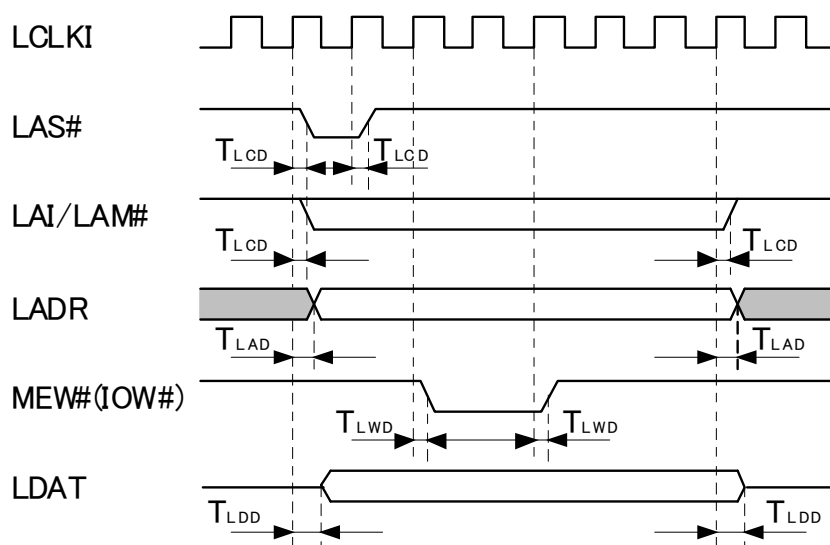


(a) LCLKIのタイミング

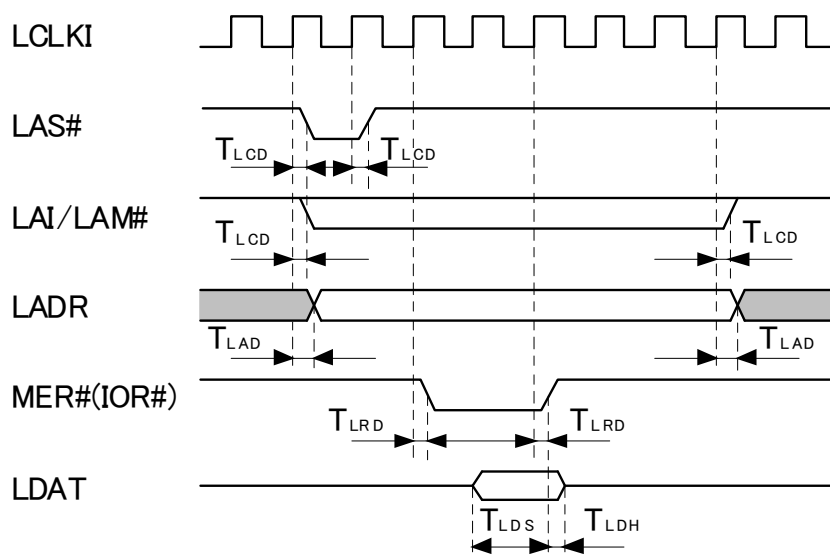


(b) LCLKOのタイミング

図25. ローカルクロックのタイミング



(a)ライトサイクル



(b)リードサイクル

図26. ローカル入出力信号のセットアップ、ホールド時間および、遅延時間

12.5.2. EEPROMアクセスタイミングダイアグラム

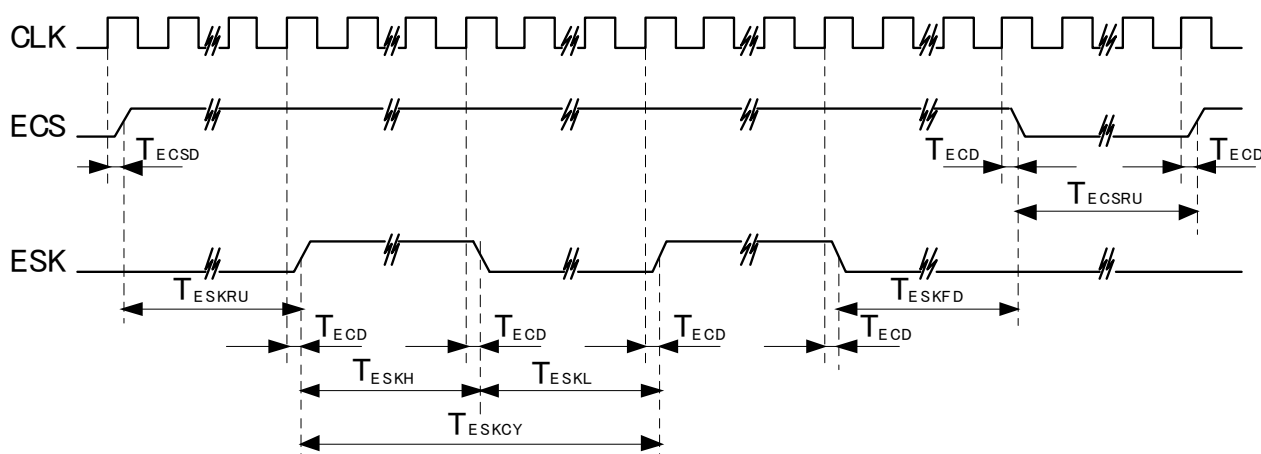


図27. ESK、ECSのタイミング

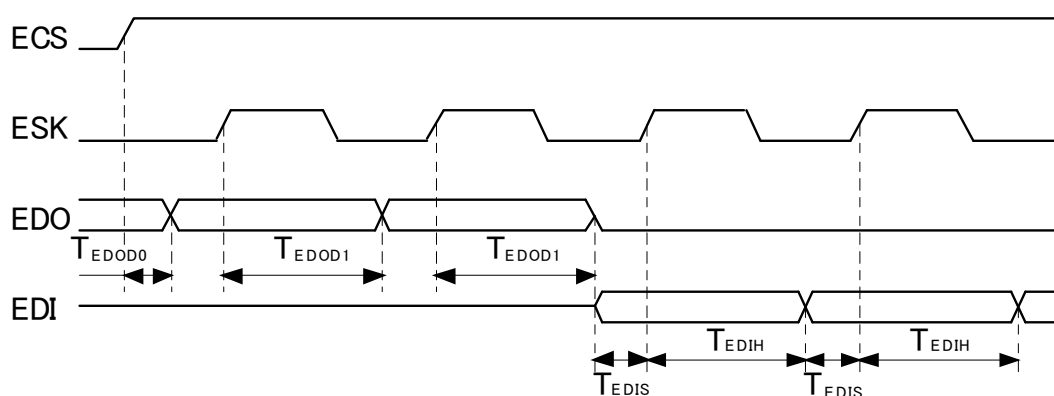


図28. EDO、EDIのタイミング

13. パッケージ形状

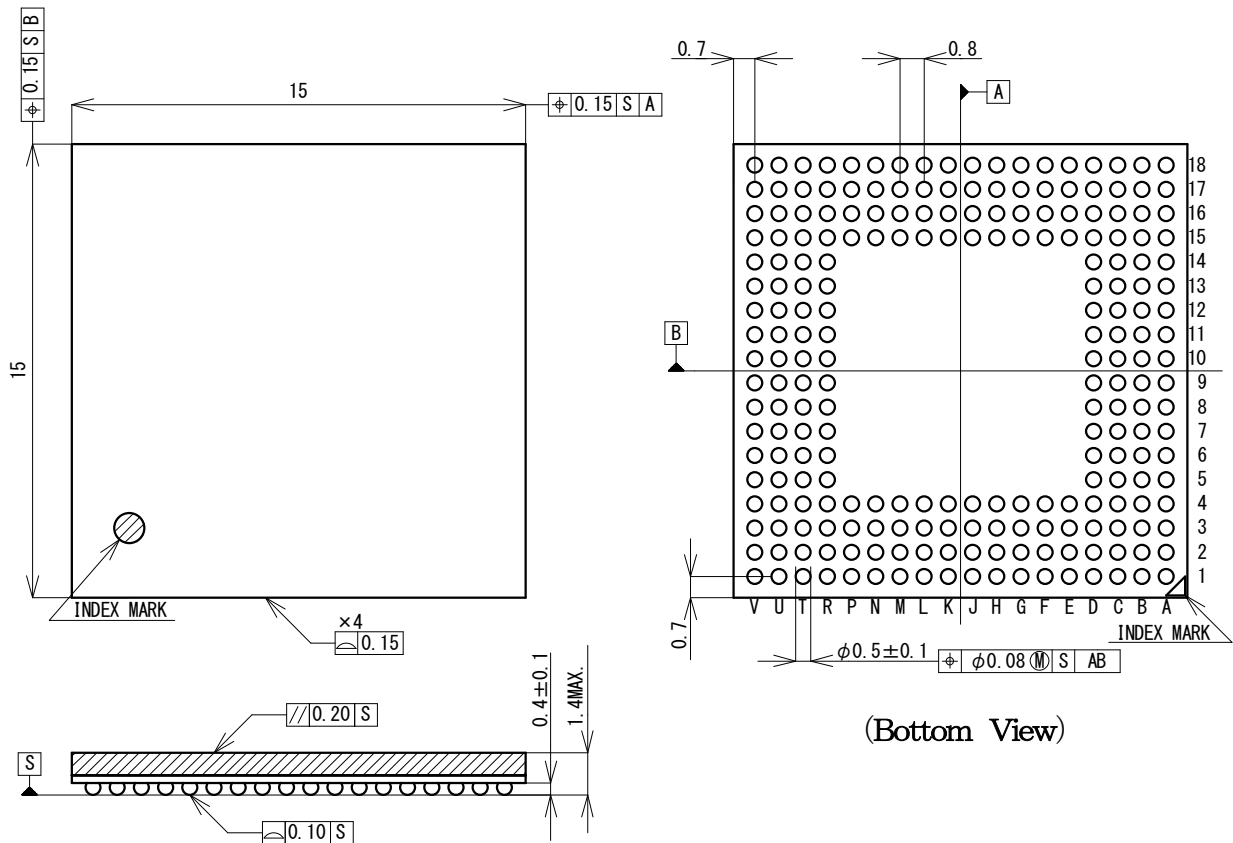
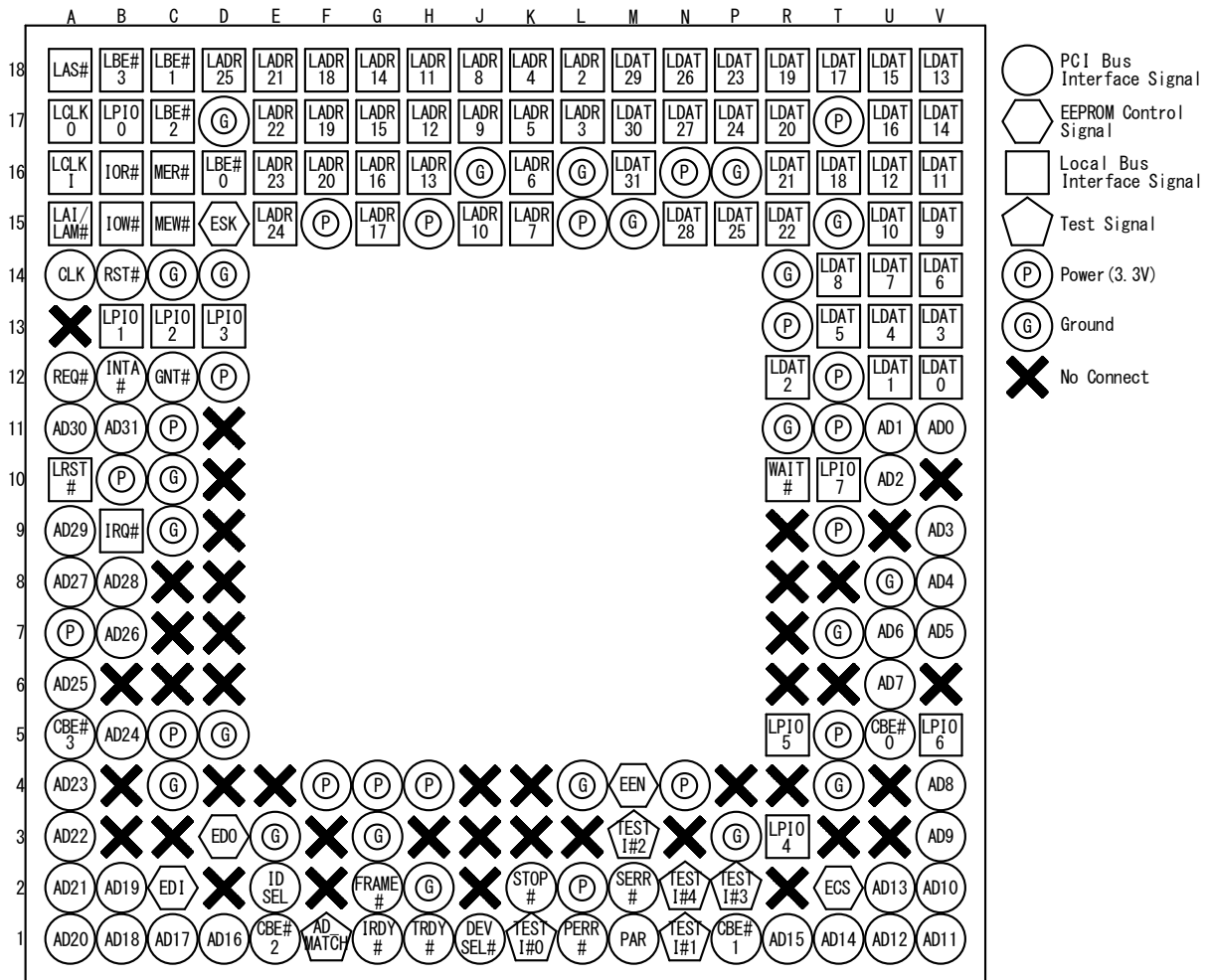


図29. 外形寸法図

14. 端子配置



(Top View)

図30. 端子配置図

15. 改訂履歴

バージョン	日付	内容
1. 0	2005/04/25	初版発行
1. 1	2005/05/09	フォントサイズ一部修正
1. 2	2005/07/01	ローカル信号負荷容量規定追加
1. 3	2005/12/02	動作時消費電流修正
1. 4	2008/09/29	誤記訂正 ・表13 : タイミングコントロールレジスタビット[27]の論理を修正。

ご注意

- (1) 本製品および本資料は株式会社ジーニックの著作物です。
したがって、本資料の全部または一部を無断で複製、転載することをご遠慮ください。
- (2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。
ご使用に際しては、最新の資料をご請求願います。
- (3) 本資料に記載されております内容は工業所有権、その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- (4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、
回路の動作を保証するものではありません。
- (5) 本製品の具体的な運用の結果、他への影響につきましては責任を負いかねますので、ご了承ください。
- (6) 本製品は一般的な電子機器(電算機、計測機器、産業用ロボット、位置決め制御装置 etc.)に
使用されることを前提としております。したがって、人命に関わる輸送機器、医療機器、航空・宇宙、
原子力関係機器などには使用しないでください。



株式会社 ゴーニック

URL <http://www.zenic.co.jp/> / E-mail support@zenic.co.jp

〒520-0801 滋賀県大津市におの浜 4-7-5 オプテックスビル 8F

TEL 077-526-2101 / FAX 077-526-0500