

ZEN1751F データシート

株式会社ジーニック

目次

1. 概要	1
2. 特徴	1
3. ブロック図	2
4. 端子一覧	3
5. ホストインタフェース	4
5.1. パラレルインタフェース	4
5.2. 割り込み	4
6. 機能	5
6.1. 端子グループ	5
6.1.1. 端子グループ構成	5
6.2. 汎用入出力	6
6.2.1. 汎用入出力モジュール	6
6.2.2. 入出力方向選択	6
6.2.3. ポート割り込み	6
6.3. I2Cマスタ	7
6.3.1. I2Cブロック構成	7
6.4. SPIマスタ	8
6.4.1. SPIブロック構成	8
6.4.2. 転送データ長	8
6.4.3. 転送終了割り込み	8
6.4.4. セレクト信号アサート選択(オート/マニュアル)	8
6.4.5. ビットオーダー選択	8
6.4.6. データの送受信タイミング選択	8
6.4.7. セレクト信号論理選択	8
6.4.8. SPIデバイスの切り替えについて	9
6.5. UART	10
6.5.1. UARTブロック構成	10
6.6. PWM	11
6.6.1. PWMブロック構成	11
6.6.2. PWM分解能	11
6.6.3. 送出回数選択	11
6.6.4. 出力完了割り込み(非連続出力時のみ)	11
6.6.5. 出力論理選択	11
6.7. 赤外線リモコン	12

6.7.1. 赤外線リモコンブロック構成	12
6.7.2. ワイズカウンタビット長	12
6.7.3. 入力変化割り込み	12
6.7.4. オーバーフロー検出割り込み	12
6.7.5. ノイズフィルタ	12
6.8. カウンタ	13
6.8.1. カウンタブロック構成	13
6.8.2. カウンタモード	13
6.8.3. Z相クリア	14
6.8.4. カウンタイネーブル	14
6.8.5. カウンタラッチ	14
6.8.6. カウンタクリア	14
6.8.7. 初期値ロード	14
6.8.8. 定周期自動ストア	14
6.8.9. オーバーフロー検出(単相カウンタモード時のみ)	15
6.8.10. カウンタ値一致検出(2相カウンタモード時のみ)	15
6.8.11. 異常入力検出	15
7. レジスタ一覧	17
7.1. アドレスマップ	17
8. レジスタ説明	22
8.1. システムコントロールレジスタ[Adr. 00h]	22
8.2. クロックコントロールレジスタ0[Adr. 02h]	22
8.3. クロックコントロールレジスタ1[Adr. 03h]	23
8.4. クロックコントロールレジスタ2[Adr. 04h]	23
8.5. クロックコントロールレジスタ3[Adr. 05h]	24
8.6. クロックコントロールレジスタ4[Adr. 06h]	24
8.7. クロックコントロールレジスタ5[Adr. 07h]	25
8.8. クロックコントロールレジスタ6[Adr. 08h]	25
8.9. 割り込みステータスレジスタ0[Adr. 09h]	26
8.10. 割り込みステータスレジスタ1[Adr. 0Ah]	27
8.11. 割り込みイネーブルレジスタ0[Adr. 0Bh]	28
8.12. 割り込みイネーブルレジスタ1[Adr. 0Ch]	29
8.13. 端子グループB機能選択レジスタ[Adr. 10h]	30
8.14. 端子グループC機能選択レジスタ[Adr. 11h]	31
8.15. 端子グループD機能選択レジスタ[Adr. 12h]	32
8.16. 端子グループE機能選択レジスタ[Adr. 13h]	33
8.17. ペリフェラルコントロールレジスタ0[Adr. 15h]	34
8.18. ペリフェラルコントロールレジスタ1[Adr. 16h]	35
8.19. ペリフェラルコントロールレジスタ2[Adr. 17h]	36
8.20. ポートA方向設定レジスタ_L[Adr. 20h]	37

8.21. ポートA方向設定レジスタ_H[Adr. 21h]	37
8.22. ポートAデータレジスタ_L[Adr. 22h]	37
8.23. ポートAデータレジスタ_H[Adr. 23h]	37
8.24. ポートA割り込みステータスレジスタ_L[Adr. 24h]	38
8.25. ポートA割り込みステータスレジスタ_H[Adr. 25h]	38
8.26. ポートA割り込みイネーブルレジスタ_L[Adr. 26h]	38
8.27. ポートA割り込みイネーブルレジスタ_H[Adr. 27h]	38
8.28. ポートA割り込みエッジ選択レジスタ_L[Adr. 28h]	39
8.29. ポートA割り込みエッジ選択レジスタ_H[Adr. 29h]	39
8.30. ポートB方向設定レジスタ[Adr. 2Ah]	39
8.31. ポートBデータレジスタ[Adr. 2Bh]	39
8.32. ポートC方向設定レジスタ[Adr. 2Ch]	40
8.33. ポートCデータレジスタ[Adr. 2Dh]	40
8.34. ポートD方向設定レジスタ[Adr. 2Eh]	40
8.35. ポートDデータレジスタ[Adr. 2Fh]	40
8.36. ポートE方向設定レジスタ[Adr. 30h]	41
8.37. ポートEデータレジスタ[Adr. 31h]	41
8.38. ポートFデータレジスタ_L[Adr. 32h]	41
8.39. ポートFデータレジスタ_L[Adr. 33h]	41
8.40. I2Cコントロールレジスタ[Adr. 40h]	42
8.41. I2Cスレーブアドレス/モード設定レジスタ[Adr. 41h]	43
8.42. I2Cバス転送速度設定レジスタ[Adr. 42h]	43
8.43. I2Cステータスレジスタ[Adr. 43h]	44
8.44. I2C割り込みステータスレジスタ[Adr. 44h]	44
8.45. I2C割り込みマスクレジスタ[Adr. 45h]	44
8.46. I2C送受信データレジスタ[Adr. 46h]	45
8.47. SPIコントロールレジスタ[Adr. 50h]	46
8.48. SPI転送スタートレジスタ[Adr. 51h]	46
8.49. SPI転送ビット長レジスタ[Adr. 52h]	47
8.50. SPI割り込みステータスレジスタ[Adr. 53h]	47
8.51. SPI割り込みイネーブルレジスタ[Adr. 54h]	47
8.52. SPI出力データレジスタ0[Adr. 55h]	48
8.53. SPI出力データレジスタ1[Adr. 56h]	48
8.54. SPI出力データレジスタ2[Adr. 57h]	48
8.55. SPI出力データレジスタ3[Adr. 58h]	48
8.56. SPI入力データレジスタ0[Adr. 59h]	49
8.57. SPI入力データレジスタ1[Adr. 5Ah]	49
8.58. SPI入力データレジスタ2[Adr. 5Bh]	49
8.59. SPI入力データレジスタ3[Adr. 5Ch]	49
8.60. SPIセレクト信号アサート制御レジスタ[Adr. 5Dh]	50
8.61. UART設定レジスタ0(RBR/THR/DLL)[Adr. 60h, 68h, 70h, 78h]	51
8.62. UART設定レジスタ1(IER/DLM)[Adr. 61h, 69h, 71h, 79h]	52

8.63. UART設定レジスタ2(ⅡR/FCR) [Adr. 62h, 6Ah, 72h, 7Ah]	53
8.64. UART設定レジスタ3(LCR) [Adr. 63h, 6Bh, 73h, 7Bh]	55
8.65. UART設定レジスタ4(MCR) [Adr. 64h, 6Ch, 74h, 7Ch]	56
8.66. UART設定レジスタ5(LSR) [Adr. 65h, 6Dh, 75h, 7Dh]	57
8.67. UART設定レジスタ6(MSR) [Adr. 66h, 6Eh, 76h, 7Eh]	59
8.68. UART設定レジスタ7(SCR) [Adr. 67h, 6Fh, 77h, 7Fh]	59
8.69. PWMコントロールレジスタ[Adr. 80h]	60
8.70. PWM割り込みステータスレジスタ[Adr. 81h]	61
8.71. PWM割り込みイネーブルレジスタ[Adr. 82h]	61
8.72. PWM出力デューティ設定レジスタ0[Adr. 84h]	62
8.73. PWM出力デューティ設定レジスタ1 [Adr. 85h]	62
8.74. PWM出力デューティ設定レジスタ2[Adr. 86h]	62
8.75. PWM出力回数設定レジスタ0[Adr. 88h]	63
8.76. PWM出力回数設定レジスタ1 [Adr. 89h]	63
8.77. PWM出力回数設定レジスタ2[Adr. 8Ah]	63
8.78. 赤外線リモコンコントロールレジスタ[Adr. 90h]	64
8.79. 赤外線リモコンノイズフィルタレジスタ[Adr. 91h]	64
8.80. 赤外線リモコン割り込みステータスレジスタ[Adr. 92h]	65
8.81. 赤外線リモコン割り込みイネーブルレジスタ[Adr. 93h]	66
8.82. 赤外線リモコンHワイズカウンタ_L[Adr. 94h]	67
8.83. 赤外線リモコンHワイズカウンタ_H[Adr. 95h]	67
8.84. 赤外線リモコンLワイズカウンタ_L[Adr. 96h]	67
8.85. 赤外線リモコンLワイズカウンタ_H[Adr. 97h]	67
8.86. カウンタモードレジスタ[Adr. A0h]	68
8.87. カウンタイネーブルレジスタ[Adr. A1h]	69
8.88. カウンタラッチコマンドレジスタ[Adr. A2h]	70
8.89. カウンタクリアコマンドレジスタ[Adr. A3h]	71
8.90. カウンタロードコマンドレジスタ[Adr. A4h]	72
8.91. カウンタZ相イネーブルレジスタ[Adr. A5h]	74
8.92. カウンタ定周期自動ストアイネーブルレジスタ[Adr. A6h]	75
8.93. カウンタ割り込みイネーブルレジスタ0[Adr. A7h]	76
8.94. カウンタ割り込みイネーブルレジスタ1 [Adr. A8h]	77
8.95. カウンタストア周期レジスタ0_L(下位バイト)[Adr. B0h]	78
8.96. カウンタ周期レジスタ0_H(上位バイト)[Adr. B1h]	78
8.97. カウンタ周期レジスタ1_L(下位バイト)[Adr. B2h]	78
8.98. カウンタ周期レジスタ1_H(上位バイト)[Adr. B3h]	79
8.99. カウンタ周期レジスタ2_L(下位バイト)[Adr. B4h]	79
8.100. カウンタ周期レジスタ2_H(上位バイト)[Adr. B5h]	79
8.101. カウンタ周期レジスタ3_L(下位バイト)[Adr. B6h]	79
8.102. カウンタ周期レジスタ3_H(上位バイト)[Adr. B7h]	80
8.103. カウンタ割り込みステータスレジスタ0[Adr. B8h]	80
8.104. カウンタ割り込みステータスレジスタ1 [Adr. B9h]	81

8.105. カウンタ割り込みステータスレジスタ2 [Adr. BAh]	82
8.106. カウンタ割り込みステータスレジスタ3 [Adr. BBh]	83
8.107. カウンタロードデータレジスタ00 [Adr. C0h]	84
8.108. カウンタロードデータレジスタ01 [Adr. C1h]	84
8.109. カウンタロードデータレジスタ02 [Adr. C2h]	84
8.110. カウンタロードデータレジスタ10 [Adr. C4h]	85
8.111. カウンタロードデータレジスタ11 [Adr. C5h]	85
8.112. カウンタロードデータレジスタ12 [Adr. C6h]	85
8.113. カウンタロードデータレジスタ20 [Adr. C8h]	86
8.114. カウンタロードデータレジスタ21 [Adr. C9h]	86
8.115. カウンタロードデータレジスタ22 [Adr. CAh]	86
8.116. カウンタロードデータレジスタ30 [Adr. CCh]	87
8.117. カウンタロードデータレジスタ31 [Adr. CDh]	87
8.118. カウンタロードデータレジスタ32 [Adr. CEh]	87
8.119. カウンタラッチデータレジスタ00 [Adr. D0h]	88
8.120. カウンタラッチデータレジスタ01 [Adr. D1h]	88
8.121. カウンタラッチデータレジスタ02 [Adr. D2h]	88
8.122. カウンタラッチデータレジスタ10 [Adr. D4h]	89
8.123. カウンタラッチデータレジスタ11 [Adr. D5h]	89
8.124. カウンタラッチデータレジスタ12 [Adr. D6h]	89
8.125. カウンタラッチデータレジスタ20 [Adr. D8h]	90
8.126. カウンタラッチデータレジスタ21 [Adr. D9h]	90
8.127. カウンタラッチデータレジスタ22 [Adr. DAh]	90
8.128. カウンタラッチデータレジスタ30 [Adr. DCh]	91
8.129. カウンタラッチデータレジスタ31 [Adr. DDh]	91
8.130. カウンタラッチデータレジスタ32 [Adr. DEh]	91
9. 電気的特性	92
9.1. 絶対最大定格	92
9.2. 推奨動作条件	92
9.3. 直流特性	93
9.4. 交流特性	94
9.5. タイミングダイアグラム	96
9.5.1. クロック	96
9.5.2. リセット	96
9.5.3. ホストインタフェース	97
9.5.4. I2Cアクセス	98
9.5.5. SPIアクセス	99
9.5.6. UARTアクセス	99
9.5.7. PWMアクセス	100
9.5.8. IRシリアルアクセス	100
9.5.9. カウンタアクセス	101

10. パッケージ形状.....	102
11. 端子配置.....	103
12. 改訂履歴.....	104

1. 概要

ZEN1751Fは、映像機器やFA機器等によく使用される機能を1チップにまとめたマイコン周辺拡張LSIです。

搭載している機能は、汎用入出力ポート、I²Cバスマスタ[※]、SPIポート、PWM出力、赤外線リモコン入力、UART及びパルスカウンタです。

各ブロックを個別にスタンバイ・モードに移行させることが可能であるため、低消費電力システムを実現させることができます。

各ペリフェラルの多様な動作レート要求に柔軟に対応するため、各ブロックは2種類のクロックソースから動作クロックを選択することができます(ただし、汎用入出力とI2CブロックはSCLK専用)。

※I²Cはフィリップス社の商標です。本ドキュメントでは以下I2Cと表記します。

2. 特徴

○CPU I/F : 8bitパラレルインタフェース

○汎用入出力ポート : Max56本(うち40本が他の信号と兼用)

ポートA:16本 専用ポート(1本毎に入出力/割り込み設定が可能)

ポートB:8本 兼用ポート(1本毎に入出力設定が可能)

ポートC:8本 兼用ポート(1本毎に入出力設定が可能)

ポートD:8本 兼用ポート(1本毎に入出力設定が可能)

ポートE:4本 兼用ポート(1本毎に入出力設定が可能)

ポートF:12本 兼用ポート(入力専用)

I_o=±4mA

○ブロック毎にスタンバイ・モード(動作クロックを停止)に設定可能

○I2Cバス(マスタ) : Max12ch(切り替えて使用) [SPI/UARTと端子共有]

○SPIポート(4線式シリアル) : Max6ch(切り替えて使用) [I2C/UARTと端子共有]

○UART(16550機能互換) : Max4ch(独立) [I2C/SPIと端子共有]

○PWM : Max3ch(独立)

精度:8bit

○赤外線リモコン入力 : Max1ch

精度:16bit

○パルスカウンタ : Max12ch(単相カウンタモード時)、Max4ch(2相カウンタモード時)

カウント精度 単相カウンタモード時:8bit、2相カウンタモード時:24bit

単相カウンタモード : アップ信号のみ

2相カウンタモード : インクリメンタル/アップ・ダウン信号

○システムクロック : Max50MHz

○ペリフェラルクロック : Max25MHz(ただし、ペリフェラルクロックの周波数≤システムクロックの周波数/2)

○電源電圧 : 3.3V単一(入力端子5Vトレナント)

○パッケージ : TQFP100ピン(14×14mm、0.5mmピッチ)

3. ブロック図

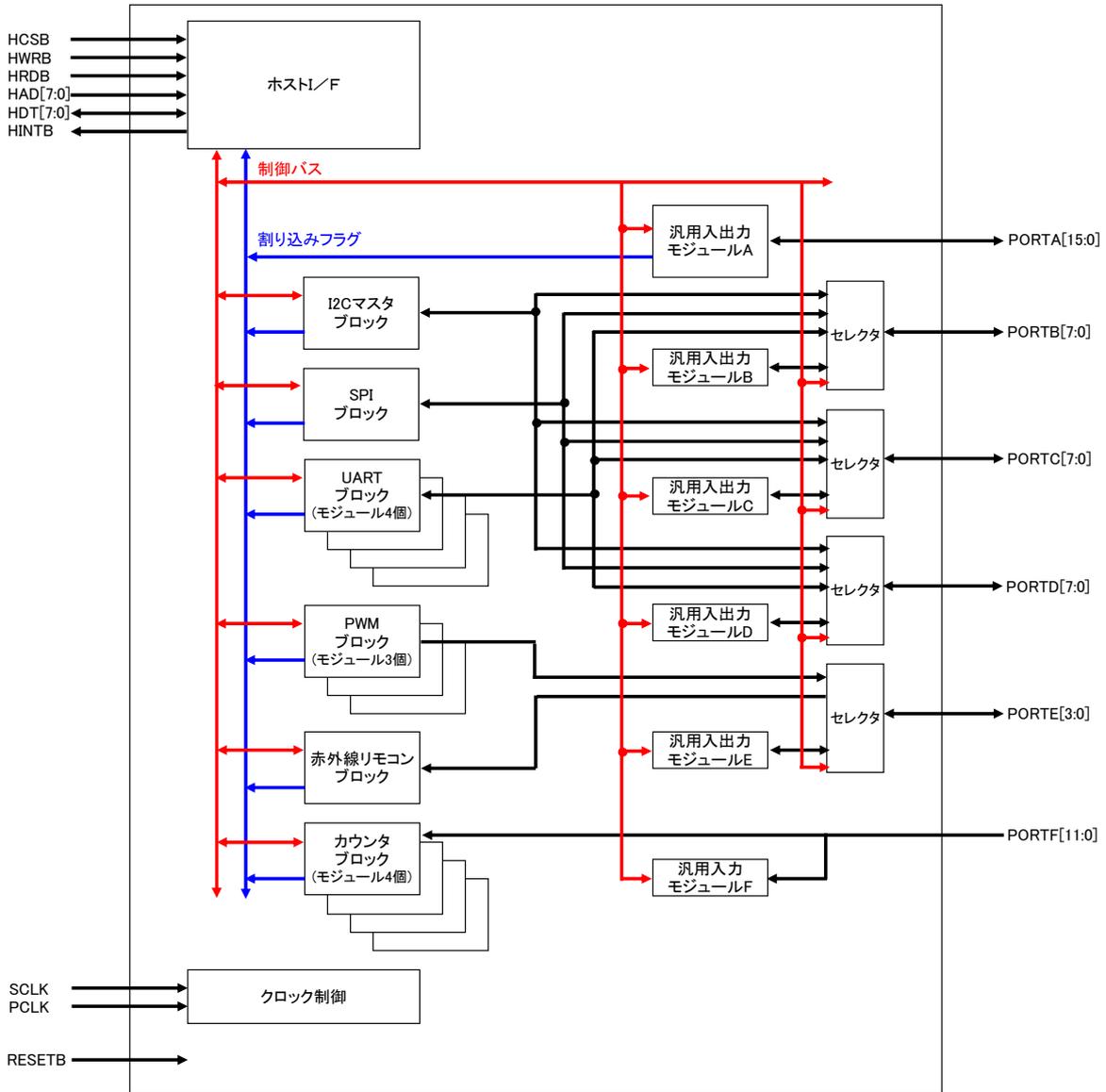


図1. ブロック図

4. 端子一覧

表 1. 端子一覧表

ピン番号	記号	信号名	属性	機能
11	SCLK	System Clock	IN	システムクロック
66	PCLK	Peripheral Clock	IN	ペリフェラルクロック
37	RESETB	System Reset	IN	システムリセット
84	HCSB	Host Chip Select	IN	チップセレクト
86	HWRB	Host Write	IN	ライトストロープ
90	HRDB	Host Read	IN	リードストロープ
83~76	HAD[7:0]	Host Address Bus	IN	アドレスバス
99~96, 94~91	HDT[7:0]	Host Data Bus	INOUT	データバス
100	HINTB	Host Int Output	OUT	割り込み出力
64~61, 48~45, 28~25, 9~6	PORTA[15:0]	Port A	INOUT	端子グループA(汎用入出力)
69~68, 50~49, 30~29, 14~13	PORTB[7:0]	Port B	INOUT	端子グループB(汎用入出力、I2C、SPI、UARTを 選択)
34~31, 18~15	PORTC[7:0]	Port C	INOUT	端子グループC(汎用入出力、I2C、SPI、UARTを 選択)
73~70, 54~51	PORTD[7:0]	Port D	INOUT	端子グループD(汎用入出力、I2C、SPI、UARTを 選択)
74, 55, 35, 19	PORTE[3:0]	Port E	INOUT	端子グループE(汎用入出力、PWM、赤外線リモ コン入力を選択)
59~57, 43~41, 23~21, 4~2	PORTF[11:0]	Port F	IN	端子グループF(汎用入力、カウンタを選択)
88, 39	TEST	Test	IN	テスト用端子 ※GNDレベルに固定してください
87, 75, 65, 56, 40, 36, 20, 10, 1	VCC	Power	—	電源(+3.3V)
95, 89, 85, 67, 60, 44, 38, 24, 12, 5	GND	Ground	—	グラウンド(0V)

5. ホストインタフェース

5.1. パラレルインタフェース

ホストから ZEN1751F へのアクセスは、データバス8ビット幅のパラレルインタフェースで行います。
HCSB、HWRB、HRDB、HAD[7:0]およびHDT[7:0]により ZEN1751F のレジスタにアクセスします。

表2. ホストアクセス

アクセス	HCSB	HWRB	HRDB	HAD[7:0]	HDT[7:0]
書き込み	0	0	1	アドレス	書き込みデータ
読み出し	0	1	0	アドレス	読み出しデータ
NOP	1	X	X	X	Hi-Z
禁止	0	0	0	アドレス	不定

※内部のレジスタ値およびポートへの出力データの更新にはHWRB↑後、最小6×SCLKサイクルが必要です。

5.2. 割り込み

ZEN1751F の各ブロック/モジュールからの割り込み要求をHINTB端子から出力します。
割り込みの解除は、各ブロック/モジュールの割り込み要因をクリアすることにより、解除されます。

※HINTBは、Lowアクティブです。

- 1:割り込み要求なし
- 0:割り込み要求あり

6. 機能

6.1. 端子グループ

6.1.1. 端子グループ構成

ZEN1751FはグループA～グループFまで6つの端子グループがあり、各端子グループによって割り当てることができる機能が異なります。

各端子グループの初期状態(リセット後)はHi-Zになっていますので、リセット期間も含めてリセット後から端子グループの機能を設定するまでの期間は注意が必要です。必要に応じて、端子を抵抗でプルアップまたはプルダウンしてください。

表 3. 端子グループ別機能構成

端子グループA	PORTA[0]	I/O						
	PORTA[1]	I/O						
	PORTA[2]	I/O						
	PORTA[3]	I/O						
	PORTA[4]	I/O						
	PORTA[5]	I/O						
	PORTA[6]	I/O						
	PORTA[7]	I/O						
	PORTA[8]	I/O						
	PORTA[9]	I/O						
	PORTA[10]	I/O						
	PORTA[11]	I/O						
	PORTA[12]	I/O						
	PORTA[13]	I/O						
	PORTA[14]	I/O						
	PORTA[15]	I/O						
端子グループB	PORTB[0]	I/O	URT0 TX	SP10	SPI_SCK	I2C0_0	I2C_SCL	
	PORTB[1]	I/O			URT0 RX	SPI_SDI	I2C0_1	I2C_SDA
	PORTB[2]	I/O	URT1 TX	SP11	SPI_SDO	I2C1_0	I2C_SCL	
	PORTB[3]	I/O			URT1 RX	SPI_SCS	I2C1_1	I2C_SDA
	PORTB[4]	I/O	URT2 TX	SP12	SPI_SCK	I2C2_0	I2C_SCL	
	PORTB[5]	I/O			URT2 RX	SPI_SDI	I2C2_1	I2C_SDA
	PORTB[6]	I/O	URT3 TX	SP13	SPI_SDO	I2C3_0	I2C_SCL	
	PORTB[7]	I/O			URT3 RX	SPI_SCS	I2C3_1	I2C_SDA
端子グループC	PORTC[0]	I/O	FLW0 DSR	SP14	SPI_SCK	I2C4_0	I2C_SCL	
	PORTC[1]	I/O			FLW0 CTS	SPI_SDI	I2C4_1	I2C_SDA
	PORTC[2]	I/O			FLW0 DTR	SPI_SDO	I2C5_0	I2C_SCL
	PORTC[3]	I/O			FLW0 RTS	SPI_SCS	I2C5_1	I2C_SDA
	PORTC[4]	I/O	FLW1 DSR	SP15	SPI_SCK	I2C6_0	I2C_SCL	
	PORTC[5]	I/O			FLW1 CTS	SPI_SDI	I2C6_1	I2C_SDA
	PORTC[6]	I/O			FLW1 DTR	SPI_SDO	I2C7_0	I2C_SCL
	PORTC[7]	I/O			FLW1 RTS	SPI_SCS	I2C7_1	I2C_SDA
端子グループD	PORTD[0]	I/O	FLW2 DSR	SP16	SPI_SCK	I2C8_0	I2C_SCL	
	PORTD[1]	I/O			FLW2 CTS	SPI_SDI	I2C8_1	I2C_SDA
	PORTD[2]	I/O			FLW2 DTR	SPI_SDO	I2C9_0	I2C_SCL
	PORTD[3]	I/O	FLW2 RTS	SPI_SCS	I2C9_1	I2C_SDA		
	PORTD[4]	I/O	FLW3 DSR	SP17	SPI_SCK	I2C10_0	I2C_SCL	
	PORTD[5]	I/O			FLW3 CTS	SPI_SDI	I2C10_1	I2C_SDA
	PORTD[6]	I/O			FLW3 DTR	SPI_SDO	I2C11_0	I2C_SCL
PORTD[7]	I/O	FLW3 RTS			SPI_SCS	I2C11_1	I2C_SDA	
端子グループE	PORTE[0]	I/O			PWM0			
	PORTE[1]	I/O			PWM1			
	PORTE[2]	I/O			PWM2			
	PORTE[3]	I/O			IRRC			
端子グループF	PORTF[0]	IN	CNT0		CNT0_A			
	PORTF[1]	IN			CNT0_B			
	PORTF[2]	IN			CNT0_Z			
	PORTF[3]	IN	CNT1		CNT1_A			
	PORTF[4]	IN			CNT1_B			
	PORTF[5]	IN			CNT1_Z			
	PORTF[6]	IN	CNT2		CNT2_A			
	PORTF[7]	IN			CNT2_B			
	PORTF[8]	IN			CNT2_Z			
	PORTF[9]	IN	CNT3		CNT3_A			
	PORTF[10]	IN			CNT3_B			
PORTF[11]	IN			CNT3_Z				

6.2. 汎用入出力

6.2.1. 汎用入出力モジュール

ZEN1751FはA～Fまで6つの汎用入出力モジュールを内蔵しており、それぞれが端子グループA～端子グループFに割り当てられています。

なお、ポートAの16本については割り込み入力として使用することも可能です。

表 4. 汎用入出力モジュール信号構成

汎用入出力モジュール信号名	入出力	ビット数	備考
PORTA	入出力	16本	割り込み機能あり
PORTB	入出力	8本	I2C、SPI、UARTと汎用入出力兼用
PORTC	入出力	8本	I2C、SPI、UARTと汎用入出力兼用
PORTD	入出力	8本	I2C、SPI、UARTと汎用入出力兼用
PORTE	入出力	4本	PWM、赤外線リモコンと汎用入出力兼用
PORTF	入力	12本	CNTと汎用入出力兼用

6.2.2. 入出力方向選択

機能選択により汎用入出力モジュールになっている端子の入出力方向をビット単位で設定することができます。

※ポートFは入力専用ですので入出力方向選択はありません。

6.2.3. ポート割り込み

ポートAの端子が変化(立ち上がり、立ち下がり)すること(割り込み要因)により割り込み要求を発生させることができます。

割り込み要求はビット単位で有効/無効を設定することができ、割り込み要因である端子の変化もビット単位で設定することが可能です。

※ポートAのみの機能です。

6.3. I2Cマスタ

6.3.1. I2Cブロック構成

ZEN1751F はI2Cブロック内に1つのI2Cマスタモジュールを内蔵し、12個のI2Cマスタポートを有しています。各I2Cマスタポートは同時に使用することはできず、レジスタ設定によって1ポートのみ有効になります。

SCLKを19.2MHzとすることで、STANDARD-MODE選択時は100KHz、FAST-MODE選択時は400KHzでの動作となります。

※I2Cモジュールのクロック原振はSCLKのみになります。PCLKは選択できません。

※マルチマスタバスとして機能しませんので(アービトレーション不可、クロック同期認識不可)、他のマスタデバイスは接続できません。

表 5. I2Cモジュール信号構成

I2Cモジュール信号名	入出力	ビット数	備考
I2C_SCL	出力	1本	I2Cバス クロック
I2C_SDA	入出力	1本	I2Cバス データ

6.4. SPIマスタ

6.4.1. SPIブロック構成

ZEN1751F はSPIブロック内に1つのSPIマスタモジュールを内蔵し、6つのSPIマスタポートを有しています。各SPIマスタポートは同時に使用することはできず、レジスタ設定によって1ポートのみ有効になります。

表 6. SPIモジュール信号構成

SPIモジュール信号名	入出力	ビット数	備考
SPL_SCK	出力	1本	SPI シリアル転送クロック
SPI_SDI	入力	1本	SPI シリアル転送入力データ
SPI_SDO	出力	1本	SPI シリアル転送出力データ
SPL_SCS	出力	1本	SPI シリアル転送セレクト

6.4.2. 転送データ長

最長32bitまでの転送が一度に可能です。

6.4.3. 転送終了割り込み

一回の転送が終了した際に割り込み要求を発生させることができます。

6.4.4. セレクト信号アサート選択(オート/マニュアル)

有効になっているSPIポートのSPI_SCS信号を転送中自動的にアサートするか、マイコンからのマニュアルコントロールにするかを選択できます。

6.4.5. ビットオーダー選択

シリアルデータの送受信に関して、MSBとLSBのどちらから先に出力するかを選択できます。

6.4.6. データの送受信タイミング選択

SPIシリアル転送クロックの立ち上がりまたは立ち下がりに同期して、データの送受信を行うことができます。タイミングは送信/受信個別に選択可能です。

6.4.7. セレクト信号論理選択

SPI_SCS信号の論理を正/負選択可能です。

6.4.8. SPIデバイスの切り替えについて

端子グループ機能選択レジスタにおいてSPIブロックが選択されている状態で、ペリフェラルコントロールレジスタ3(17h)のSPISELにより選択されていないSPI端子出力は、すべてLowレベルになります。セレクト信号が正論理のデバイスに接続されていれば問題ありませんが、負論理デバイスに接続されている場合、常に選択されることになります。

このため、複数のSPIデバイスを接続して使用する場合は、あらかじめ汎用入出力モードで非選択時における端子状態を設定した上で、SPI選択時にはSPIモードに、SPI非選択時は汎用入出力モードに設定して使用されることを推奨します。

例) セレクト信号が負論理のデバイスをSPI3とSPI4に接続して使用している場合

(SPI3の信号は端子グループC[7:4]、SPI4の信号は端子グループD[3:0]に割り当てられます)

- 1) 端子グループC[7:4]のSPI非選択時の端子状態を設定する。

ポートC方向設定レジスタ(2Ch)、ポートCデータレジスタ(2Dh)にて、汎用入出力モード時の端子状態を設定する。

PCDAT[4]=0、	PCDIR[4]=0	SPI_SCK (Lowレベル出力)
PCDAT[5]=0、	PCDIR[5]=1	SPI_SDI (Hi-Z)
PCDAT[6]=0、	PCDIR[6]=0	SPI_SDO (Lowレベル出力)
PCDAT[7]=1、	PCDIR[7]=0	SPI_SCS (Highレベル出力=非選択時の論理)

- 2) 端子グループD[3:0]のSPI非選択時の端子状態を設定する。

ポートD方向設定レジスタ(2Eh)、ポートDデータレジスタ(2Fh)にて、汎用入出力モード時の端子状態を設定する。

PDDAT[0]=0、	PDDIR[0]=0	SPI_SCK (Lowレベル出力)
PDDAT[1]=0、	PDDIR[1]=1	SPI_SDI (Hi-Z)
PDDAT[2]=0、	PDDIR[2]=0	SPI_SDO (Lowレベル出力)
PDDAT[3]=1、	PDDIR[3]=0	SPI_SCS (Highレベル出力=非選択時の論理)

- 3) 端子グループC[7:4]、端子グループD[3:0]を汎用入出力モードに設定する。

端子グループC機能選択レジスタ(11h)、GCPF1=00 汎用入出力モード
端子グループD機能選択レジスタ(12h)、GDPF0=00 汎用入出力モード

1)から3)の処理により、端子グループC[7:4]、端子グループD[3:0]は、SPI非選択時の端子状態になります。

- 4) ペリフェラルコントロールレジスタ1(15h)、SPIONにおいて、SPIブロックを有効にします。
- 5) ペリフェラルコントロールレジスタ3(17h)、SPISELにおいて、アクセスを行うSPIを選択します。
- 6) SPIコントロールレジスタ(50h)を設定します。
- 7) アクセスを行うSPI端子の機能を端子グループ(B、C、D)機能選択レジスタにより、汎用入出力モからSPIに変更します。
- 8) SPIに対するアクセス終了後、SPI端子の機能を端子グループ(B、C、D)機能選択レジスタによりSPIから汎用入出力に変更します。

以降、5)から8)を繰り返すことにより、SPIのデバイスを切り替えることができます。

6.5. UART

6.5.1. UARTブロック構成

ZEN1751FはUARTブロック内に4つのUART(業界標準の16550と機能互換)を内蔵しています。各UARTは、独立したクロックで動作します。

表 7. UARTモジュール信号構成

UARTモジュール信号名	入出力	ビット数	備考
URT_TX	出力	1本	UART 送信データ
URT_RX	入力	1本	UART 受信データ
FLW_DSR	入力	1本	UART データセットレディ
FLW_CTS	入力	1本	UART 送信可
FLW_DTR	出力	1本	UART 端末レディ
FLW_RTS	出力	1本	UART 送信要求

なお、搭載しているUARTは、16550と異なり、次の信号が外部端子に割り当てられていません。

(1) 送受信クロック

$\overline{\text{BAUDOUT}}$ を外部端子に出力していません。

RCLKは、ZEN1751F内部で $\overline{\text{BAUDOUT}}$ に接続されており、外部入力端子はありません。

(2) $\overline{\text{TxRDY}}$ および $\overline{\text{RxRDY}}$

$\overline{\text{TxRDY}}$ および $\overline{\text{RxRDY}}$ 信号を外部端子に出力していません。したがって、DMA機能を使用することはできません。

(3) $\overline{\text{OUT1}}$ および $\overline{\text{OUT2}}$ 信号

$\overline{\text{OUT1}}$ および $\overline{\text{OUT2}}$ 信号を外部端子に出力していません。ZEN1751Fの汎用入出力を使用してください。

(4) $\overline{\text{DCD}}$ および $\overline{\text{RI}}$ 信号

$\overline{\text{DCD}}$ および $\overline{\text{RI}}$ 信号を外部から入力していません。ZEN1751Fの汎用入出力を使用してください。

6.6. PWM

6.6.1. PWMブロック構成

ZEN1751FはPWMブロック内に3つのPWMモジュールを内蔵しています。

各PWMモジュールは、独立したクロックで動作します。

原振としてPCLKを選択した場合、以下のことに注意してください。

※PWM出力中にデューティ比設定レジスタを変更した場合、次の1PWM周期間、不定なデューティ比になることがあります。

表 8. PWMモジュール信号構成

PWMモジュール信号名	入出力	ビット数	備考
PWM	出力	1本	PWM パルス出力データ

6.6.2. PWM分解能

PWMのパルス周期の分解能は8bitです。

6.6.3. 送出回数選択

設定されたデューティ比のパルスを何回(PWMパルス周期回)送出するかを設定できます。

設定範囲は1～255及び連続です。

6.6.4. 出力完了割り込み(非連続出力時のみ)

出力が完了したタイミングで割り込み要求を発生させることが可能です。

6.6.5. 出力論理選択

PWM信号の出力論理を選択できます。

6.7. 赤外線リモコン

6.7.1. 赤外線リモコンブロック構成

ZEN1751F は赤外線リモコンブロック内に1つの赤外線リモコン受信モジュールを内蔵しています。このモジュールは各1つのプリスケアラ、H/Lワイズカウンタ及びノイズフィルタから構成されます。

表9. 赤外線リモコンモジュール信号構成

赤外線リモコンモジュール信号名	入出力	ビット数	備考
IRRC	入力	1本	IRリモコン 入力データ

6.7.2. ワイズカウンタビット長

Hワイズ、Lワイズとも16bitのカウンタでデータ長をカウント可能です。

6.7.3. 入力変化割り込み

赤外線リモコン信号の入力変化ごとに割り込み要求を発生させることができます。割り込み要因として、端子の立ち上がり/立ち下がり検出を独立して設定可能です。

6.7.4. オーバーフロー検出割り込み

ワイズカウンタがオーバーフローした場合に割り込みを出すことができます。Hワイズ/Lワイズ独立して設定可能です。

6.7.5. ノイズフィルタ

赤外線リモコン信号のノイズを除去します。設定数以下のクロック幅のパルスは無視されます。Hパルス/Lパルス独立して設定可能です。

6.8. カウンタ

6.8.1. カウンタブロック構成

ZEN1751Fはカウンタブロック内に4つのカウンタモジュールを内蔵し、各モジュールはさらに3つのカウンタユニットから構成されます。各カウンタユニットは2相カウンタモード時には3ユニットまとめて24bitのアップダウンカウンタ1ch. となり、単相カウンタモード時には8bitのアップカウンタ3ch. として利用できます。

表 10. カウンタ構成

カウンタモジュール	カウンタユニット	24bit2相カウンタモード時	8bit単相カウンタモード時
カウンタモジュール0	カウンタユニット00	ch. 0(下位バイト)	ch. 0
	カウンタユニット01	ch. 0(中位バイト)	ch. 1
	カウンタユニット02	ch. 0(上位バイト)	ch. 2
カウンタモジュール1	カウンタユニット10	ch. 1(下位バイト)	ch. 3
	カウンタユニット11	ch. 1(中位バイト)	ch. 4
	カウンタユニット12	ch. 1(上位バイト)	ch. 5
カウンタモジュール2	カウンタユニット20	ch. 2(下位バイト)	ch. 6
	カウンタユニット21	ch. 2(中位バイト)	ch. 7
	カウンタユニット22	ch. 2(上位バイト)	ch. 8
カウンタモジュール3	カウンタユニット30	ch. 3(下位バイト)	ch. 9
	カウンタユニット31	ch. 3(中位バイト)	ch. 10
	カウンタユニット32	ch. 3(上位バイト)	ch. 11

表 11. カウンタモジュール信号構成

CNTモジュール信号名	入出力	ビット数	2相カウンタモード時	単相カウンタモード時
CNT_A	入力	1本	A相パルス/アップパルス	アップパルス
CNT_B	入力	1本	B相パルス/ダウンパルス	アップパルス
CNT_Z	入力	1本	Z相パルス/クリアパルス	アップパルス

6.8.2. カウンタモード

ZEN1751Fは下表のようなカウンタモードに対応しています。

表 12. カウンタモード

カウンタモード	パルス入力形式	カウント通倍	Z相クリア	カウンタ動作タイミング
単相	アップパルス	—	なし	CNT_A(B, Z) 入力の立ち上がりエッジ。
2相	アップダウンパルス	—	あり	CNT_A入力及びCNT_B入力の立ち上がりエッジ。
	A/B相パルス	1通倍	あり	CNT_A入力のエッジ変化(CNT_B入力がない時のみ)。
		4通倍	あり	CNT_A入力及びCNT_B入力のエッジ変化。

6.8.3. Z相クリア

2相カウンタモードに設定されているカウンタモジュールはCNT_Z入力の立ち上がりエッジで当該カウンタをクリアできます。本機能は有効/無効を設定できます。

6.8.4. カウンタイネーブル

カウント動作を停止/起動することができます。このイネーブル動作はカウンタモジュールごとに個別に可能ですが、単相カウンタモードに設定されている場合、一つのユニット内の3ch. の単相カウンタは同時に停止/起動されます。なお、カウント動作の停止/起動にかかわらず、カウンタラッチ、カウンタクリア及び初期値ロードは常に可能です。

6.8.5. カウンタラッチ

カウンタ値を24bit一括してラッチレジスタに格納できます。マイコンからの読み出し中にカウンタ値が変動するのを防ぐため、まずラッチコマンドを実行しカウンタ値をラッチデータレジスタに取り込んでから読み取ります。このラッチ動作はカウンタモジュールごとに個別に可能ですが、単相カウンタモードに設定されている場合、一つのユニット内の3ch. の単相カウンタは同時にラッチされます。

6.8.6. カウンタクリア

カウンタ値をクリアすることができます。このクリア動作はカウンタモジュールごとに個別に可能ですが、単相カウンタモードに設定されている場合、一つのユニット内の3ch. の単相カウンタは同時にクリアされます。

6.8.7. 初期値ロード

事前にロードデータレジスタに書き込んでおいた24bitの初期値を一括してカウンタにロードできます。このロード動作はカウンタモジュールごとに個別に可能ですが、単相カウンタモードに設定されている場合、一つのユニット内の3ch. の単相カウンタは同時に初期値ロードされます。

6.8.8. 定周期自動ストア

各カウンタモジュールについて、あらかじめ設定した周期ごとに入力されたパルス数をカウンタ値として読み出すことができます。この周期はカウンタ周期設定レジスタによって設定されたクロック数(256~16776960)で決定されます。この周期ごとにカウンタ値を読み出し、カウンタラッチデータレジスタに格納します(このときカウンタはいったんリセットされ、その後自動的にカウントを再開します*)。なお、カウンタラッチデータレジスタを直接読み出すことはできません。定周期自動ストアに設定されているカウンタモジュールも、いったんラッチコマンドを発行した後、ラッチデータレジスタを通してカウント結果を読み出す必要があります。また、本設定が有効なとき、カウンタ値がカウンタラッチデータレジスタに格納されるたびに割り込み要求を発生させることも可能です。

※周期内のリセット期間中(1クロック分)、カウンタはアップまたはダウンカウントできません。したがって、カウンタの結果を累積した値と入力されたパルス数の合計が一致しない場合があります。

6.8.9. オーバーフロー検出(単相カウンタモード時のみ)

単相カウンタモードに設定されているカウンタモジュールについては、いずれかのカウンタユニットのカウンタ値がオーバーフローした場合に割り込み要求を発生させることが可能です。ただし、割り込み要求の有効/無効はカウンタモジュールごとの設定となります(カウンタユニットごとに独立した設定はできません)。なお、カウンタ値がオーバーフローしても、カウンタの動作そのものは本設定とは関係なく継続します。

6.8.10. カウンタ値一致検出(2相カウンタモード時のみ)

2相カウンタモードに設定されている2組のカウンタモジュールについては、2組のカウンタ値を比較し、一致していれば割り込み要求を発生させることができます。比較対象となるカウンタのペアは固定で(カウンタモジュール0とカウンタモジュール1、カウンタモジュール2とカウンタモジュール3)、ペアとなるカウンタをともに2相カウンタモードにする必要があります。

6.8.11. 異常入力検出

ZEN1751FはAB相入力A、Bが正常な位相遷移状態を行っているかどうかを検出する機能を有しています。この機能は2相カウンタモード(AB相入力)のときのみ有効です。また異常入力検出時には、カウンタ値の信頼性は失われます。例えば、下図で示すような異常な遷移状態が起こると異常入力ステータスレジスタの値が“1”となり異常入力(AI)フラグが発生します。この異常な遷移状態の原因には次のようなことが考えられます。

- (1) AB相入力A、Bの周波数が、システムクロック周波数の1/4を超えたために、正確に位相遷移状態をクロックでサンプリングできなくなった場合
- (2) ラインノイズが混入し、入力パルス変化として観測され異常な遷移状態と判断した場合

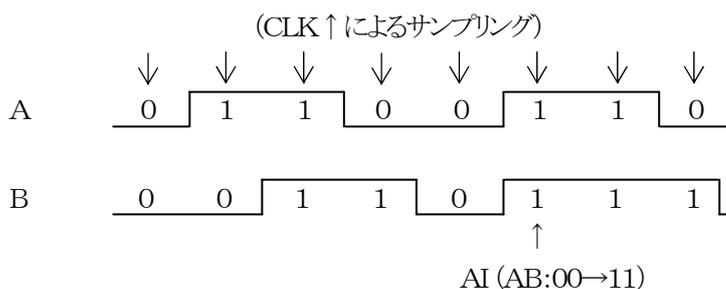


図2. AB相入力の異常検出例

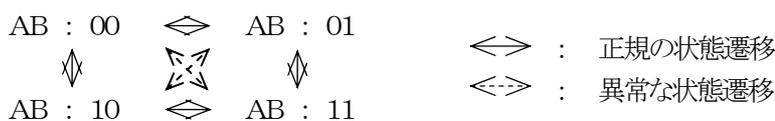


図3. AB相入力の状態遷移例

※2相カウンタモード(アップダウンパルス動作)時の注意事項

各信号の立ち上がりで、カウント動作(アップまたはダウン)しますが、もう一方は“1”固定でなければなりません。
例えば、CNT_A(UP)が立ち上がる際には、CNT_B(DOWN)は、“1”でなければカウントアップしません。

7. レジスタ一覧

7.1. アドレスマップ

表13～17に ZEN1751F のアドレスマッピングを示します。各レジスタの詳細は8章を参照してください。

表 13. アドレスマッピング(その1)

アドレス(h)	名称	初期値	R/W
00	システムコントロールレジスタ	00h	R/W
01	予約		R
02	クロックコントロールレジスタ0	00h	R/W
03	クロックコントロールレジスタ1	00h	R/W
04	クロックコントロールレジスタ2	00h	R/W
05	クロックコントロールレジスタ3	00h	R/W
06	クロックコントロールレジスタ4	00h	R/W
07	クロックコントロールレジスタ5	00h	R/W
08	クロックコントロールレジスタ6	00h	R/W
09	割り込みステータスレジスタ0	00h	R
0A	割り込みステータスレジスタ1	00h	R
0B	割り込みイネーブルレジスタ0	00h	R/W
0C	割り込みイネーブルレジスタ1	00h	R/W
0D～0F	予約		R
10	端子グループB端子機能選択レジスタ	00h	R/W
11	端子グループC端子機能選択レジスタ	00h	R/W
12	端子グループD端子機能選択レジスタ	00h	R/W
13	端子グループE端子機能選択レジスタ	00h	R/W
14	予約	00h	R/W
15	ペリフェラルコントロールレジスタ0	00h	R/W
16	ペリフェラルコントロールレジスタ1	00h	R/W
17	ペリフェラルコントロールレジスタ2	00h	R/W
18～1F	予約		R

表 14. アドレスマッピング(その2)

アドレス(h)	名称	初期値	R/W
20	ポートA方向設定レジスタ_L	FFh	R/W
21	ポートA方向設定レジスタ_H	FFh	R/W
22	ポートAデータレジスタ_L	00h	R/W
23	ポートAデータレジスタ_H	00h	R/W
24	ポートA割り込みステータスレジスタ_L	00h	R/W
25	ポートA割り込みステータスレジスタ_H	00h	R/W
26	ポートA割り込みイネーブルレジスタ_L	00h	R/W
27	ポートA割り込みイネーブルレジスタ_H	00h	R/W
28	ポートA割り込みエッジ選択レジスタ_L	00h	R/W
29	ポートA割り込みエッジ選択レジスタ_H	00h	R/W
2A	ポートB方向設定レジスタ	FFh	R/W
2B	ポートBデータレジスタ	00h	R/W
2C	ポートC方向設定レジスタ	FFh	R/W
2D	ポートCデータレジスタ	00h	R/W
2E	ポートD方向設定レジスタ	FFh	R/W
2F	ポートDデータレジスタ	00h	R/W
30	ポートE方向設定レジスタ	0Fh	R/W
31	ポートEデータレジスタ	00h	R/W
32	ポートFデータレジスタ_L	xxh	R
33	ポートFデータレジスタ_H	0xh	R
34~3F	予約		R
40	I2Cコントロールレジスタ	00h	R/W
41	I2Cスレーブアドレス/モード設定レジスタ	00h	R/W
42	I2Cバス転送速度設定レジスタ	00h	R/W
43	I2Cステータスレジスタ	00h	R
44	I2C割り込みステータスレジスタ	00h	R/W
45	I2C割り込みマスクレジスタ	01h	R/W
46	I2C送受信データレジスタ	00h	R/W
47~4F	予約		R
50	SPIコントロールレジスタ	00h	R/W
51	SPI転送スタートレジスタ	00h	R/W
52	SPI転送ビット長レジスタ	00h	R/W
53	SPI割り込みステータスレジスタ	00h	R/W
54	SPI割り込みイネーブルレジスタ	00h	R/W
55	SPI出力データレジスタ0[7:0]	00h	R/W
56	SPI出力データレジスタ1[15:8]	00h	R/W
57	SPI出力データレジスタ2[23:16]	00h	R/W
58	SPI出力データレジスタ3[31:24]	00h	R/W
59	SPI入力データレジスタ0[7:0]	00h	R
5A	SPI入力データレジスタ1[15:8]	00h	R
5B	SPI入力データレジスタ2[23:16]	00h	R
5C	SPI入力データレジスタ3[31:24]	00h	R
5D	SPIセレクト信号アサート制御レジスタ	00h	R/W
5E~5F	予約		R

表 15. アドレスマッピング(その3)

アドレス(h)	名称	初期値	R/W
60	UART設定レジスタ0(for UARTモジュール0)	00h	R/W
61	UART設定レジスタ1(for UARTモジュール0)	00h	R/W
62	UART設定レジスタ2(for UARTモジュール0)	01h	R/W
63	UART設定レジスタ3(for UARTモジュール0)	00h	R/W
64	UART設定レジスタ4(for UARTモジュール0)	00h	R/W
65	UART設定レジスタ5(for UARTモジュール0)	60h	R/W
66	UART設定レジスタ6(for UARTモジュール0)	X0h	R/W
67	UART設定レジスタ7(for UARTモジュール0)	00h	R/W
68	UART設定レジスタ0(for UARTモジュール1)	00h	R/W
69	UART設定レジスタ1(for UARTモジュール1)	00h	R/W
6A	UART設定レジスタ2(for UARTモジュール1)	01h	R/W
6B	UART設定レジスタ3(for UARTモジュール1)	00h	R/W
6C	UART設定レジスタ4(for UARTモジュール1)	00h	R/W
6D	UART設定レジスタ5(for UARTモジュール1)	60h	R/W
6E	UART設定レジスタ6(for UARTモジュール1)	X0h	R/W
6F	UART設定レジスタ7(for UARTモジュール1)	00h	R/W
70	UART設定レジスタ0(for UARTモジュール2)	00h	R/W
71	UART設定レジスタ1(for UARTモジュール2)	00h	R/W
72	UART設定レジスタ2(for UARTモジュール2)	01h	R/W
73	UART設定レジスタ3(for UARTモジュール2)	00h	R/W
74	UART設定レジスタ4(for UARTモジュール2)	00h	R/W
75	UART設定レジスタ5(for UARTモジュール2)	60h	R/W
76	UART設定レジスタ6(for UARTモジュール2)	X0h	R/W
77	UART設定レジスタ7(for UARTモジュール2)	00h	R/W
78	UART設定レジスタ0(for UARTモジュール3)	00h	R/W
79	UART設定レジスタ1(for UARTモジュール3)	00h	R/W
7A	UART設定レジスタ2(for UARTモジュール3)	01h	R/W
7B	UART設定レジスタ3(for UARTモジュール3)	00h	R/W
7C	UART設定レジスタ4(for UARTモジュール3)	00h	R/W
7D	UART設定レジスタ5(for UARTモジュール3)	60h	R/W
7E	UART設定レジスタ6(for UARTモジュール3)	X0h	R/W
7F	UART設定レジスタ7(for UARTモジュール3)	00h	R/W
80	PWMコントロールレジスタ	00h	R/W
81	PWM割り込みステータスレジスタ	00h	R/W
82	PWM割り込みイネーブルレジスタ	00h	R/W
83	予約		R
84	PWM出力デューティ設定レジスタ0	00h	R/W
85	PWM出力デューティ設定レジスタ1	00h	R/W
86	PWM出力デューティ設定レジスタ2	00h	R/W
87	予約		R
88	PWM出力回数設定レジスタ0	00h	R/W
89	PWM出力回数設定レジスタ1	00h	R/W
8A	PWM出力回数設定レジスタ2	00h	R/W
8B~8F	予約		R

表 16. アドレスマッピング(その4)

アドレス(h)	名称	初期値	R/W
90	赤外線リモコンコントロールレジスタ	00h	R/W
91	赤外線リモコンノイズフィルタレジスタ	00h	R/W
92	赤外線リモコン割り込みステータスレジスタ	00h	R/W
93	赤外線リモコン割り込みイネーブルレジスタ	00h	R/W
94	赤外線リモコンHワイズカウンタ_L	00h	R
95	赤外線リモコンHワイズカウンタ_H	00h	R
96	赤外線リモコンLワイズカウンタ_L	00h	R
97	赤外線リモコンLワイズカウンタ_H	00h	R
98~9F	予約		R
A0	カウンタモードレジスタ	00h	R/W
A1	カウンタイネーブルレジスタ	00h	R/W
A2	カウンタラッチコマンドレジスタ	00h	W
A3	カウンタクリアコマンドレジスタ	00h	W
A4	カウンタロードコマンドレジスタ	00h	W
A5	カウンタZ相イネーブルレジスタ	00h	R/W
A6	カウンタ定周期自動スタイネーブルレジスタ	00h	R/W
A7	カウンタ割り込みイネーブルレジスタ0	00h	R/W
A8	カウンタ割り込みイネーブルレジスタ1	00h	R/W
A9~AF	予約		R
B0	カウンタ周期設定レジスタ0_L	01h	R/W
B1	カウンタ周期設定レジスタ0_H	00h	R/W
B2	カウンタ周期設定レジスタ1_L	01h	R/W
B3	カウンタ周期設定レジスタ1_H	00h	R/W
B4	カウンタ周期設定レジスタ2_L	01h	R/W
B5	カウンタ周期設定レジスタ2_H	00h	R/W
B6	カウンタ周期設定レジスタ3_L	01h	R/W
B7	カウンタ周期設定レジスタ3_H	00h	R/W
B8	カウンタ割り込みステータスレジスタ0	00h	R/W
B9	カウンタ割り込みステータスレジスタ1	00h	R/W
BA	カウンタ割り込みステータスレジスタ2	00h	R/W
BB	カウンタ割り込みステータスレジスタ3	00h	R/W
BC~BF	予約		R
C0	カウンタロードデータレジスタ00	00h	R/W
C1	カウンタロードデータレジスタ01	00h	R/W
C2	カウンタロードデータレジスタ02	00h	R/W
C3	予約		R
C4	カウンタロードデータレジスタ10	00h	R/W
C5	カウンタロードデータレジスタ11	00h	R/W
C6	カウンタロードデータレジスタ12	00h	R/W
C7	予約		

表 17. アドレスマッピング(その5)

アドレス(h)	名称	初期値	R/W
C8	カウンタロードデータレジスタ20	00h	R/W
C9	カウンタロードデータレジスタ21	00h	R/W
CA	カウンタロードデータレジスタ22	00h	R/W
CB	予約		R
CC	カウンタロードデータレジスタ30	00h	R/W
CD	カウンタロードデータレジスタ31	00h	R/W
CE	カウンタロードデータレジスタ32	00h	R/W
CF	予約		R
D0	カウンタラッチデータレジスタ00	00h	R
D1	カウンタラッチデータレジスタ01	00h	R
D2	カウンタラッチデータレジスタ02	00h	R
D3	予約		R
D4	カウンタラッチデータレジスタ10	00h	R
D5	カウンタラッチデータレジスタ11	00h	R
D6	カウンタラッチデータレジスタ12	00h	R
D7	予約		R
D8	カウンタラッチデータレジスタ20	00h	R
D9	カウンタラッチデータレジスタ21	00h	R
DA	カウンタラッチデータレジスタ22	00h	R
DB	予約		R
DC	カウンタラッチデータレジスタ30	00h	R
DD	カウンタラッチデータレジスタ31	00h	R
DE	カウンタラッチデータレジスタ32	00h	R
DF	予約		R
E0~FF	予約		R

8. レジスタ説明

8.1. システムコントロールレジスタ[Adr. 00h]

このレジスタ以外のレジスタ値が、リセット値に初期化されます。
自動では“0”に復帰しません。リセットしたあと、“0”に戻す必要があります。

表 18. システムコントロールレジスタ

ビット	名称	機能	リセット値	R	W
7:5	予約		000	○	×
4	SRESET	内部の初期化を行います。 1:リセット 0:通常	0	○	○
3:0	予約		0000	○	×

8.2. クロックコントロールレジスタ0[Adr. 02h]

SPIブロックのクロックの設定を行います。

表 19. クロックコントロールレジスタ0

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	SPICLKSEL	SPIモジュールのクロックの原振を選択します。 1:PCLK 0:SCLK	0	○	○
2:0	SPICLKDIV	SPIモジュールに供給するクロックの分周設定をします。 111:1/128 110:1/64 101:1/32 100:1/16 011:1/8 010:1/4 001:1/2 000:スルー(分周なし)	000	○	○

8.3. クロックコントロールレジスタ1 [Adr. 03h]

UARTブロックのクロックの設定を行います。

表 20. クロックコントロールレジスタ1

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	URT3CLKSEL	UART3モジュールのクロックの原振を選択します。 1:PCLK 0:SCLK	0	○	○
2	URT2CLKSEL	UART2モジュールのクロックの原振を選択します。 1:PCLK 0:SCLK	0	○	○
1	URT1CLKSEL	UART1モジュールのクロックの原振を選択します。 1:PCLK 0:SCLK	0	○	○
0	URTOCLKSEL	UART0モジュールのクロックの原振を選択します。 1:PCLK 0:SCLK	0	○	○

8.4. クロックコントロールレジスタ2 [Adr. 04h]

PWMモジュール0のクロックの設定を行います。

表 21. クロックコントロールレジスタ2

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	PWMOCLKSEL	PWMモジュール0の原振を選択します。 1:PCLK 0:SCLK	0	○	○
2:0	PWMOCLKDIV	PWMモジュール0に供給するクロックの分周設定をします。 111:1/128 110:1/64 101:1/32 100:1/16 011:1/8 010:1/4 001:1/2 000:スルー(分周なし)	000	○	○

8.5. クロックコントロールレジスタ3[Adr. 05h]

PWMモジュール1のクロックの設定を行います。

表 22. クロックコントロールレジスタ3

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	PWM1CLKSEL	PWMモジュール1の原振を選択します。 1:PCLK 0:SCLK	0	○	○
2:0	PWM1CLKDIV	PWMモジュール1に供給するクロックの分周設定をします。 111:1/128 110:1/64 101:1/32 100:1/16 011:1/8 010:1/4 001:1/2 000:スルー(分周なし)	000	○	○

8.6. クロックコントロールレジスタ4[Adr. 06h]

PWMモジュール2のクロックの設定を行います。

表 23. クロックコントロールレジスタ4

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	PWM2CLKSEL	PWMモジュール2の原振を選択します。 1:PCLK 0:SCLK	0	○	○
2:0	PWM2CLKDIV	PWMモジュール2に供給するクロックの分周設定をします。 111:1/128 110:1/64 101:1/32 100:1/16 011:1/8 010:1/4 001:1/2 000:スルー(分周なし)	000	○	○

8.7. クロックコントロールレジスタ5 [Adr. 07h]

赤外線リモコンブロックのクロックの設定を行います。

表 24. クロックコントロールレジスタ5

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	IRRCCLKSEL	赤外線リモコンモジュールの原振を選択します。 1:PCLK 0:SCLK	0	○	○
2:0	IRRCCLKDIV	赤外線リモコンモジュールに供給するクロックの分周設定をします。 111:1/128 110:1/64 101:1/32 100:1/16 011:1/8 010:1/4 001:1/2 000:スルー(分周なし)	000	○	○

8.8. クロックコントロールレジスタ6 [Adr. 08h]

カウンタブロックのクロックの設定を行います。

表 25. クロックコントロールレジスタ6

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	CNTCLKSEL	カウンタブロック(全カウンタモジュール共通)の原振を選択します。 1:PCLK 0:SCLK	0	○	○
2	予約		0	○	×
1:0	CNTCLKDIV	カウンタブロック(全カウンタモジュール共通)に供給するクロックの分周設定をします。 11:設定禁止 10:1/4 01:1/2 00:スルー(分周なし)	00	○	○

8.9. 割り込みステータスレジスタ0 [Adr. 09h]

各ブロックからの割り込み要求を読み出すことができます。

各ブロック内の詳細な割り込み要因は各ブロックの割り込みステータスレジスタを読み出してください。

表 26. 割り込みステータスレジスタ0

ビット	名称	機能	リセット値	R	W
7:6	予約		00	○	×
5	INTS_IRRC	赤外線リモコンブロックからの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
4	INTS_PWM	PWMブロックからの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
3	INTS_SPI	SPIブロックからの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
2	INTS_I2C	I2Cブロックからの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
1	INTS_PAH	ポートA[15:8]からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
0	INTS_PAL	ポートA[7:0]からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×

8.10. 割り込みステータスレジスタ1 [Adr. 0Ah]

各ブロックからの割り込み要求を読み出すことができます。

各ブロック内の詳細な割り込み要求は各ブロックの割り込みステータスレジスタを読み出してください。

表 27. 割り込みステータスレジスタ1

ビット	名称	機能	リセット値	R	W
7	INTS_CNT3	カウンタモジュール3からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
6	INTS_CNT2	カウンタモジュール2からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
5	INTS_CNT1	カウンタモジュール1からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
4	INTS_CNT0	カウンタモジュール0からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
3	INTS_URT3	UARTモジュール3からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
2	INTS_URT2	UARTモジュール2からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
1	INTS_URT1	UARTモジュール1からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×
0	INTS_URT0	UARTモジュール0からの割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	×

8.11. 割り込みイネーブルレジスタ0 [Adr. 0Bh]

各ブロックからの割り込み要求を許可します。

表 28. 割り込みイネーブルレジスタ0

ビット	名称	機能	リセット値	R	W
7:6	予約		00	○	×
5	INTEN_IRRC	赤外線リモコンブロックからの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
4	INTEN_PWM	PWMブロックからの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
3	INTEN_SPI	SPIブロックからの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
2	INTEN_I2C	I2Cブロックからの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
1	INTEN_PAH	ポートA[15:8]からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
0	INTEN_PAL	ポートA[7:0]からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○

8.12. 割り込みイネーブルレジスタ1 [Adr. 0Ch]

各ブロックからの割り込み要求を許可します。

表 29. 割り込みイネーブルレジスタ1

ビット	名称	機能	リセット値	R	W
7	INTEN_CNT3	カウンタモジュール3からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
6	INTEN_CNT2	カウンタモジュール2からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
5	INTEN_CNT1	カウンタモジュール1からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
4	INTEN_CNT0	カウンタモジュール0からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
3	INTEN_URT3	UARTモジュール3からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
2	INTEN_URT2	UARTモジュール2からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
1	INTEN_URT1	UARTモジュール1からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
0	INTEN_URT0	UARTモジュール0からの割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○

8.13. 端子グループB機能選択レジスタ[Adr. 10h]

端子グループBの機能を選択します。

表 30. 端子グループB機能選択レジスタ

ビット	名称	機能	リセット値	R	W
7:6	GBPF3	端子グループB[7:6]に割り当てる機能を選択します。 ※SPIを選択した場合はGBPF2もSPIに設定する必要があります。 11:I2Cポート3(I2C_SDA, I2C_SCL) 10:SPIポート1H(SPI_SCS, SPI_SDO) 01:UARTモジュール3(URT3_RX, URT3_TX) 00:ポートB[7:6]	00	○	○
5:4	GBPF2	端子グループB[5:4]に割り当てる機能を選択します。 ※SPIを選択した場合はGBPF3もSPIに設定する必要があります。 11:I2Cポート2(I2C_SDA, I2C_SCL) 10:SPIポート1L(SPI_SDI, SPI_SCK) 01:UARTモジュール2(URT2_RX, URT2_TX) 00:ポートB[5:4]	00	○	○
3:2	GBPF1	端子グループB[3:2]に割り当てる機能を選択します。 ※SPIを選択した場合はGBPF0もSPIに設定する必要があります。 11:I2Cポート1(I2C_SDA, I2C_SCL) 10:SPIポート0H(SPI_SCS, SPI_SDO) 01:UARTモジュール1(URT1_RX, URT1_TX) 00:ポートB[3:2]	00	○	○
1:0	GBPF0	端子グループB[1:0]に割り当てる機能を選択します。 ※SPIを選択した場合はGBPF1もSPIに設定する必要があります。 11:I2Cポート0(I2C_SDA, I2C_SCL) 10:SPIポート0L(SPI_SDI, SPI_SCK) 01:UARTモジュール0(URTO_RX, URTO_TX) 00:ポートB[1:0]	00	○	○

注意)各UARTブロックは、RESETBにより直接リセットはされません。したがって、リセットせずにポートをUARTに割り当てますと不定値("1"か"0"どちらか不明な値)を出力します。この現象を避けるために、まずペリフェラルコントロールレジスタ0でUARTのクロック供給を有効にして、UARTに供給しているクロックの6クロック以上待ってから、本レジスタでポートをUARTに切り替えてください(UARTのクロックを停止から有効にする際、UARTはリセットされます)。

8.14. 端子グループC機能選択レジスタ[Adr. 11h]

端子グループCの機能を選択します。

表 31. 端子グループC機能選択レジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3:2	GCPF1	端子グループC[7:4]に割り当てる機能を選択します。 11:I2Cポート7&6(I2C_SDA, I2C_SCL) 10:SPIポート3(SPI_SCS, SPI_SDO, SPI_SDI, SPI_SCK) 01:UART1フロー制御(FLW1_RTS, FLW1_DTR, FLW1_CTS, FLW1_DSR) 00:ポートC[7:4]	00	○	○
1:0	GCPF0	端子グループC[3:0]に割り当てる機能を選択します。 11:I2Cポート5&4(I2C_SDA, I2C_SCL) 10:SPIポート2(SPI_SCS, SPI_SDO, SPI_SDI, SPI_SCK) 01:UART0フロー制御(FLW0_RTS, FLW0_DTR, FLW0_CTS, FLW0_DSR) 00:ポートC[3:0]	00	○	○

注意)各UARTブロックは、RESETBにより直接リセットはされません。したがって、リセットせずにポートをUARTに割り当てますと不定値("1"か"0"どちらか不明な値)を出力します。この現象を避けるために、まずペリフェラルコントロールレジスタ0でUARTのクロック供給を有効にして、UARTに供給しているクロックの6クロック以上待ってから、本レジスタでポートをUARTに切り替えてください(UARTのクロックを停止から有効にする際、UARTはリセットされます)。

8.15. 端子グループD機能選択レジスタ[Adr. 12h]

端子グループDの機能を選択します。

表 32. 端子グループD機能選択レジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3:2	GDPF1	端子グループD[7:4]に割り当てる機能を選択します。 11:I2Cポート11&10(I2C_SDA, I2C_SCL) 10:SPIポート5(SPI_SCS, SPI_SDO, SPI_SDI, SPI_SCK) 01:UART3フロー制御(FLW3_RTS, FLW3_DTR, FLW3_CTS, FLW3_DSR) 00:ポートD[7:4]	00	○	○
1:0	GPDPF0	端子グループD[3:0]に割り当てる機能を選択します。 11:I2Cポート9&8(I2C_SDA, I2C_SCL) 10:SPIポート4(SPI_SCS, SPI_SDO, SPI_SDI, SPI_SCK) 01:UART2フロー制御(FLW2_RTS, FLW2_DTR, FLW2_CTS, FLW2_DSR) 00:ポートD[3:0]	00	○	○

注意)各UARTブロックは、RESETBにより直接リセットはされません。したがって、リセットせずにポートをUARTに割り当てますと不定値("1"か"0"どちらか不明な値)を出力します。この現象を避けるために、まずペリフェラルコントロールレジスタ0でUARTのクロック供給を有効にして、UARTに供給しているクロックの6クロック以上待ってから、本レジスタでポートをUARTに切り替えてください(UARTのクロックを停止から有効にする際、UARTはリセットされます)。

8.16. 端子グループE機能選択レジスタ[Adr. 13h]

端子グループEの機能を選択します。

表 33. 端子グループE機能選択レジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	GEPF3	端子グループE[3]に割り当てる機能を選択します。 1:赤外線リモコンモジュール(IRRC) 0:ポートE[3]	0	○	○
2	GEPF2	端子グループE[2]に割り当てる機能を選択します。 1:PWMモジュール2(PWM2) 0:ポートE[2]	0	○	○
1	GEPF1	端子グループE[1]に割り当てる機能を選択します。 1:PWMモジュール1(PWM1) 0:ポートE[1]	0	○	○
0	GEPF0	端子グループE[0]に割り当てる機能を選択します。 1:PWMモジュール0(PWM0) 0:ポートE[0]	0	○	○

8.17. ペリフェラルコントロールレジスタ0 [Adr. 15h]

各ペリフェラル(I2C、SPI、UART)のクロック供給を有効にします。

表 34. ペリフェラルコントロールレジスタ0

ビット	名称	機能	リセット値	R	W
7	URT3ON	UARTモジュール3のクロック供給を有効にします。 1:有効 0:停止	0	○	○
6	URT2ON	UARTモジュール2のクロック供給を有効にします。 1:有効 0:停止	0	○	○
5	URT1ON	UARTモジュール1のクロック供給を有効にします。 1:有効 0:停止	0	○	○
4	URT0ON	UARTモジュール0のクロック供給を有効にします。 1:有効 0:停止	0	○	○
3:2	予約		00	○	×
1	SPION	SPIブロックのクロック供給を有効にします。 1:有効 0:停止	0	○	○
0	I2CON	I2Cブロックのクロック供給を有効にします。 1:有効 0:停止	0	○	○

注意)

UARTのクロックを停止から有効にする際、供給クロックの6クロック間、UARTはリセットされます。この間当該UARTに対してアクセスすることができません。また、当該UARTのレジスタは、リセットされますので、必要に応じて再度設定する必要があります。

8.18. ペリフェラルコントロールレジスタ1 [Adr. 16h]

各ペリフェラル(PWM、IRシリアル、カウンタ)のクロック供給を有効にします。

表 35. ペリフェラルコントロールレジスタ1

ビット	名称	機能	リセット値	R	W
7:5	予約		000	○	×
4	CNTON	カウンタブロックのクロック供給を有効にします。 1:有効 0:停止	0	○	○
3	IRRCON	IRシリアルブロックのクロック供給を有効にします。 1:有効 0:停止	0	○	○
2	PWM2ON	PWMモジュール2のクロック供給を有効にします。 1:有効 0:停止	0	○	○
1	PWM1ON	PWMモジュール1のクロック供給を有効にします。 1:有効 0:停止	0	○	○
0	PWM0ON	PWMモジュール0のクロック供給を有効にします。 1:有効 0:停止	0	○	○

8.19. ペリフェラルコントロールレジスタ2 [Adr. 17h]

ペリフェラル(I2C、SPI)を割り当てるポートを設定します。

表 36. ペリフェラルコントロールレジスタ2

ビット	名称	機能	リセット値	R	W
7	予約		0	○	×
6:4	SPISEL	SPIブロックを割り当てるポート番号を指定します。 11x:設定禁止 101:SPI5を使用 100:SPI4を使用 011:SPI3を使用 010:SPI2を使用 001:SPI1を使用 000:SPIOを使用	000	○	○
3:0	I2CSEL	I2Cブロックを割り当てるポート番号を指定します。 11xx:設定禁止 1011:I2C11を使用 1010:I2C10を使用 1001:I2C9を使用 1000:I2C8を使用 0111:I2C7を使用 0110:I2C6を使用 0101:I2C5を使用 0100:I2C4を使用 0011:I2C3を使用 0010:I2C2を使用 0001:I2C1を使用 0000:I2C0を使用	0000	○	○

8.20. ポートA方向設定レジスタ__L[Adr. 20h]

ポートAの方向を設定します。

表 37. ポートA方向設定レジスタ

ビット	名称	機能	リセット値	R	W
7:0	PADIR[7:0]	ポートA[7:0]の入力/出力の方向を設定します。 1:入力 0:出力	11111111	○	○

8.21. ポートA方向設定レジスタ__H[Adr. 21h]

表 38. ポートA方向設定レジスタ

ビット	名称	機能	リセット値	R	W
7:0	PADIR[15:8]	ポートA[15:8]の入力/出力の方向を設定します。 1:入力 0:出力	11111111	○	○

8.22. ポートAデータレジスタ__L[Adr. 22h]

ポートAの出力データを設定します。本レジスタをリードすることにより、端子の状態を読み出すことが出来ます。

表 39. ポートAデータレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PADAT [7:0]	ポートA[7:0]の出力データを設定します。	00000000	○	○

8.23. ポートAデータレジスタ__H[Adr. 23h]

表 40. ポートAデータレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PADAT[15:8]	ポートA[15:8]の出力データを設定します。	00000000	○	○

8.24. ポートA割り込みステータスレジスタ_L[Adr. 24h]

ポートAの割り込みのステータスを示します。ステータスは“1”にセットされているときに“1”を書くときクリアされます。

表 41. ポートA割り込みステータスレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PAINTF[7:0]	ポートA[7:0]の割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	00000000	○	○

8.25. ポートA割り込みステータスレジスタ_H[Adr. 25h]

表 42. ポートA割り込みステータスレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PAINTF[15:8]	ポートA[15:8]の割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	00000000	○	○

8.26. ポートA割り込みイネーブルレジスタ_L[Adr. 26h]

ポートAの割り込み要求を許可します。

表 43. ポートA割り込みイネーブルレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PAINTEN[7:0]	ポートA[7:0]の割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	00000000	○	○

8.27. ポートA割り込みイネーブルレジスタ_H[Adr. 27h]

表 44. ポートA割り込みイネーブルレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PAINTEN[15:8]	ポートA[15:8]の割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	00000000	○	○

8.28. ポートA割り込みエッジ選択レジスタ_L [Adr. 28h]

ポートAの割り込みエッジを選択します。

表 45. ポートA割り込みエッジ選択レジスタ

ビット	名称	機能	リセット値	R	W
7:0	PAINTEG[7:0]	ポートA[7:0]の割り込みエッジを選択します。 1:立ち上がりエッジ 0:立ち下がりエッジ	00000000	○	○

8.29. ポートA割り込みエッジ選択レジスタ_H [Adr. 29h]

表 46. ポートA割り込みエッジ選択レジスタ

ビット	名称	機能	リセット値	R	W
7:0	PAINTEG[15:8]	ポートA[15:8]の割り込みエッジを選択します。 1:立ち上がりエッジ 0:立ち下がりエッジ	00000000	○	○

8.30. ポートB方向設定レジスタ [Adr. 2Ah]

ポートBの方向を設定します。

表 47. ポートB方向設定レジスタ

ビット	名称	機能	リセット値	R	W
7:0	PBDIR[7:0]	ポートB[7:0]の入力/出力の方向を設定します。 1:入力 0:出力	11111111	○	○

8.31. ポートBデータレジスタ [Adr. 2Bh]

ポートBの出力データを設定します。本レジスタをリードすることにより、端子の状態を読み出すことができます。

表 48. ポートBデータレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PBDAT[7:0]	ポートB[7:0]の出力データを設定します。	xxxxxxxx	○	○

8.32. ポートC方向設定レジスタ[Adr. 2Ch]

ポートCの方向を設定します。

表 49. ポートC方向設定レジスタ

ビット	名称	機能	リセット値	R	W
7:0	PCDIR[7:0]	ポートC[7:0]の入力/出力の方向を設定します。 1:入力 0:出力	11111111	○	○

8.33. ポートCデータレジスタ[Adr. 2Dh]

ポートCの出力データを設定します。本レジスタをリードすることにより、端子の状態を読み出すことが出来ます。

表 50. ポートCデータレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PCDAT[7:0]	ポートC[7:0]の出力データを設定します。	xxxxxxxx	○	○

8.34. ポートD方向設定レジスタ[Adr. 2Eh]

ポートDの方向を設定します。

表 51. ポートD方向設定レジスタ

ビット	名称	機能	リセット値	R	W
7:0	PDDIR[7:0]	ポートD[7:0]の入力/出力の方向を設定します。 1:入力 0:出力	11111111	○	○

8.35. ポートDデータレジスタ[Adr. 2Fh]

ポートDの出力データを設定します。本レジスタをリードすることにより、端子の状態を読み出すことが出来ます。

表 52. ポートDデータレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PDDAT[7:0]	ポートD[7:0]の出力データを設定します。	xxxxxxxx	○	○

8.36. ポートE方向設定レジスタ[Adr. 30h]

ポートEの方向を設定します。

表 53. ポートE方向設定レジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3:0	PEDIR[3:0]	ポートE[3:0]の入力/出力の方向を設定します。 1:入力 0:出力	1111	○	○

8.37. ポートEデータレジスタ[Adr. 31h]

ポートEの出力データを設定します。本レジスタをリードすることにより、端子の状態を読み出すことができます。

表 54. ポートEデータレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3:0	PEDAT[3:0]	ポートE[3:0]の出力データを設定します。	xxxx	○	○

8.38. ポートFデータレジスタ_L[Adr. 32h]

本レジスタをリードすることにより、端子の状態を読み出すことができます。

表 55. ポートFデータレジスタ

ビット	名称	機能	リセット値	R	W
7:0	PFDAT[7:0]	ポートF[7:0]の端子状態を読み出せます。	xxxxxxxx	○	×

8.39. ポートFデータレジスタ_L[Adr. 33h]

表 56. ポートFデータレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3:0	PFDAT[11:8]	ポートF[11:8]の端子状態を読み出せます。	xxxx	○	×

8.40. I2Cコントロールレジスタ[Adr. 40h]

このレジスタにより、I2Cバスにおける送受信を制御します。

表 57. I2Cコントロールレジスタ

ビット	名称	機能	リセット値	R	W
7:5	予約		000	○	×
4	STARTBYTE	スタートバイト送信の有効無効を設定します。有効の場合、I2Cスレーブアドレス/モード設定レジスタにスタートバイトパターン(00000001)を事前に設定しておく必要があります。 1:有効 0:無効	0	○	○
3	NACK	転送方向をリードからライトに変更(またはスレーブアドレスを変更)し、再スタートする時、最後のリードデータに対して、このビットを1に設定してください。これにより、最後のデータに対しては、アクリッジが生成されず、スレーブデバイスに対して、データの終わりであることを通知することができます。	0	○	○
2:1	TRANS	通信を開始します。 00:通信停止 01:NOP 10:1バイトの通信または最終データの通信 11:1バイト以上の通信 1バイトのデータ(スレーブアドレスは含みません)とアクリッジを送受信後、ビット2はリセットされます。その際に割り込みが許可されていれば、割り込みが発生します。 TRANSを10に設定後、送受信が完了すると自動的にストップシーケンスを実行し、バスを開放します。 TRANSを11に設定後、送受信が完了すると、TRANSに11または10が設定されるまで、SCLをLowにして動作を停止します。 通信を開始する前には、スレーブアドレスおよびデータをセット(または読み出し)してください。 通信中(bit2が1)にTRANSを変更しないでください。	00	○	○
0	RESTART	再スタートシーケンス開始 連続したデータの送受信の途中で転送方向またはスレーブアドレスを変更する場合、このビットを1に設定します。	0	○	○

8.41. I2Cスレーブアドレス／モード設定レジスタ[Adr. 41h]

このレジスタは、スレーブアドレスおよび送受信の方向を設定します。

表 58. I2Cスレーブアドレス／モード設定レジスタ

ビット	名称	機能	リセット値	R	W
7:1	SAD	スレーブアドレスを設定します。	0000000	○	○
0	RW	送受信を設定します。 1:受信モード 0:送信モード	0	○	○

通信を開始する前に必ず本レジスタを設定してください。10bitアドレスおよびゼネラルコールアドレスに続く2バイト目のアドレスは、I2C送受信データレジスタにより送信します。

8.42. I2Cバス転送速度設定レジスタ[Adr. 42h]

このレジスタは、I2Cバスの転送速度を設定します。

表 59. I2Cバス転送速度設定レジスタ

ビット	名称	機能	リセット値	R	W
7:1	予約		0000000	○	×
0	MD	転送速度を設定します。 1:FAST_MODE(400KHz) 0:STANDARD_MODE(100KHz)	0	○	○

本レジスタの設定はI2Cコントロールレジスタの設定前に行ってください。

SCLKを19.2MHzにした場合、MD=“0”設定時に100KHzでの転送になります。

SCLKを19.2MHzにした場合、MD=“1”設定時に400KHzでの転送になります。

8.43. I2Cステータスレジスタ[Adr. 43h]

このレジスタは、I2Cバス上でのエラー発生の有無を示しています。

表 60. I2Cステータスレジスタ

ビット	名称	機能	リセット値	R	W
7:2	予約		000000	○	×
1	AACK	スレーブアドレスの送信時にアクリッジが受信されない場合、このビットがセットされます。I2C割り込みステータスレジスタのIRがリセットされることにより、リセットされます。	0	○	×
0	DACK	データの送信時にアクリッジが受信されない場合、このビットがセットされます。I2C割り込みステータスレジスタのIRがリセットされることにより、リセットされます。	0	○	×

8.44. I2C割り込みステータスレジスタ[Adr. 44h]

このレジスタは、I2Cモジュールにおける割り込み要求の状態を示すレジスタです。

表 61. I2C割り込みステータスレジスタ

ビット	名称	機能	リセット値	R	W
7:1	予約		0000000	○	×
0	IR	送受信完了時に1にセットされます。1を書き込むことにより、このビットはリセットされます。 なお、AACKが1にセットされても直ちに割り込み要求は出力せず、データの送受信の完了を待たず待ちます。	0	○	○

8.45. I2C割り込みマスクレジスタ[Adr. 45h]

本レジスタは、I2Cモジュールにおける割り込み要求をマスクするためのレジスタです。

表 62. I2C割り込みステータスレジスタ

ビット	名称	機能	リセット値	R	W
7:1	予約		0000000	○	×
0	ME	割り込み要因のマスクを行います。 0:データの送受信後に割り込みを要求 1:割り込みを要求しません。 IRは、このビットの設定値に関係なく、データの送受信後、1にセットされます。	1	○	○

8.46. I2C送受信データレジスタ[Adr. 46h]

本レジスタは、送信データを書き込んだり、受信したデータを読み出すために使用されます。

表 63. I2C送受信データレジスタ

ビット	名称	機能	リセット値	R	W
7:0	DAT	送受信データです。I2Cコントロールレジスタを設定する前に、書き込みまたは読み出しを行ってください。なお、送信データを読み出すことはできません。 ビット7:I2CバスのMSB ビット0:I2CバスのLSB	00000000	○	○

8.47. SPIコントロールレジスタ[Adr. 50h]

SPIブロックの動作を決定します。

表 64. SPIコントロールレジスタ

ビット	名称	機能	リセット値	R	W
7:5	予約		000	○	×
4	SPISCSPOL	SPI_SCSの論理を決定します。 1:正論理 0:負論理 ※本ビットはライトオンリーです。設定値を読み出すことはできません。	0	×	○
3	SPIASCS	SPI_SCSのアサート方法を決定します。 1:マニュアル 0:オート	0	○	○
2	SPIBITODR	入力及び出力データのビットオーダーを決定します。 1:LSBファースト 0:MSBファースト	0	○	○
1	SPI TXEDGE	出力データの送信タイミングを決定します。 1:SPI_SCKの立ち下がりがり 0:SPI_SCKの立ち上がりがり	0	○	○
0	SPI RXEDGE	入力データの受信タイミングを決定します。 1:SPI_SCKの立ち上がりがり 0:SPI_SCKの立ち下がりがり	0	○	○

8.48. SPI転送スタートレジスタ[Adr. 51h]

SPI転送を開始します。転送中は“1”を保持し、転送が終了すると自動的に“0”に復帰します。なお、“0”を書いても転送途中に強制的に転送を停止することはできません。

表 65. SPI転送スタートレジスタ

ビット	名称	機能	リセット値	R	W
7:1	予約		0000000	○	×
0	SPIGO	SPI転送を開始します。 1:転送開始(転送中) 0:アイドル	0	○	○

8.49. SPI転送ビット長レジスタ[Adr. 52h]

転送するデータのビット長を設定します。転送ビット長は設定した値そのものにのみならず(たとえばビット長を16にするには10hを設定します)。ただし、00hに設定した場合のビット長は32として取り扱われます。

表 66. SPI転送ビット長レジスタ

ビット	名称	機能	リセット値	R	W
7:6	予約		00	○	×
5:0	SPILENGTH	転送するデータのビット長を設定します。	000000	○	○

8.50. SPI割り込みステータスレジスタ[Adr. 53h]

転送終了割り込みのステータスを示します。ステータスは“1”にセットされているときに“1”を書くときクリアされます。

表 67. SPI割り込みステータスレジスタ

ビット	名称	機能	リセット値	R	W
7:1	予約		0000000	○	×
0	SPIINTST	転送終了割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	○

8.51. SPI割り込みイネーブルレジスタ[Adr. 54h]

SPIブロックの割り込み動作を設定します。

表 68. SPI割り込みイネーブルレジスタ

ビット	名称	機能	リセット値	R	W
7:1	予約		0000000	○	×
0	SPIINTEN	転送終了割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○

8.52. SPI出力データレジスタ0 [Adr. 55h]

SPIポートから出力するデータのbit[7:0]をセットします。

表 69. SPI出力データレジスタ0

ビット	名称	機能	リセット値	R	W
7:0	SPIDTO0	SPIポートから出力するデータのbit[7:0]をセットします。	00000000	○	○

8.53. SPI出力データレジスタ1 [Adr. 56h]

SPIポートから出力するデータのbit[15:8]をセットします。

表 70. SPI出力データレジスタ1

ビット	名称	機能	リセット値	R	W
7:0	SPIDTO1	SPIポートから出力するデータのbit[15:8]をセットします。	00000000	○	○

8.54. SPI出力データレジスタ2 [Adr. 57h]

SPIポートから出力するデータのbit[23:16]をセットします。

表 71. SPI出力データレジスタ2

ビット	名称	機能	リセット値	R	W
7:0	SPIDTO2	SPIポートから出力するデータのbit[23:16]をセットします。	00000000	○	○

8.55. SPI出力データレジスタ3 [Adr. 58h]

SPIポートから出力するデータのbit[31:24]をセットします。

表 72. SPI出力データレジスタ3

ビット	名称	機能	リセット値	R	W
7:0	SPIDTO3	SPIポートから出力するデータのbit[31:24]をセットします。	00000000	○	○

8.56. SPI入力データレジスタ0 [Adr. 59h]

SPIポートから入力されたデータのbit[7:0]を読み出します。

表 73. SPI入力データレジスタ0

ビット	名称	機能	リセット値	R	W
7:0	SPIDTI0	SPIポートから入力されたデータのbit[7:0]を読み出します。	00000000	○	×

8.57. SPI入力データレジスタ1 [Adr. 5Ah]

SPIポートから入力されたデータのbit[15:8]を読み出します。

表 74. SPI入力データレジスタ1

ビット	名称	機能	リセット値	R	W
7:0	SPIDTI1	SPIポートから入力されたデータのbit[15:8]を読み出します。	00000000	○	×

8.58. SPI入力データレジスタ2 [Adr. 5Bh]

SPIポートから入力されたデータのbit[23:16]を読み出します。

表 75. SPI入力データレジスタ2

ビット	名称	機能	リセット値	R	W
7:0	SPIDTI2	SPIポートから入力されたデータのbit[23:16]を読み出します。	00000000	○	×

8.59. SPI入力データレジスタ3 [Adr. 5Ch]

SPIポートから入力されたデータのbit[31:24]を読み出します。

表 76. SPI入力データレジスタ3

ビット	名称	機能	リセット値	R	W
7:0	SPIDTI3	SPIポートから入力されたデータのbit[31:24]を読み出します。	00000000	○	×

8.60. SPIセレクト信号アサート制御レジスタ[Adr. 5Dh]

SPIポートのSPI_SCS信号をマニュアルコントロールに選択したときのSPI_SCS端子の状態を制御します。

表 77. SPIセレクト信号アサート制御レジスタ

ビット	名称	機能	リセット値	R	W
7:1	予約		0000000	○	×
0	SPISCCTL	マニュアルコントロール時のSPI_SCS端子の状態を制御します。 1:アサート 0:ディアサート	0	○	○

8.61. UART設定レジスタ0(RBR/THR/DLL) [Adr. 60h、68h、70h、78h]

DLAB(UART設定レジスタ3(LCR))およびアクセス種別(書き込みおよび読み出し)によって、対象となるレジスタが異なります。

RBRは、受信したデータを読み出すレジスタです。

THRは、送信用のデータを格納するレジスタです。

DLLは、ボーレート・ジェネレータの分周値の下位8ビットを格納するレジスタです。

表 78. UART設定レジスタ0

ビット	名称	機能	リセット値	R	W	備考
7:0	RBR	受信データを読み出します。	00000000	○	×	DLAB=0 読み出し
7:0	THR	送信データを書き込みます。	00000000	×	○	DLAB=0 書き込み
7:0	DLL	ボーレート・ジェネレータ用分周値の下位8ビットを設定します。	00000001	○	○	DLAB=1

本モジュールには、1から(2¹⁶-1)の範囲で分周可能な送受信共通のプログラマブル・ボーレート・ジェネレータを内蔵しています。ボーレート・ジェネレータの出力周波数は、ボーレートの16倍です。したがって、分周値を求める式は以下のようになります。

$$(\text{分周値}) = (\text{本モジュールのクロック周波数}) \div (\text{ボーレート} \times 16)$$

8.62. UART設定レジスタ1 (IER/DLM) [Adr. 61h、69h、71h、79h]

DLAB(UART設定レジスタ3(LCR))によって、対象となるレジスタが異なります。

IERは、割り込み要求を制御するためのレジスタです。

DLMは、ボーレート・ジェネレータの分周値の上位8ビットを格納するレジスタです。

表 79. UART設定レジスタ1

ビット	名称	機能	リセット値	R	W	備考
7:4	予約		0000	○	×	DLAB=0
3	EDSSI(IER)	モデム・ステータス割り込み要求を許可します。 1:モデム・ステータス割り込み要求許可 0:モデム・ステータス割り込み要求マスク	0	○	○	
2	ELSI(IER)	レシーバ・ライン・ステータス割り込み要求を許可します。 1:レシーバ・ライン・ステータス割り込み要求許可 0:レシーバ・ライン・ステータス割り込み要求マスク	0	○	○	
1	ETBEI(IER)	THRE割り込み要求を許可します。 1:THRE割り込み要求許可 0:THRE割り込み要求マスク	0	○	○	
0	ERBFI(IER)	レシーブ・データ・レディ割り込み要求を許可します。 1:レシーブ・データ・レディ割り込み要求許可 0:レシーブ・データ・レディ割り込みマスク	0	○	○	
7:0	DLM	ボーレート・ジェネレータ用分周値の上位8ビットを設定します。	00000000	○	○	DLAB=1

8.63. UART設定レジスタ2(IIR/FCR) [Adr. 62h、6Ah、72h、7Ah]

アクセス種別(書き込みおよび読み出し)によって、対象となるレジスタが異なります。
IIRは、本モジュールで発生している割り込み要求を識別するためのレジスタです。
FCRは、FIFOを制御するためのレジスタです。

表 80. UART設定レジスタ2(その1)

ビット	名称	機能	リセット値	R	W	備考																		
7:6	FIFO's enable (IIR)	FCRのFIFO enableが1にセットされた場合、2ビットとも1にセットされます。	00	○	×	読み出し																		
5:4	予約(IIR)		00	○	×																			
3:1	Interrupt ID (IIR)	表 83を参照願います。	000	○	×																			
0	Interrupt pending (IIR)	処理待ちになっている割り込み要求の有無を示します。 1:処理待ちの割り込み要求なし。 0:処理待ちの割り込み要求あり。	1	○	×																			
7:6	RCVR trigger (FCR)	受信用FIFO割り込みのトリガーレベルを設定します。設定値とトリガーレベルの対応を表 81に示します。 表 81. 設定値とトリガーレベル <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th colspan="2">ビット</th> <th>トリガーレベル (デシマル)</th> </tr> <tr> <th>7</th> <th>6</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>01</td> </tr> <tr> <td>0</td> <td>1</td> <td>04</td> </tr> <tr> <td>1</td> <td>0</td> <td>08</td> </tr> <tr> <td>1</td> <td>1</td> <td>14</td> </tr> </tbody> </table>	ビット		トリガーレベル (デシマル)	7	6		0	0	01	0	1	04	1	0	08	1	1	14	00	×	○	書き込み
ビット		トリガーレベル (デシマル)																						
7	6																							
0	0	01																						
0	1	04																						
1	0	08																						
1	1	14																						
5:4	予約(FCR)		00	×	○																			
3	DMA Mode Select (FCR)	TxRDYおよびRxRDYを出力していないため、本ビットは意味を持ちません。0固定として使用してください。	0	×	○																			
2	XMIT FIFO Reset (FCR)	送信用FIFOをクリアします。 1:送信用FIFOをクリア 0:NOP 送信用FIFOのクリア後、このビットは自動的にクリアされます。	0	×	○																			

表 82. UART設定レジスタ2(その2)

ビット	名称	機能	リセット値	R	W	備考
1	RCVR FIFO Reset (FCR)	受信用FIFOをクリアします。 1:受信用FIFOをクリア 0:NOP 受信用FIFOのクリア後、このビットは自動的にクリアされます。	0	×	○	書き込み
0	FIFO enable (FCR)	FIFOの許可ビットです。 1:FIFO許可 0:FIFOを使用しない(16450モード) このビットが変化するとFIFOの中のデータは自動的にクリアされます。 また、FCRの他のビットをセットするには、このビットがセットされている必要があります。	0	×	○	

表 83. Interrupt ID一覧表

Interrupt ID			Interrupt pending	優先順位	要因	リセット方法
ビット3	ビット2	ビット1	ビット0			
0	0	0	1	—	割り込みが発生していません。	—
0	1	1	0	1	オーバーラン エラー、パリティ エラー、フレーミング エラーまたはブレイク割り込みを検出したことを示しています。	LSRを読み出します。
0	1	0	0	2	16450モードでデータを受信、またはFIFOモードでトリガレベルに到達したことを示しています。	RBRを読み出します。
1	1	0	0	2	受信用FIFOに少なくとも1個のキャラクタが存在する状態において、4キャラクタ期間の間に受信用FIFOに対するキャラクタの出し入れがないことを検出したことを示しています。	RBRを読み出します。
0	0	1	0	3	THRにキャラクタが存在しないことを示しています。	割り込みIDが本要因を示している際にIIRを読み出します。またはTHRにキャラクタを書き込みます。
0	0	0	0	4	MSRにおいて以下のいずれかのイベントが発生したことを示しています。 ・DCTSがセットされた。 ・DDSRがセットされた。	MSRを読み出します。

8.64. UART設定レジスタ3(LCR) [Adr. 63h、6Bh、73h、7Bh]

LCRは、送受信のデータフォーマットおよびDLABを設定するためのレジスタです。

表 84. UART設定レジスタ3

ビット	名称	機能	リセット値	R	W
7	DLAB	ボーレートジェネレータの分周設定用レジスタ(DLL、DLM)に対するアクセスを制御するためのビットです。 1: DLLおよびDLMにアクセスすることができます。 0: RBR、THRおよびIERにアクセスすることができます。	0	○	○
6	Set Break	ブレイク条件を発生します。 1: URT_TX端子を”0”にします。 0: 通常通信モード	0	○	○
5	Stick Parity	通信を行う際のパリティビットを固定値にします。PENが1にセットされている場合に本機能が有効になります。 1: 奇数パリティの場合1固定に、偶数パリティの場合0固定になります。 0: パリティを固定にしません。	0	○	○
4	EPS	パリティの種類を設定します。PENが1にセットされている場合に本機能が有効になります。 1: 奇数パリティ(キャラクタとパリティビットを合わせたデータ中の1の数が奇数)の生成およびチェックを行います。 0: 偶数パリティ(キャラクタとパリティビットを合わせたデータ中の1の数が偶数)の生成およびチェックを行います。	0	○	○
3	PEN	キャラクタの送受信の際にパリティの生成およびチェックを行うことを指定します。 1: パリティビットの生成およびチェックを行います。 0: パリティビットの生成およびチェックを行いません。	0	○	○
2	STB	送信時におけるストップビットの長さを設定します。 1: キャラクタ長が5ビットの場合は1.5ビット長、それ以外の場合は2ビット長になります。 0: 1ビット長 受信時は、この設定値にかかわらずチェックするストップビットは1ビット長です。	0	○	○
1:0	WLS	送受信時のキャラクタ長(1キャラクタあたりのビット数)を設定します。 00: 5ビット 01: 6ビット 10: 7ビット 11: 8ビット	00	○	○

8.65. UART設定レジスタ4 (MCR) [Adr. 64h、6Ch、74h、7Ch]

該当するポートにおいてUARTのフロー制御信号が選択されている場合、MCRは、フロー制御用の出力端子の状態に反映されます。また、出力信号を入力信号にループバックさせることにより、UARTの診断を行えます。

表 85. UART設定レジスタ4

ビット	名称	機能	リセット値	R	W
7:5	予約		000	○	×
4	LOOP	このビットを1にセットすることにより、診断用のローカルループバックモードになります。 ローカルループバックモード時には、以下のように内部接続されます。 ・URT_TX出力がURT_RXの入力となります。 ・URT_DTR出力がURT_DSRの入力となります。 ・URT_RTS出力がURT_CTSの入力となります。 なお、ZEN1751FのURT_TX、URT_DTRおよびURT_RTS端子は、Highとなります。	0	○	○
3:2	予約		0	○	○
1	RTS	本ビットの値は反転されてFLW_RTS端子に出力されます。	0	○	○
0	DTR	本ビットの値は反転されてFLW_DTR端子に出力されます。	0	○	○

8.66. UART設定レジスタ5(LSR) [Adr. 65h、6Dh、75h、7Dh]

LSRは、データ転送状況を知るためのレジスタです。

本レジスタを構成する各ビットは全て正論理であり、クリアによって“0”となりセットによって“1”となります。

表 86. UART設定レジスタ 5(その1)

ビット	名称	機能	リセット値	R	W
7	Error in RCVR FIFO	16450モードでは常に0です。 FIFOモードでは、受信用FIFO中に、フレーミングエラー、パリティエラーまたはブレイク検出を伴って受信されたキャラクタが1個以上存在する場合にセットされ、本レジスタの読み出しによってクリアされます。	0	○	×
6	TEMT	送信部にキャラクタが存在しない(送信中のものも含む)ことを示します。 16450モードでは、THRとTSRの両方が空になったときにセットされ、THRまたはTSRのどちらかにキャラクタが書き込まれたときにクリアされます。 FIFOモードでは、送信用FIFOとTSRの両方が空になったときにセットされ、送信用FIFOまたはTSRのどちらかにキャラクタが書き込まれたときにクリアされます。	1	○	×
5	THRE	16450モードでは、THRからTSRへキャラクタが転送されたときにセットされ、THRに新しいキャラクタが書き込まれたときにクリアされます。 FIFOモードでは、送信用FIFOが空になったときセットされ、送信用FIFOにキャラクタが書き込まれたときにクリアされます。 IERレジスタのETBEIをセットしている場合、本ビットがセットされると、割り込みが発生します。	1	○	×
4	BI	ブレイクを検出したことを示します。FIFOモードで、ブレイクを検出すると、全ビット0のキャラクタ1個を受信用FIFOに転送します。 16450モードでは、ブレイク検出時にセットされます。 FIFOモードでは、ブレイク検出により受信用FIFOへ転送されたキャラクタが、受信用FIFOの先頭に現れたときにセットされます。 両モードともLSRを読み出したときにクリアされます。	0	○	×

表 87. UART設定レジスタ 5(その2)

ビット	名称	機能	リセット値	R	W
3	FE	<p>受信したキャラクタのストップビットの値が不正であったことを示します。</p> <p>16450モードでは、不正なストップビットと共に受信されたキャラクタをRBRに転送したときにセットされます。</p> <p>FIFOモードでは、受信時にストップビットエラーが検出されたキャラクタが受信用FIFOの先頭に現れたときにセットされます。</p> <p>両モードともLSRを読み出したときにクリアされます。</p> <p>受信時にストップビットの値が不正であった場合、エラーの原因を「次のスタートビットのため」と推定し、エラーからの回復動作を行います。すなわち、このスタートビットを再度サンプリングしてデータの受信を行います。</p>	0	○	×
2	PE	<p>受信したキャラクタのパリティビットの値が不正であったことを示します。</p> <p>16450モードでは、不正なパリティビットと共に受信されたキャラクタがRBRに転送されたときにセットされます。</p> <p>FIFOモードでは、受信時にパリティエラーが検出されたキャラクタが受信用FIFOの先頭に現れたときにセットされます。</p> <p>両モードともLSRを読み出したときにクリアされます。</p>	0	○	×
1	OE	<p>受信したキャラクタの読み出しが間に合わなかったために、1個以上のキャラクタが失われたことを示します。</p> <p>16450モードでは、RBRが空ではないためにキャラクタの受信を完了してもRBRへ転送ができなかったときにセットされます。</p> <p>FIFOモードでは、受信用FIFOに空きがないために受信したキャラクタを受信用FIFOへ転送できなかったときにセットされます。</p> <p>両モードともLSRを読み出したときにクリアされます。</p>	0	○	×
0	DR	<p>RBRまたはFIFOに受信済みキャラクタが存在することを示します。</p> <p>RSRから、RBRまたは受信用FIFOにキャラクタが転送されたときにセットされ、RBRまたは受信用FIFOのキャラクタが全て読み出され、空になったときにクリアされます。</p>	0	○	×

8.67. UART設定レジスタ6(MSR) [Adr. 66h、6Eh、76h、7Eh]

MSRは、フロー制御用のモジュール入力端子の値や、その変化の有無を知るためのレジスタです。

表 88. UART設定レジスタ6

ビット	名称	機能	リセット値	R	W
7:6	予約		00	○	×
5	DSR	MCRレジスタのLOOPビットが0のときは、FLW_DSR端子の値を反転した値が読み出されます。LOOPビットが1のときは、MCRレジスタのFLW_DTRビットに設定した値が読み出されます。	x	○	×
4	CTS	MCRレジスタのLOOPビットが0のときは、FLW_CTS端子の値を反転した値が読み出されます。LOOPビットが1のときは、MCRレジスタのFLW_RTTSビットに設定した値が読み出されます。	x	○	×
3:2	予約		00	○	×
1	DDSR	FLW_DSR端子の変化の有無を示します。本ビットは、本レジスタが読み出されたときにクリアされます。 0:最後に本レジスタが読み出されて以降、FLW_DSR端子の値に変化がなかったことを示します。 1:最後に本レジスタが読み出されて以降、FLW_DSR端子の値に変化があったことを示します。	0	○	×
0	DCTS	FLW_CTS端子の変化の有無を示します。本ビットは、本レジスタが読み出されたときにクリアされます。 0:最後に本レジスタが読み出されて以降、FLW_CTS端子の値に変化がなかったことを示します。 1:最後に本レジスタが読み出されて以降、FLW_CTS端子の値に変化があったことを示します。	0	○	×

8.68. UART設定レジスタ7(SCR) [Adr. 67h、6Fh、77h、7Fh]

SCRは、データの一時的な保管場所として設けられたレジスタです(UARTの制御には無関係です)。

表 89. UART設定レジスタ7

ビット	名称	機能	リセット値	R	W
7:0	SCR	データの保管場所。用途は任意。	00000000	○	○

8.69. PWMコントロールレジスタ[Adr. 80h]

PWMブロックの動作を設定します。

表 90. PWMコントロールレジスタ

ビット	名称	機能	リセット値	R	W
7	予約		0	○	×
6	PWMPOL2	PWMモジュール2の出力論理を決定します。 1:Lowパルス(アイドル時="H") 0:Highパルス(アイドル時="L")	0	○	○
5	PWMPOL1	PWMモジュール1の出力論理を決定します。 1:Lowパルス(アイドル時="H") 0:Highパルス(アイドル時="L")	0	○	○
4	PWMPOL0	PWMモジュール0の出力論理を決定します。 1:Lowパルス(アイドル時="H") 0:Highパルス(アイドル時="L")	0	○	○
3	予約		0	○	×
2	PWMTXEN2	PWMモジュール2の動作を起動/停止します。 1:起動 0:停止(出力完了後、停止します)	0	○	○
1	PWMTXEN1	PWMモジュール1の動作を起動/停止します。 1:起動 0:停止(出力完了後、停止します)	0	○	○
0	PWMTXEN0	PWMモジュール0の動作を起動/停止します。 1:起動 0:停止(出力完了後、停止します)	0	○	○

8.70. PWM割り込みステータスレジスタ[Adr. 81h]

PWMブロックの各種ステータスを示します。各ステータスは“1”にセットされているときに“1”を書くクリアされます。

表 91. PWM 割り込みステータスレジスタ

ビット	名称	機能	リセット値	R	W
7:3	予約		00000	○	×
2	PWMINTST2	PWMモジュール2のデータ送出が設定回数に達した際の割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	○
1	PWMINTST1	PWMモジュール1のデータ送出が設定回数に達した際の割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	○
0	PWMINTST0	PWMモジュール0のデータ送出が設定回数に達した際の割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	○

8.71. PWM割り込みイネーブルレジスタ[Adr. 82h]

PWMブロックの割り込み動作を設定します。

表 92. PWM 割り込みイネーブル設定レジスタ

ビット	名称	機能	リセット値	R	W
7:3	予約		00000	○	×
2	PWMINTEN2	PWMモジュール2のデータ送出が設定回数に達した際の割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
1	PWMINTEN1	PWMモジュール1のデータ送出が設定回数に達した際の割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
0	PWMINTEN0	PWMモジュール0のデータ送出が設定回数に達した際の割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○

8.72. PWM出力デューティ設定レジスタ0 [Adr. 84h]

PWM出力モジュール0用の出力データレジスタです。PWMモジュール0から出力されるPWM信号のデューティを設定します。

表 93. PWM出力デューティ設定レジスタ0

ビット	名称	機能	リセット値	R	W
7:0	PWM DTO0	PWMモジュール0から出力されるPWM信号(PWM0)のデューティを設定します。	00000000	○	○

8.73. PWM出力デューティ設定レジスタ1 [Adr. 85h]

PWM出力モジュール1用の出力データレジスタです。PWMモジュール1から出力されるPWM信号のデューティを設定します。

表 94. PWM出力デューティ設定レジスタ1

ビット	名称	機能	リセット値	R	W
7:0	PWM DTO1	PWMモジュール1から出力されるPWM信号(PWM1)のデューティを設定します。	00000000	○	○

8.74. PWM出力デューティ設定レジスタ2 [Adr. 86h]

PWM出力モジュール2用の出力データレジスタです。PWMモジュール2から出力されるPWM信号のデューティを設定します。

表 95. PWM出力デューティ設定レジスタ2

ビット	名称	機能	リセット値	R	W
7:0	PWM DTO2	PWMモジュール2から出力されるPWM信号(PWM2)のデューティを設定します。	00000000	○	○

出力中(PWM出力回数設定が1以外の場合)にPWM出力デューティ設定レジスタを書き換えると、1PWMサイクル(256クロック)単位のタイミングで、レジスタ値がモジュールに取り込まれ、新しいデューティでPWMが出力されます。

ただし、原振がSCLKで分周なし設定(アドレス04h(または05h、06h)に00h)以外の場合、設定変更後最初の1サイクルは、PWM信号が乱れることがあります。

8.75. PWM出力回数設定レジスタ0 [Adr. 88h]

PWM出力モジュール0からパルスデータを送出する回数を設定します。00hに設定した場合は自動的に止まることなく、連続で転送を繰り返します。

表 96. PWM 出力回数設定レジスタ0

ビット	名称	機能	リセット値	R	W
7:0	PWMNUM0	PWM出力モジュール0からパルスデータを送出する回数を設定します。	00000000	○	○

8.76. PWM出力回数設定レジスタ1 [Adr. 89h]

PWM出力モジュール1からパルスデータを送出する回数を設定します。00hに設定した場合は自動的に止まることなく、連続で転送を繰り返します。

表 97. PWM 出力回数設定レジスタ1

ビット	名称	機能	リセット値	R	W
7:0	PWMNUM1	PWM出力モジュール1からパルスデータを送出する回数を設定します。	00000000	○	○

8.77. PWM出力回数設定レジスタ2 [Adr. 8Ah]

PWM出力モジュール2からパルスデータを送出する回数を設定します。00hに設定した場合は自動的に止まることなく、連続で転送を繰り返します。

表 98. PWM 出力回数設定レジスタ2

ビット	名称	機能	リセット値	R	W
7:0	PWMNUM2	PWM出力モジュール2からパルスデータを送出する回数を設定します。	00000000	○	○

8.78. 赤外線リモコンコントロールレジスタ[Adr. 90h]

赤外線リモコンブロックの動作を決定します。

表 99. 赤外線リモコンコントロールレジスタ

ビット	名称	機能	リセット値	R	W
7:6	予約		00	○	×
5	IRHWCNTEN	Hフリーズカウンタの動作を決定します。 1:起動 0:停止	0	○	○
4	IRLWCNTEN	Lフリーズカウンタの動作を決定します。 1:起動 0:停止	0	○	○
3:0	予約		0000	○	×

8.79. 赤外線リモコンノイズフィルタレジスタ[Adr. 91h]

赤外線リモコン信号(IRRC)のノイズフィルタを設定します。本設定値以下のクロック幅のパルスは無視されます(H/Lとも“0”設定の場合はフィルタは無効です)。

表 100. 赤外線リモコンノイズフィルタレジスタ

ビット	名称	機能	リセット値	R	W
7:6	予約		00	○	×
5:4	IRHNF	本設定値以下のHighパルスは無視します。	00	○	○
3:2	予約		00	○	×
1:0	IRLNF	本設定値以下のLowパルスは無視します。	00	○	○

8.80. 赤外線リモコン割り込みステータスレジスタ[Adr. 92h]

赤外線リモコンブロックの各種ステータスを示します。各ステータスは“1”にセットされているときに“1”を書くクリアされます。

表 101. 赤外線リモコン割り込みステータスレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	IRHOFINTST	Hワイズカウンタのオーバーフロー割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	○
2	IRLOFINTST	Lワイズカウンタのオーバーフロー割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	○
1	IRRSINTST	IRシリアル入力 (IRRC) の立ち上がりエッジ割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	○
0	IRFLINTST	IRシリアル入力 (IRRC) の立ち下がりエッジ割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0	○	○

8.81. 赤外線リモコン割り込みイネーブルレジスタ[Adr. 93h]

赤外線リモコンブロックの割り込み動作を設定します。

表 102. 赤外線リモコン割り込みイネーブルレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	IRHOFINTEN	Hワイズカウンタのオーバーフロー割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
2	IRLOFINTEN	Lワイズカウンタのオーバーフロー割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
1	IRRSINTEN	赤外線リモコン入力(IRRC)の立ち上がりエッジ割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○
0	IRFLINTEN	赤外線リモコン入力(IRRC)の立ち下がりエッジ割り込み要求を許可します。 1:割り込み要求許可 0:割り込み要求マスク	0	○	○

Hワイズ(Lワイズ)オーバーフロー割り込みにより、Hワイズ(Lワイズ)カウンタが停止することはありません。したがって、入力
が変化しない場合は割り込みを無効にするまで、一定時間毎に割り込み要求が発生します。

8.82. 赤外線リモコンHワイズカウンタ__L[Adr. 94h]

赤外線リモコン信号(IRRC)のHighパルス幅のカウンタ値(下位バイト)です。

表 103. 赤外線リモコンHワイズカウンタ

ビット	名称	機能	リセット値	R	W
7:0	IRHWCNTL	赤外線リモコン信号(IRRC)のHighパルス幅のカウンタ値(下位バイト)です。	00000000	○	×

8.83. 赤外線リモコンHワイズカウンタ__H[Adr. 95h]

赤外線リモコン信号(IRRC)のHighパルス幅のカウンタ値(上位バイト)です。

表 104. 赤外線リモコンHワイズカウンタ

ビット	名称	機能	リセット値	R	W
7:0	IRHWCNTH	赤外線リモコン信号(IRRC)のHighパルス幅のカウンタ値(上位バイト)です。	00000000	○	×

8.84. 赤外線リモコンLワイズカウンタ__L[Adr. 96h]

赤外線リモコン信号(IRRC)のLowパルス幅のカウンタ値(下位バイト)です。

表 105. 赤外線リモコンLワイズカウンタ

ビット	名称	機能	リセット値	R	W
7:0	IRLWCNTL	赤外線リモコン信号(IRRC)のLowパルス幅のカウンタ値(下位バイト)です。	00000000	○	×

8.85. 赤外線リモコンLワイズカウンタ__H[Adr. 97h]

赤外線リモコン信号(IRRC)のLowパルス幅のカウンタ値(上位バイト)です。

表 106. 赤外線リモコンLワイズカウンタ

ビット	名称	機能	リセット値	R	W
7:0	IRLWCNTH	赤外線リモコン信号(IRRC)のLowパルス幅のカウンタ値(上位バイト)です。	00000000	○	×

8.86. カウンタモードレジスタ[Adr. A0h]

各カウンタモジュールのカウンタモードを決定します。本レジスタを変更する際は対象カウンタモジュールのカウンタインテグレーションレジスタでカウント動作を停止してから行ってください。

表 107. カウンタモードレジスタ

ビット	名称	機能	リセット値	R	W
7:6	CNTMODE3	カウンタモジュール3のカウンタモードを決定します。 11:単相カウンタモード(アップパルス動作) 10:2相カウンタモード(アップダウンパルス動作) 01:2相カウンタモード(AB相パルス1通倍動作) 00:2相カウンタモード(AB相パルス4通倍動作)	00	○	○
5:4	CNTMODE2	カウンタモジュール2のカウンタモードを決定します。 11:単相カウンタモード(アップパルス動作) 10:2相カウンタモード(アップダウンパルス動作) 01:2相カウンタモード(AB相パルス1通倍動作) 00:2相カウンタモード(AB相パルス4通倍動作)	00	○	○
3:2	CNTMODE1	カウンタモジュール1のカウンタモードを決定します。 11:単相カウンタモード(アップパルス動作) 10:2相カウンタモード(アップダウンパルス動作) 01:2相カウンタモード(AB相パルス1通倍動作) 00:2相カウンタモード(AB相パルス4通倍動作)	00	○	○
1:0	CNTMODE0	カウンタモジュール0のカウンタモードを決定します。 11:単相カウンタモード(アップパルス動作) 10:2相カウンタモード(アップダウンパルス動作) 01:2相カウンタモード(AB相パルス1通倍動作) 00:2相カウンタモード(AB相パルス4通倍動作)	00	○	○

8.87. カウンタインーブルレジスタ[Adr. A1h]

各カウンタモジュールの動作を決定します。

表 108. カウンタインーブルレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	CNTEN3	カウンタモジュール3の動作を決定します。 1:起動 0:停止	0	○	○
2	CNTEN2	カウンタモジュール2の動作を決定します。 1:起動 0:停止	0	○	○
1	CNTEN1	カウンタモジュール1の動作を決定します。 1:起動 0:停止	0	○	○
0	CNTEN0	カウンタモジュール0の動作を決定します。 1:起動 0:停止	0	○	○

8.88. カウンタラッチコマンドレジスタ[Adr. A2h]

各カウンタモジュールの値をラッチデータレジスタに格納します。本レジスタは“1”を書くことで動作し、読み出しはできません。また、自動復帰しますので“1”を書いた後、“0”を書き直す必要はありません。

ラッチコマンドを実行してからカウンタ値がラッチデータレジスタに格納されるまで、時間がかかります。(詳細は図4を参照願います。)この時間以内にラッチデータレジスタの値を読み出した場合、値は保証されません

表 109. カウンタラッチコマンドレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	CNTLT3	カウンタモジュール3の値をラッチデータレジスタに格納します。 1:カウンタ値ラッチ 0:NOP	0	×	○
2	CNTLT2	カウンタモジュール2の値をラッチデータレジスタに格納します。 1:カウンタ値ラッチ 0:NOP	0	×	○
1	CNTLT1	カウンタモジュール1の値をラッチデータレジスタに格納します。 1:カウンタ値ラッチ 0:NOP	0	×	○
0	CNTLT0	カウンタモジュール0の値をラッチデータレジスタに格納します。 1:カウンタ値ラッチ 0:NOP	0	×	○

8.89. カウンタクリアコマンドレジスタ[Adr. A3h]

各カウンタモジュールの値をゼロクリアします。本レジスタは“1”を書くことで動作し、読み出しはできません。また、自動復帰しますので“1”を書いた後、“0”を書き直す必要はありません。

クリアコマンドを実行してからカウンタ値がクリアされるまで、時間がかかります。(詳細は図4を参照願います。)

表 110. カウンタクリアコマンドレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	CNTCLR3	カウンタモジュール3の値をゼロクリアします。 1:ゼロクリア 0:NOP	0	×	○
2	CNTCLR2	カウンタモジュール2の値をゼロクリアします。 1:ゼロクリア 0:NOP	0	×	○
1	CNTCLR1	カウンタモジュール1の値をゼロクリアします。 1:ゼロクリア 0:NOP	0	×	○
0	CNTCLR0	カウンタモジュール0の値ををゼロクリアします。 1:ゼロクリア 0:NOP	0	×	○

8.90. カウンタロードコマンドレジスタ[Adr. A4h]

各カウンタモジュールにロードデータレジスタの値をロードします。本レジスタは“1”を書くことで動作し、読み出しはできません。また、自動復帰しますので“1”を書いた後、“0”を書き直す必要はありません。

ロードコマンドを実行してからロードデータレジスタの値がカウンタに値格納されるまで、時間がかかります。(詳細は図4を参照願います。)

表 111. カウンタロードコマンドレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	CNTLD3	カウンタモジュール3にロードデータレジスタの値をロードします。 1:データロード 0:NOP	0	×	○
2	CNTLD2	カウンタモジュール2にロードデータレジスタの値をロードします。 1:データロード 0:NOP	0	×	○
1	CNTLD1	カウンタモジュール1にロードデータレジスタの値をロードします。 1:データロード 0:NOP	0	×	○
0	CNTLD0	カウンタモジュール0にロードデータレジスタの値をロードします。 1:データロード 0:NOP	0	×	○

※カウンタコマンドビットの内部動作タイミング

次のタイミングチャートはカウンタの各コマンド(ラッチ、クリア及びロード)を書き込んだ際、当該ビットがセット/クリアされるタイミング及びコマンドが実行されるタイミングを示しています。本図は参考例としてモジュール0のラッチコマンドを示していますが、他のコマンドについてもタイミングは同一です。

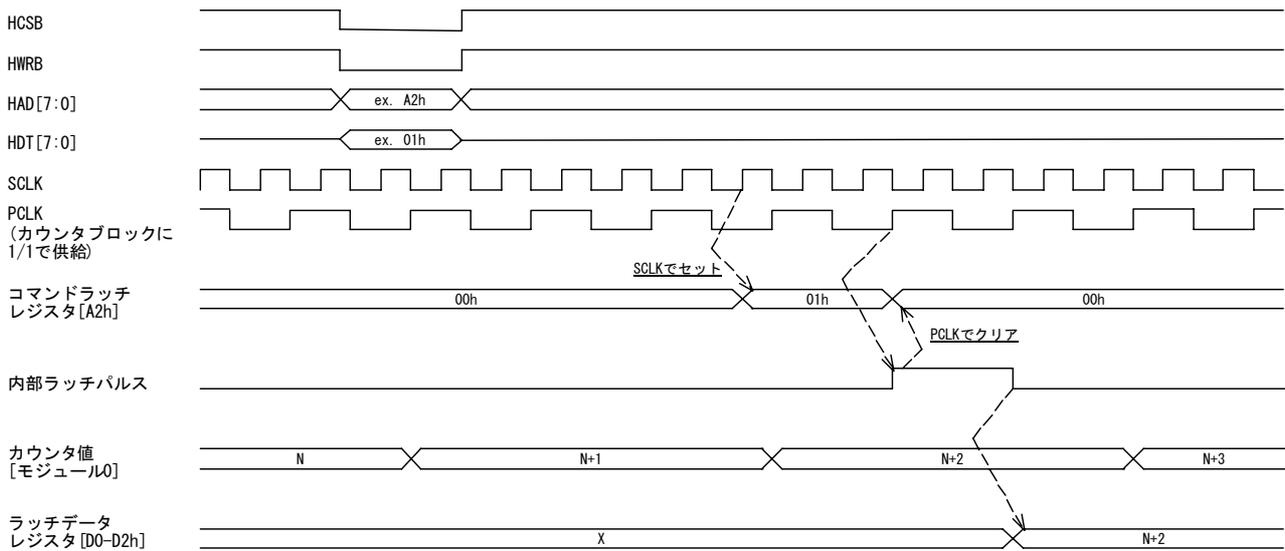


図4. コマンドラッチ動作タイミング(カウンタコマンド内部動作タイミング参考例)

8.91. カウンタZ相イネーブルレジスタ[Adr. A5h]

各カウンタモジュールのZ相入力(CNT_Z)の動作を決定します。本設定は対象となるカウンタモジュールが2相カウンタモードになっているときのみ有効です。

表 112. カウンタZ相イネーブルレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	CNTZEN3	カウンタモジュール3のZ相入力(CNT_Z)の動作を決定します。 1:有効 0:無効	0	○	○
2	CNTZEN2	カウンタモジュール2のZ相入力(CNT_Z)の動作を決定します。 1:有効 0:無効	0	○	○
1	CNTZEN1	カウンタモジュール1のZ相入力(CNT_Z)の動作を決定します。 1:有効 0:無効	0	○	○
0	CNTZEN0	カウンタモジュール0のZ相入力(CNT_Z)の動作を決定します。 1:有効 0:無効	0	○	○

8.92. カウンタ定周期自動スタイネーブルレジスタ[Adr. A6h]

各カウンタモジュールの定周期自動スタ機能の動作を決定します。本レジスタを変更する際はカウンタイネーブルレジスタで対象カウンタモジュールのカウンタ動作を停止してから行ってください。

表 113. カウンタ定周期自動スタイネーブルレジスタ

ビット	名称	機能	リセット値	R	W
7:4	予約		0000	○	×
3	CNTACEN3	カウンタモジュール3の定周期自動カウント機能の動作を決定します。 1:有効 0:無効	0	○	○
2	CNTACEN2	カウンタモジュール2の定周期自動カウント機能の動作を決定します。 1:有効 0:無効	0	○	○
1	CNTACEN1	カウンタモジュール1の定周期自動カウント機能の動作を決定します。 1:有効 0:無効	0	○	○
0	CNTACEN0	カウンタモジュール0の定周期自動カウント機能の動作を決定します。 1:有効 0:無効	0	○	○

8.93. カウンタ割り込みイネーブルレジスタ0[Adr. A7h]

オーバーフロー(単相カウンタモード時のみ)及び定周期自動ストア割り込みを設定します。

表 114. カウンタ割り込みイネーブルレジスタ0

ビット	名称	機能	リセット値	R	W
7	CNTOFINT3	カウンタモジュール3のいずれかのユニットのカウンタ値がオーバーフローしたときの割り込み動作を決定します。 1:有効 0:無効	0	○	○
6	CNTOFINT2	カウンタモジュール2のいずれかのユニットのカウンタ値がオーバーフローしたときの割り込み動作を決定します。 1:有効 0:無効	0	○	○
5	CNTOFINT1	カウンタモジュール1のいずれかのユニットのカウンタ値がオーバーフローしたときの割り込み動作を決定します。 1:有効 0:無効	0	○	○
4	CNTOFINT0	カウンタモジュール0のいずれかのユニットのカウンタ値がオーバーフローしたときの割り込み動作を決定します。 1:有効 0:無効	0	○	○
3	CNTACINT3	カウンタモジュール3の定周期自動ストア割り込みの動作を決定します。本ビットはカウンタモジュール3に定周期自動ストア機能が設定されているときのみ有効です。 1:有効 0:無効	0	○	○
2	CNTACINT2	カウンタモジュール2の定周期自動ストア割り込みの動作を決定します。本ビットはカウンタモジュール2に定周期自動ストア機能が設定されているときのみ有効です。 1:有効 0:無効	0	○	○
1	CNTACINT1	カウンタモジュール1の定周期自動ストア割り込みの動作を決定します。本ビットはカウンタモジュール1に定周期自動ストア機能が設定されているときのみ有効です。 1:有効 0:無効	0	○	○
0	CNTACINT0	カウンタモジュール0の定周期自動ストア割り込みの動作を決定します。本ビットはカウンタモジュール0に定周期自動ストア機能が設定されているときのみ有効です。 1:有効 0:無効	0	○	○

8.94. カウンタ割り込みイネーブルレジスタ1 [Adr. A8h]

AI(AB相入力時の異常な遷移)及びカウント値一致割り込みを設定します。これらの設定は2相カウンタモード時に有効です。

表 115. カウンタ割り込みイネーブルレジスタ1

ビット	名称	機能	リセット値	R	W
7:6	予約		00	○	×
5	CNTCMPINT23	カウンタモジュール2とカウンタモジュール3の値が一致したときの割り込みの動作を決定します。本ビットはカウンタモジュール2とカウンタモジュール3がともに2相カウンタモードに設定されているときのみ有効です。 1:有効 0:無効	0	○	○
4	CNTCMPINT01	カウンタモジュール0とカウンタモジュール1の値が一致したときの割り込みの動作を決定します。本ビットはカウンタモジュール0とカウンタモジュール1がともに2相カウンタモードに設定されているときのみ有効です。 1:有効 0:無効	0	○	○
3	CNTAIINT3	カウンタモジュール3のAI検出時の割り込み動作を決定します。 1:有効 0:無効	0	○	○
2	CNTAIINT2	カウンタモジュール2のAI検出時の割り込み動作を決定します。 1:有効 0:無効	0	○	○
1	CNTAIINT1	カウンタモジュール1のAI検出時の割り込み動作を決定します。 1:有効 0:無効	0	○	○
0	CNTAIINT0	カウンタモジュール0のAI検出時の割り込み動作を決定します。 1:有効 0:無効	0	○	○

8.95. カウンタストア周期レジスタ0__L(下位バイト)[Adr. B0h]

カウンタモジュール0を定周期自動ストアにした場合のカウンタ値をストアする周期(下位バイト)を設定します。本レジスタの設定値をN、次の上位バイト側の設定値をM、カウンタブロックに供給しているクロックの周波数をFs(Hz)及び定周期自動ストアの周期をTc(sec)とすると、

$$Tc = (M \times 2^{16} + N \times 2^8) / Fs$$

となり、設定可能な範囲は000100h~FFFF00h(100hごと)になります。なお、MとNを両方0に設定するのは禁止です。

表 116. カウンタストア周期レジスタ0__L

ビット	名称	機能	リセット値	R	W
7:0	CNTACDT0L	カウンタモジュール0を定周期自動ストアにした場合のカウンタ値をストアする周期(下位バイト)を設定します。	00000001	○	○

8.96. カウンタストア周期レジスタ0__H(上位バイト)[Adr. B1h]

カウンタモジュール0を定周期自動ストアにした場合の割り込みの周期(上位バイト)を設定します。

表 117. カウンタストア周期レジスタ0__H

ビット	名称	機能	リセット値	R	W
7:0	CNTACDT0H	カウンタモジュール0を定周期自動ストアにした場合のカウンタ値をストアする周期(上位バイト)を設定します。	00000000	○	○

8.97. カウンタストア周期レジスタ1__L(下位バイト)[Adr. B2h]

カウンタモジュール1を定周期自動ストアにした場合の割り込みの周期(下位バイト)を設定します。

表 118. カウンタストア周期レジスタ1__L

ビット	名称	機能	リセット値	R	W
7:0	CNTACDT1L	カウンタモジュール1を定周期自動ストアにした場合のカウンタ値をストアする周期(下位バイト)を設定します。	00000001	○	○

8.98. カウンタストア周期レジスタ1__H(上位バイト)[Adr. B3h]

カウンタモジュール1を定周期自動ストアにした場合の割り込みの周期(上位バイト)を設定します。

表 119. カウンタストア周期レジスタ1__H

ビット	名称	機能	リセット値	R	W
7:0	CNTACDT1H	カウンタモジュール1を定周期自動ストアにした場合のカウント値をストアする周期(上位バイト)を設定します。	00000000	○	○

8.99. カウンタストア周期レジスタ2__L(下位バイト)[Adr. B4h]

カウンタモジュール2を定周期自動ストアにした場合の割り込みの周期(下位バイト)を設定します。

表 120. カウンタストア周期レジスタ2__L

ビット	名称	機能	リセット値	R	W
7:0	CNTACDT2L	カウンタモジュール2を定周期自動ストアにした場合のカウント値をストアする周期(下位バイト)を設定します。	00000001	○	○

8.100. カウンタストア周期レジスタ2__H(上位バイト)[Adr. B5h]

カウンタモジュール2を定周期自動ストアにした場合の割り込みの周期(上位バイト)を設定します。

表 121. カウンタストア周期レジスタ2__H

ビット	名称	機能	リセット値	R	W
7:0	CNTACDT2H	カウンタモジュール2を定周期自動ストアにした場合のカウント値をストアする周期(上位バイト)を設定します。	00000000	○	○

8.101. カウンタストア周期レジスタ3__L(下位バイト)[Adr. B6h]

カウンタモジュール3を定周期自動ストアにした場合の割り込みの周期(下位バイト)を設定します。

表 122. カウンタストア周期レジスタ3__L

ビット	名称	機能	リセット値	R	W
7:0	CNTACDT3L	カウンタモジュール3を定周期自動ストアにした場合のカウント値をストアする周期(下位バイト)を設定します。	00000001	○	○

8.102. カウンタストア周期レジスタ3_H(上位バイト)[Adr. B7h]

カウンタモジュール3を定周期自動ストアにした場合の割り込みの周期(上位バイト)を設定します。

表 123. カウンタストア周期レジスタ3_H

ビット	名称	機能	リセット値	R	W
7:0	CNTACDT3H	カウンタモジュール3を定周期自動ストアにした場合のカウンタ値をストアする周期(上位バイト)を設定します。	00000000	○	○

8.103. カウンタ割り込みステータスレジスタ0[Adr. B8h]

カウンタモジュール0の各種動作ステータスを表示します。

各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 124. カウンタ割り込みステータスレジスタ0

ビット	名称	機能	リセット値	R	W
7	CNTAIO	AB相入力に異常な遷移が発生したことを示します。2相カウンタモードのときのみセットされます。 1:異常検知 0:正常	0	○	○
6	CNTCMPST01	カウンタモジュール0と1の値が一致したことを示します。2相カウンタモードのときのみセットされます。 1:一致 0:不一致	0	○	○
5:4	予約		00	○	×
3	CNTACST0	カウンタモジュール0が設定された周期でカウント値をカウント結果レジスタに格納したことを示します。定周期自動ストア機能が有効なときのみセットされます。 1:格納 0:未格納	0	○	○
2	CNTOFST02	カウンタユニット02がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○
1	CNTOFST01	カウンタユニット01がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○
0	CNTOFST00	カウンタユニット00がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○

8.104. カウンタ割り込みステータスレジスタ1 [Adr. B9h]

カウンタモジュール1の各種動作ステータスを表示します。
各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 125. カウンタ割り込みステータスレジスタ1

ビット	名称	機能	リセット値	R	W
7	CNTAI1	AB相入力に異常な遷移が発生したことを示します。2相カウンタモードのときのみセットされます。 1:異常検知 0:正常	0	○	○
6:4	予約		000	○	×
3	CNTACST1	カウンタモジュール1が設定された周期でカウント値をカウント結果レジスタに格納したことを示します。定周期自動ストア機能が有効なときのみセットされます。 1:格納 0:未格納	0	○	○
2	CNTOFST12	カウンタユニット12がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○
1	CNTOFST11	カウンタユニット11がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○
0	CNTOFST10	カウンタユニット10がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○

8.105. カウンタ割り込みステータスレジスタ2 [Adr. BAh]

カウンタモジュール2の各種動作ステータスを表示します。
各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 126. カウンタ割り込みステータスレジスタ2

ビット	名称	機能	リセット値	R	W
7	CNTAI2	AB相入力に異常な遷移が発生したことを示します。2相カウンタモードのときのみセットされます。 1:異常検知 0:正常	0	○	○
6	CNTCMPST23	カウンタモジュール2と3の値が一致したことを示します。2相カウンタモードのときのみセットされます。 1:一致 0:不一致	0	○	○
5:4	予約		00	○	×
3	CNTACST2	カウンタモジュール2が設定された周期でカウント値をカウント結果レジスタに格納したことを示します。定周期自動ストア機能が有効なときのみセットされます。 1:格納 0:未格納	0	○	○
2	CNTOFST22	カウンタユニット22がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○
1	CNTOFST21	カウンタユニット21がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○
0	CNTOFST20	カウンタユニット20がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○

8.106. カウンタ割り込みステータスレジスタ3 [Adr. BBh]

カウンタモジュール3の各種動作ステータスを表示します。
各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 127. カウンタ割り込みステータスレジスタ3

ビット	名称	機能	リセット値	R	W
7	CNTAI3	AB相入力に異常な遷移が発生したことを示します。2相カウンタモードのときのみセットされます。 1:異常検知 0:正常	0	○	○
6:4	予約		000	○	×
3	CNTACST3	カウンタモジュール3が設定された周期でカウント値をカウント結果レジスタに格納したことを示します。定周期自動ストア機能が有効なときのみセットされます。 1:格納 0:未格納	0	○	○
2	CNTOFST32	カウンタユニット32がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○
1	CNTOFST31	カウンタユニット31がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○
0	CNTOFST30	カウンタユニット30がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0	○	○

8.107. カウンタロードデータレジスタ00 [Adr. C0h]

カウンタユニット00にロードする値をセットします。

表 128. カウンタロードデータレジスタ00

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT00	カウンタユニット00にロードする値をセットします。	00000000	○	○

8.108. カウンタロードデータレジスタ01 [Adr. C1h]

カウンタユニット01にロードする値をセットします。

表 129. カウンタロードデータレジスタ01

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT01	カウンタユニット01にロードする値をセットします。	00000000	○	○

8.109. カウンタロードデータレジスタ02 [Adr. C2h]

カウンタユニット02にロードする値をセットします。

表 130. カウンタロードデータレジスタ02

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT02	カウンタユニット02にロードする値をセットします。	00000000	○	○

8.110. カウンタロードデータレジスタ10[Adr. C4h]

カウンタユニット10にロードする値をセットします。

表 131. カウンタロードデータレジスタ10

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT10	カウンタユニット10にロードする値をセットします。	00000000	○	○

8.111. カウンタロードデータレジスタ11[Adr. C5h]

カウンタユニット11にロードする値をセットします。

表 132. カウンタロードデータレジスタ11

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT11	カウンタユニット11にロードする値をセットします。	00000000	○	○

8.112. カウンタロードデータレジスタ12[Adr. C6h]

カウンタユニット12にロードする値をセットします。

表 133. カウンタロードデータレジスタ12

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT12	カウンタユニット12にロードする値をセットします。	00000000	○	○

8.113. カウンタロードデータレジスタ20 [Adr. C8h]

カウンタユニット20にロードする値をセットします。

表 134. カウンタロードデータレジスタ20

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT20	カウンタユニット20にロードする値をセットします。	00000000	○	○

8.114. カウンタロードデータレジスタ21 [Adr. C9h]

カウンタユニット21にロードする値をセットします。

表 135. カウンタロードデータレジスタ21

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT21	カウンタユニット21にロードする値をセットします。	00000000	○	○

8.115. カウンタロードデータレジスタ22 [Adr. CAh]

カウンタユニット22にロードする値をセットします。

表 136. カウンタロードデータレジスタ22

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT22	カウンタユニット22にロードする値をセットします。	00000000	○	○

8.116. カウンタロードデータレジスタ30 [Adr. CCh]

カウンタユニット30にロードする値をセットします。

表 137. カウンタロードデータレジスタ30

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT30	カウンタユニット30にロードする値をセットします。	00000000	○	○

8.117. カウンタロードデータレジスタ31 [Adr. CDh]

カウンタユニット31にロードする値をセットします。

表 138. カウンタロードデータレジスタ31

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT31	カウンタユニット31にロードする値をセットします。	00000000	○	○

8.118. カウンタロードデータレジスタ32 [Adr. CEh]

カウンタユニット32にロードする値をセットします。

表 139. カウンタロードデータレジスタ32

ビット	名称	機能	リセット値	R	W
7:0	CNTLDDT32	カウンタユニット32にロードする値をセットします。	00000000	○	○

8.119. カウンタラッチデータレジスタ00 [Adr. D0h]

カウンタユニット00の値を読み出します。

表 140. カウンタラッチデータレジスタ00

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT00	カウンタユニット00のラッチされた値を読み出します。	00000000	○	×

8.120. カウンタラッチデータレジスタ01 [Adr. D1h]

カウンタユニット01の値を読み出します。

表 141. カウンタラッチデータレジスタ01

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT01	カウンタユニット01のラッチされた値を読み出します。	00000000	○	×

8.121. カウンタラッチデータレジスタ02 [Adr. D2h]

カウンタユニット02の値を読み出します。

表 142. カウンタラッチデータレジスタ02

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT02	カウンタユニット02のラッチされた値を読み出します。	00000000	○	×

8.122. カウンタラッチデータレジスタ10 [Adr. D4h]

カウンタユニット10の値を読み出します。

表 143. カウンタラッチデータレジスタ10

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT10	カウンタユニット10のラッチされた値を読み出します。	00000000	○	×

8.123. カウンタラッチデータレジスタ11 [Adr. D5h]

カウンタユニット11の値を読み出します。

表 144. カウンタラッチデータレジスタ11

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT11	カウンタユニット11のラッチされた値を読み出します。	00000000	○	×

8.124. カウンタラッチデータレジスタ12 [Adr. D6h]

カウンタユニット12の値を読み出します。

表 145. カウンタラッチデータレジスタ12

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT12	カウンタユニット12のラッチされた値を読み出します。	00000000	○	×

8.125. カウンタラッチデータレジスタ20 [Adr. D8h]

カウンタユニット20の値を読み出します。

表 146. カウンタラッチデータレジスタ20

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT20	カウンタユニット20のラッチされた値を読み出します。	00000000	○	×

8.126. カウンタラッチデータレジスタ21 [Adr. D9h]

カウンタユニット21の値を読み出します。

表 147. カウンタラッチデータレジスタ21

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT21	カウンタユニット21のラッチされた値を読み出します。	00000000	○	×

8.127. カウンタラッチデータレジスタ22 [Adr. DAh]

カウンタユニット22の値を読み出します。

表 148. カウンタラッチデータレジスタ22

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT22	カウンタユニット22のラッチされた値を読み出します。	00000000	○	×

8.128. カウンタラッチデータレジスタ30 [Adr. DCh]

カウンタユニット30の値を読み出します。

表 149. カウンタラッチデータレジスタ30

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT30	カウンタユニット30のラッチされた値を読み出します。	00000000	○	×

8.129. カウンタラッチデータレジスタ31 [Adr. DDh]

カウンタユニット31の値を読み出します。

表 150. カウンタラッチデータレジスタ31

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT31	カウンタユニット31のラッチされた値を読み出します。	00000000	○	×

8.130. カウンタラッチデータレジスタ32 [Adr. DEh]

カウンタユニット32の値を読み出します。

表 151. カウンタラッチデータレジスタ32

ビット	名称	機能	リセット値	R	W
7:0	CNLTDT32	カウンタユニット32のラッチされた値を読み出します。	00000000	○	×

9. 電気的特性

9.1. 絶対最大定格

表 152. 絶対最大定格 ($V_{SS}=0V$)

項目	記号	条件	定格値	単位
電源電圧	V_{DD}		-0.3 ~ +4.6	V
入力電圧 ^{※1}	V_I	$V_{DD}=3.0 \sim 3.6$	-0.3 ~ +6.0	V
		$V_{DD}<3.0$	-0.3 ~ $V_{DD}+0.3$	
出力電圧 ^{※1}	V_O	$V_{DD}=3.0 \sim 3.6$	-0.3 ~ +6.0	V
		$V_{DD}<3.0$	-0.3 ~ $V_{DD}+0.3$	
入力電流	I_I		-6 ~ +6	mA
出力電流	I_O		-8 ~ +8	mA
保存温度	T_{stg}	T_{stg}	-65 ~ +150	°C

※1 信号端子への電圧印加は必ず電源電圧が確定してから行ってください。

9.2. 推奨動作条件

表 153. 推奨動作条件 ($V_{SS}=0V$)

項目	記号	最小値	標準値	最大値	単位
電源電圧	V_{DD}	3.0	3.3	3.6	V
動作温度	T_a	0		70	°C

9.3. 直流特性

 表 154. 直流特性($V_{DD}=3.0\sim 3.6V$, $V_{SS}=0V$, $T_a=0\sim 70^{\circ}C$)

項目	記号	条件	最小値	最大値	単位
高レベル入力電圧	V_{IH}	TTLレベル入力	2.0	5.5	V
低レベル入力電圧	V_{IL}	TTLレベル入力	-0.3	0.8	V
シュミットリガ 入力しきい値電圧 ^{※2}	V_{t+}			2.0	V
	V_{t-}		0.7		
	ΔV_t		$V_{t+}-V_{t-}$	0.4	
高レベル出力電圧	V_{OH}	$I_{OH}^{※3}=-4mA$	2.4		V
		$I_{OH}=-100\mu A$	$V_{DD}-0.2$		
低レベル出力電圧	V_{OL}	$I_{OL}^{※3}=4mA$		0.4	V
		$I_{OL}=100\mu A$		0.2	
高レベル入力電流	I_{IH}	$V_{IH}=V_{DD}$		10	μA
低レベル入力電流	I_{IL}	$V_{IL}=V_{SS}$	-10		μA
高レベル出力リーク電流 3-ステートノックア	I_{OZH}	$V_{OH}=V_{DD}$		10	μA
低レベル出力リーク電流 3-ステートノックア	I_{OZL}	$V_{OL}=V_{SS}$	-10		μA
動作時消費電流 ^{※4}	I_{DDO}	CLK=1MHz		3.96	mA

※2 対象の信号は、SCLK、PCLKおよびRESETBのみで、I2C_SDAは対象外です。I2C規格ではLレベル入力電圧が-0.5から $0.3 \times V_{DD}$ (V)、Hレベル入力電圧が $0.7 \times V_{DD}$ から $V_{DDmax} + 0.5$ (V)で規定されています。I2C使用にあたっては十分な評価をお願いいたします。

※3 I_{OH} は高レベル出力電流、 I_{OL} は低レベル出力電流を示します。

※4 動作時消費電流はCLKの周波数にほぼ比例します。(CLK:SCLK、PCLK)

9.4. 交流特性

表 155. 交流特性(その1)

項目	記号	最小値	最大値	単位
SCLKサイクル時間	Φ_{SCLK}	20		ns
SCLKローパルス幅	$t_{SCLK_{LW}}$	10		ns
SCLKハイパルス幅	$t_{SCLK_{HW}}$	10		ns
PCLKサイクル時間	$t_{PCLK_{CYC}}$	40		ns
PCLKローパルス幅	$t_{PCLK_{LW}}$	20		ns
PCLKハイパルス幅	$t_{PCLK_{HW}}$	20		ns
RESETBローパルス幅	$t_{RESETB_{LW}}$	$\Phi_{SCLK} \times 6$		ns
HCSBのセットアップ時間(HWRB↑)	$t_{HCS_{WSU}}$	10		ns
HCSBのホールド時間(HWRB↑)	$t_{HCS_{WHD}}$	0		ns
HADのセットアップ時間(HWRB↑)	$t_{HAD_{WSU}}$	10		ns
HADのホールド時間(HWRB↑)	$t_{HAD_{WHD}}$	0		ns
HDTのセットアップ時間(HWRB↑)	$t_{HDT_{WSU}}$	10		ns
HDTのホールド時間(HWRB↑)	$t_{HDT_{WHD}}$	0		ns
HWRBローパルス幅	$t_{HWR_{PW}}$	$\Phi_{SCLK} \times 1$		ns
HWRBリカバリ時間(ライト→ライト)	$t_{HWR_{RC}}$	$\Phi_{SCLK} \times 5$		ns
HWRBリカバリ時間(ライト→リード)	$t_{HWR_{RC}}$	$\Phi_{SCLK} \times 6$		ns
HCSBのセットアップ時間(HRDB↓)	$t_{HCS_{RSU}}$	2		ns
HCSBのホールド時間(HRDB↑)	$t_{HCS_{RHD}}$	0		ns
HADのセットアップ時間(HRDB↓)	$t_{HAD_{RSU}}$	2		ns
HADのホールド時間(HRDB↑)	$t_{HAD_{RHD}}$	5		ns
HDTの読み出しデータ遅延時間(HRDB↓)	$t_{HDT_{RDL}}$		$\Phi_{SCLK} \times 2 + 15$	ns
HDTの読み出しデータホールド時間(HRDB↑)	$t_{HDT_{RHD}}$	3		ns
HRDBローパルス幅	$t_{HRD_{PW}}$	$\Phi_{SCLK} \times 3$		ns
HRDBリカバリ時間(リード→リード)	$t_{HRR_{RC}}$	$\Phi_{SCLK} \times 1$		ns
HRDBリカバリ時間(リード→ライト)	$t_{HRW_{RC}}$	$\Phi_{SCLK} \times 1$		ns
I2C_SDAのセットアップ時間(I2C_SCL↑) 受信時	$t_{SDA_{RSU}}$	10		ns
I2C_SDAのホールド時間(I2C_SCL↑) 受信時	$t_{SDA_{RHD}}$	0		ns
SPI_SDIのセットアップ時間(SPI_SCK↑または↓)	$t_{SDI_{SU}}$	15		ns
SPI_SDIのホールド時間(SPI_SCK↑または↓)	$t_{SDI_{HD}}$	0		ns
IRRCローパルス幅	$t_{IRRC_{LW}}$	$\Phi_{IRRC}^{※5} \times 1 + 5$		ns
IRRCハイパルス幅	$t_{IRRC_{HW}}$	$\Phi_{IRRC}^{※5} \times 1 + 5$		ns

表 156. 交流特性(その2)

項目	記号	最小値	最大値	単位
CNT_A(A相)のサイクル時間 2相カウンタモード(AB相)時	tCA _{CYC}	$\Phi_{CNT}^{※6} \times 4 + 20$		ns
CNT_A(A相)のハイ/ローレベル幅 2相カウンタモード(AB相)時	tCA _{PW}	$\Phi_{CNT}^{※6} \times 2 + 10$		ns
CNT_B(B相)のサイクル時間 2相カウンタモード(AB相)時	tCB _{CYC}	$\Phi_{CNT}^{※6} \times 4 + 20$		ns
CNT_B(B相)のハイ/ローレベル幅 2相カウンタモード(AB相)時	tCB _{PW}	$\Phi_{CNT}^{※6} \times 2 + 10$		ns
CNT_A(A相)とCNT_B(B相)の位相差時間 2相カウンタモード(AB相)時	tCAB _{DF}	$\Phi_{CNT}^{※6} \times 1 + 5$		ns
CNT_Z(Z相/クリア)のハイパルス幅 2相カウンタモード時	tCZ _{PW}	$\Phi_{CNT}^{※6} \times 1 + 5$		ns
CNT_A(アップ)のサイクル時間 2相カウンタモード(アップ/ダウン)時	tCUP _{CYC}	$\Phi_{CNT}^{※6} \times 2 + 10$		ns
CNT_A(アップ)のハイ/ローレベル幅 2相カウンタモード(アップ/ダウン)時	tCUP _{PW}	$\Phi_{CNT}^{※6} \times 1 + 5$		ns
CNT_B(ダウン)のサイクル時間 2相カウンタモード(アップ/ダウン)時	tCDN _{CYC}	$\Phi_{CNT}^{※6} \times 2 + 10$		ns
CNT_B(ダウン)のハイ/ローレベル幅 2相カウンタモード(アップ/ダウン)時	tCDN _{PW}	$\Phi_{CNT}^{※6} \times 1 + 5$		ns
CNT_A(アップ)、CNT_B(ダウン)に対するイネーブル セットアップ時間 2相カウンタモード(アップ/ダウン)時	tCUD _{DF}	$\Phi_{CNT}^{※6} \times 1 + 5$		ns
CNT_A/B/Z(単相)のサイクル時間 単相カウンタモード時	tCSN _{CYC}	$\Phi_{CNT}^{※6} \times 2 + 10$		ns
CNT_A/B/Z(単相)のハイ/ローレベル幅 単相カウンタモード時	tCSN _{PW}	$\Phi_{CNT}^{※6} \times 1 + 5$		ns

※5 Φ_{IRRC} は赤外線リモコンブロックのクロックサイクル時間です。

※6 Φ_{CNT} は各カウンタモジュールのクロックサイクル時間です。

9.5. タイミングダイアグラム

9.5.1. クロック

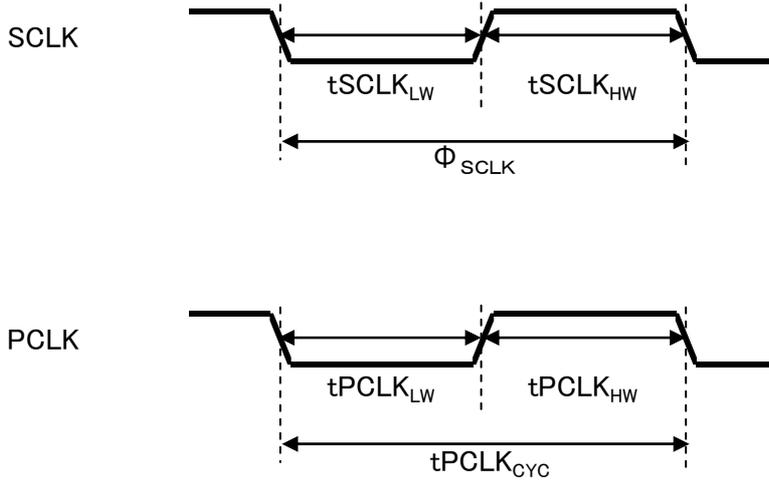


図5. クロック(SCLK、PCLK)のタイミング

9.5.2. リセット

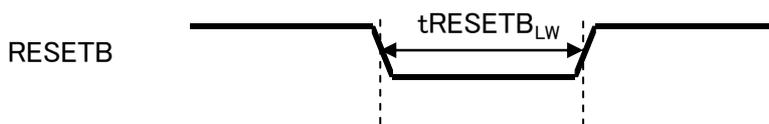


図6. リセット(RESETB)のタイミング

9.5.3. ホストインタフェース

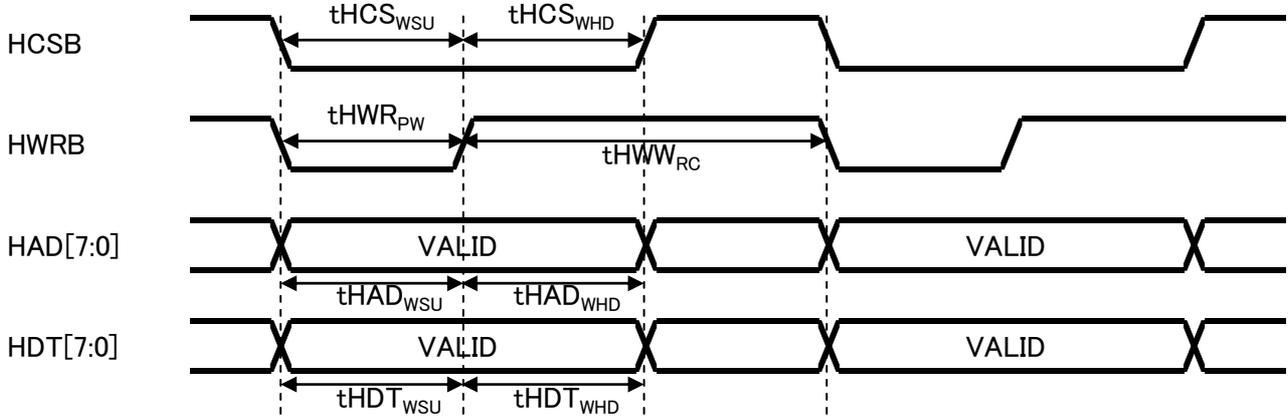


図7. ホストインタフェース(ライト)のタイミング

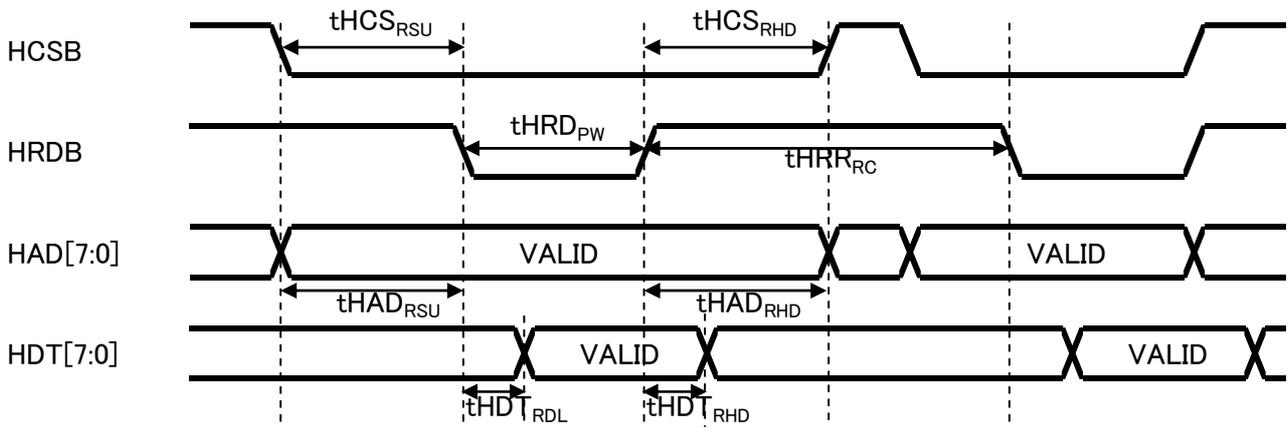
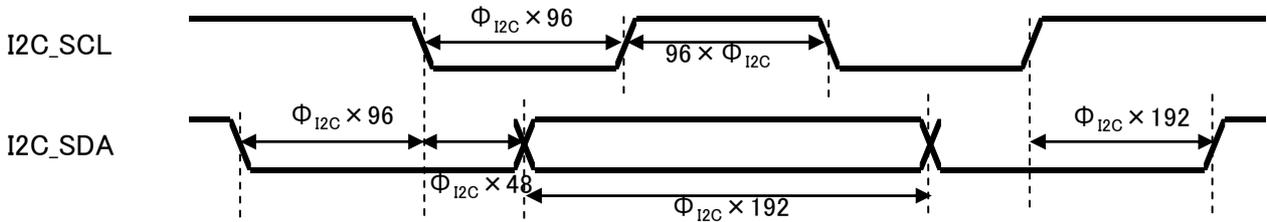


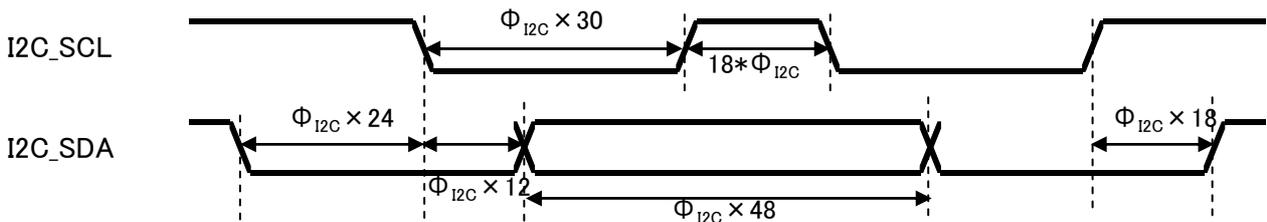
図8. ホストインタフェース(リード)のタイミング

9.5.4. I2Cアクセス



Φ_{I2C} はI2Cモジュールのクロックサイクル(ns)です

図9. I2Cスタートコンディション、ストップコンディションのタイミング(STANDARD_MODE設定時)



Φ_{I2C} はI2Cモジュールのクロックサイクル(ns)です

$\Phi_{I2C}=19.2\text{MHz}$ のときFAST_MODE(400KHz)での転送になります

図10. I2Cスタートコンディション、ストップコンディションのタイミング(FAST_MODE設定時)

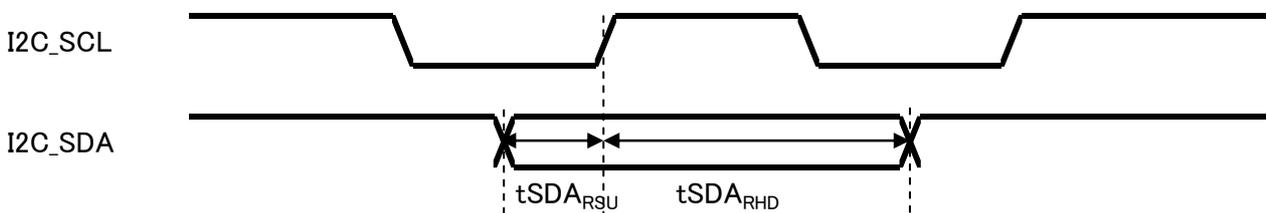


図11. I2Cデータリードのタイミング

9.5.5. SPIアクセス

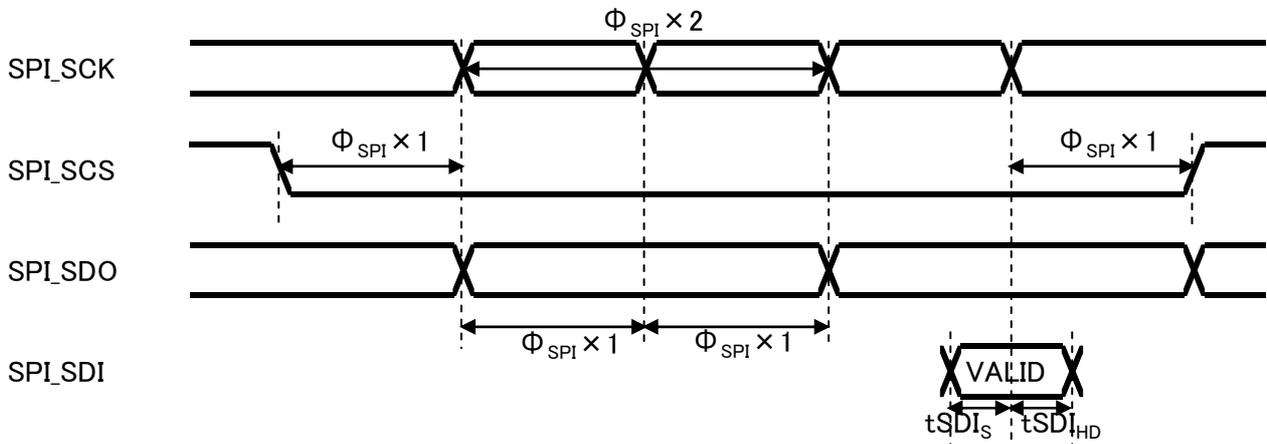
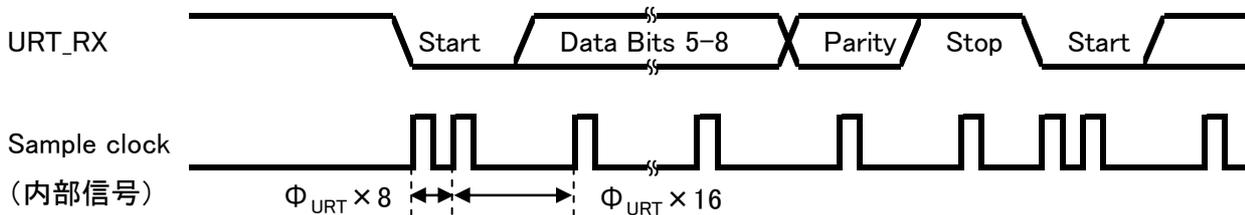


図 12. SPIアクセスタイミング

9.5.6. UARTアクセス



Φ_{URT} はUARTモジュールのクロックを基にポーレートジェネレータで生成したクロック。ポーレートジェネレータによるクロックを基にして、Sample clockを生成します。

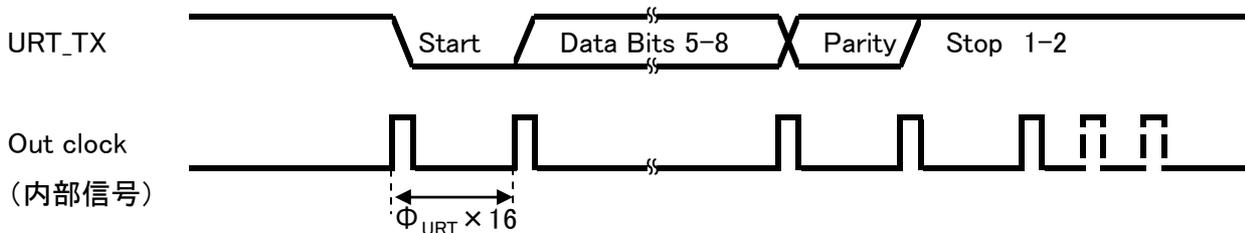


図 13. UARTアクセスタイミング

9.5.7. PWMアクセス

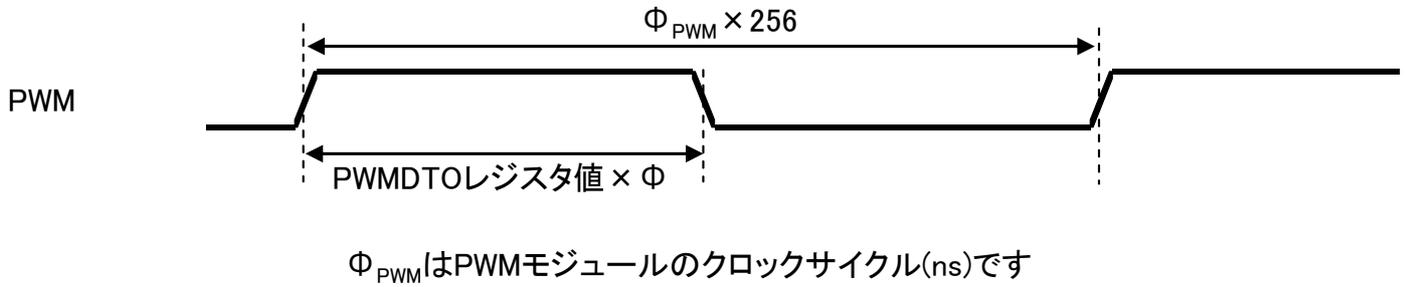


図 14. PWMアクセスタイミング

9.5.8. IRシリアルアクセス

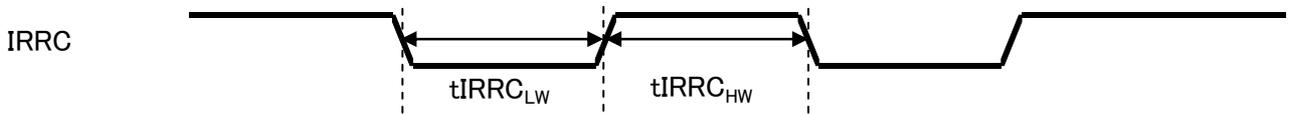


図 15. IRシリアルアクセスタイミング

9.5.9. カウンタアクセス

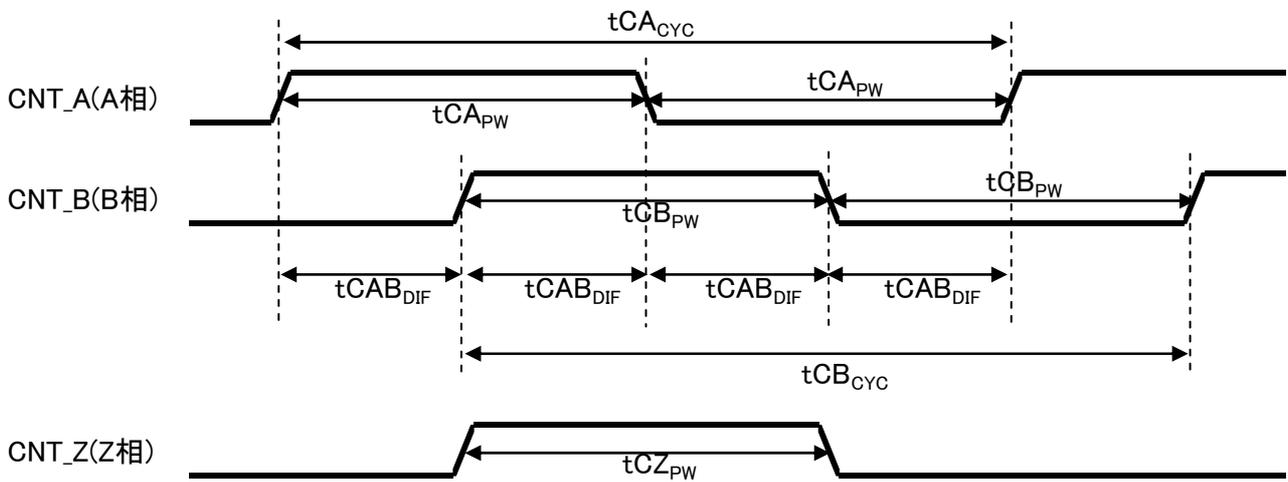


図 16. 2相カウンタモード(AB相)アクセスタイミング

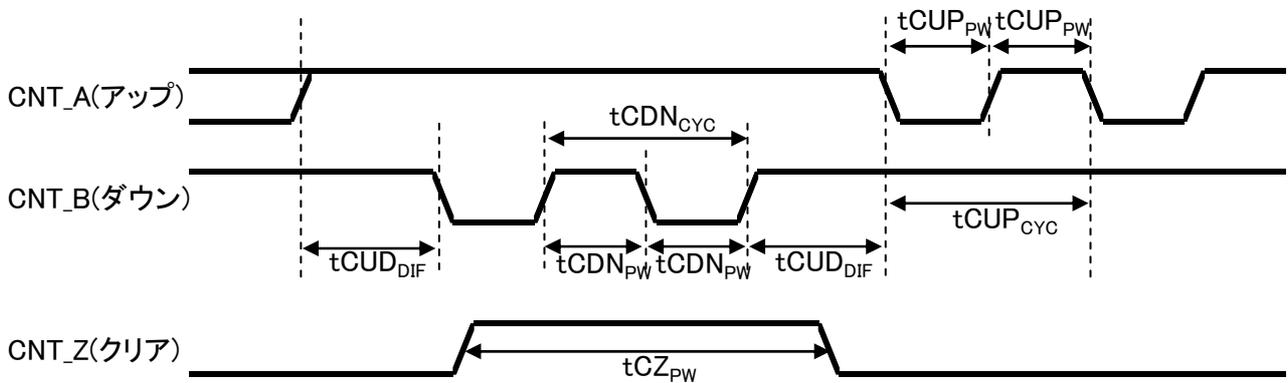


図 17. 2相カウンタモード(アップ/ダウン)アクセスタイミング

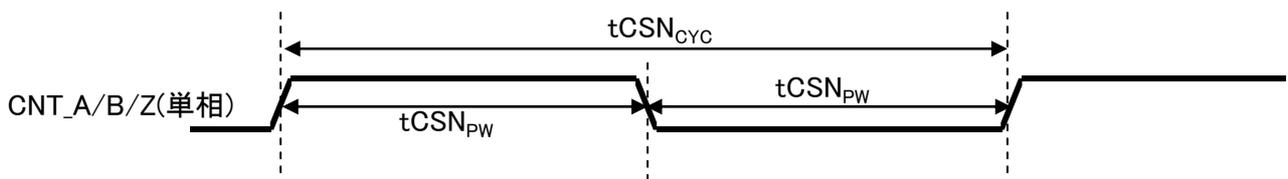


図 18. 単相カウンタモードアクセスタイミング

10. パッケージ形状

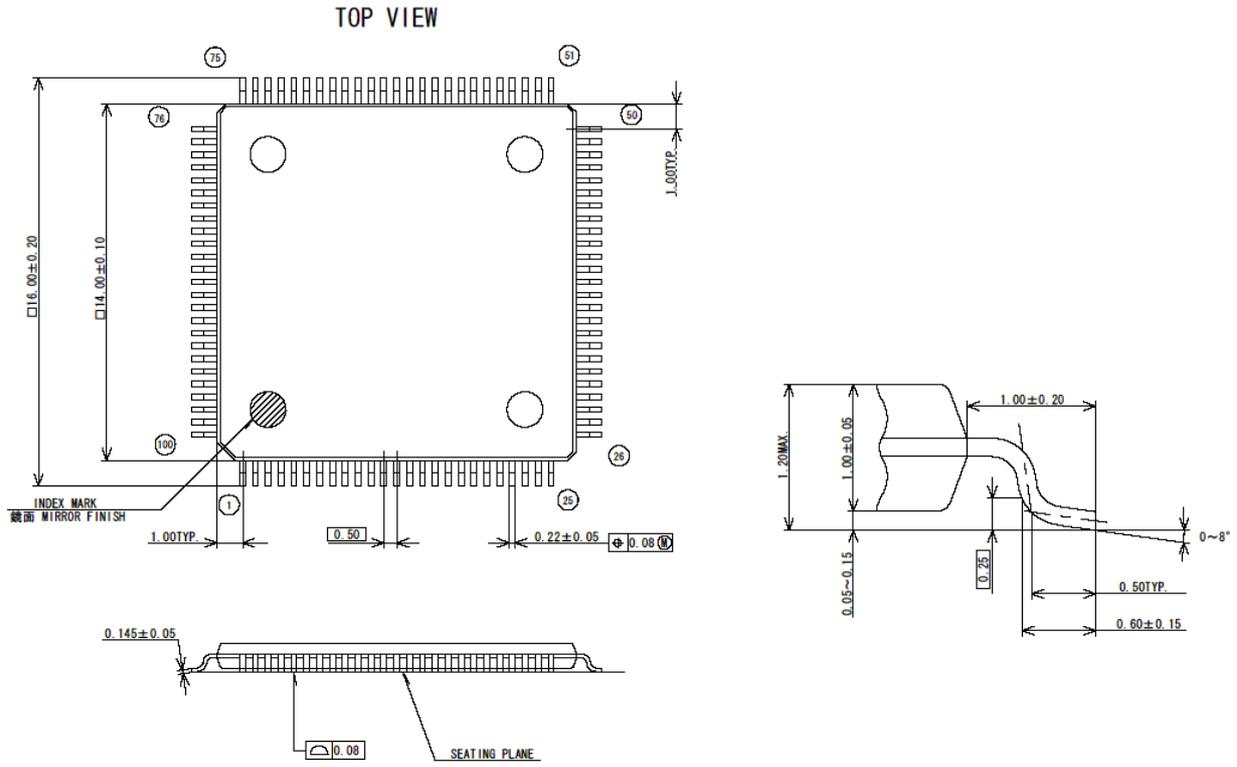


図 19. 外形寸法図

12. 改訂履歴

バージョン	日付	内容
1.0	2009/03/16	正式版発行。
1.1	2009/06/01	文字の見えにくい箇所を修正。一部交流特性を見直し。

ご注意

- (1) 本製品および本資料は株式会社ジーニックの著作物です。
したがって、本資料の全部または一部を無断で複製、転載することをご遠慮ください。
- (2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。
ご使用に際しては、最新の資料をご請求願います。
- (3) 本資料に記載されております内容は工業所有権、その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- (4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、
回路の動作を保証するものではありません。
- (5) 本製品の具体的な運用の結果、他への影響につきましては責任を負いかねますので、ご了承ください。
- (6) 本製品は一般的な電子機器(電算機、計測機器、産業用ロボット、位置決め制御装置 etc.)に
使用されることを前提としております。したがって、人命に関わる輸送機器、医療機器、航空・宇宙、
原子力関係機器などには使用しないでください。



株式会社 ジーニック

URL <http://www.zenic.co.jp/> / E-mail support@zenic.co.jp

〒520-0801 滋賀県大津市におの浜4-7-5 オプテックスビル8F

TEL:077-526-2101 / FAX:077-526-0500