

**ZEN0316P データシート**

株式会社ジーニック

## 目次

1. 概要 .....	1
2. 特徴 .....	1
3. システムブロック構成 .....	2
4. 端子一覧 .....	3
4.1. 機能信号 .....	3
4.2. 電源・グランド端子 .....	3
5. 機能 .....	4
5.1. カウンタ .....	4
5.1.1. カウント方式 .....	4
5.1.2. 外部カウントパルス入力周波数 .....	4
5.1.3. 入力パルス選択 .....	4
5.1.4. プリスケール機能 .....	4
5.1.5. カウント値ロード機能 .....	4
5.1.6. カウンタ動作／禁止 .....	4
5.2. カウントラッチ .....	4
5.2.1. ラッチ方式 .....	4
5.3. 分周クロック出力 .....	5
6. レジスタ .....	6
6.1. アドレスマッピング .....	6
6.2. コントロールレジスタ0～4 .....	7
6.3. ラッチ設定レジスタ .....	8
7. 電气的特性 .....	10
7.1. 絶対最大定格 .....	10
7.2. 推奨動作条件 .....	10
7.3. 直流特性 .....	10
7.4. 交流特性 .....	11
7.5. タイミングダイアグラム .....	12
7.5.1. ライトサイクル .....	12
7.5.2. リードサイクル .....	12
7.5.3. 外部カウントパルス入力 .....	13
7.5.4. 外部ラッチ入力 .....	13
7.5.5. リセット入力 .....	13
7.5.6. 分周クロック出力 .....	14

---

8. パッケージ形状.....	15
9. 備考 .....	16
10. 改訂履歴.....	17

## 1. 概要

ZEN0316P は最大カウント応答速度22.5Mcps(内蔵システムクロック2分周パルス使用時)の16ビットアップカウンタを5チャンネル内蔵した同期式カウンタICです。カウント値を安定して読み取るためにラッチレジスタを装備しており、ラッチレジスタへのカウント値のラッチ方式にはデータ(最下位Byte)読み出しによる自動ラッチと外部信号によるラッチの2つがあります。カウントパルス入力には外部パルス入力(5系統)、システムクロック2分周パルス及び下位チャンネルのキャリー出力のいずれかから選択可能です。カウントパルスを下位チャンネルのキャリーに設定することによりカウント長を拡張することが可能です(最大80ビット)。

また、CPU等他のデバイスを駆動するためのシステムクロック2分周出力を備えています。本クロック分周信号はレジスタ設定により内部でカウントパルスとして使用することもできます。なお、本出力はマスターリセットがアサートされても分周動作を継続します。

## 2. 特徴

- 16ビット5chアップ・カウンタ
- 最大カウンタ応答速度 : 外部入力パルス時 — 20Mcps(システムクロック $f_o=45\text{MHz}$ 時)  
内部分周パルス時 — 22.5Mcps(システムクロック $f_o=45\text{MHz}$ 時)
- カウントパルス周波数 : 外部入力パルス時 — DC~20MHz( $f_o \times 1/2$ 以内)
- カウンタ値一括ラッチ機能 : 外部ラッチまたはCPUリード自動ラッチ(ch毎個別設定可)
- カウンタ長拡張機能:最大 80ビット
- カウントパルスプリスケール機能 :  $1/1 \sim 1/128$ (ch毎個別設定可)
- システムクロック2分周出力装備
- DIP(600mil)32ピンパッケージ
- 電源電圧5V単一

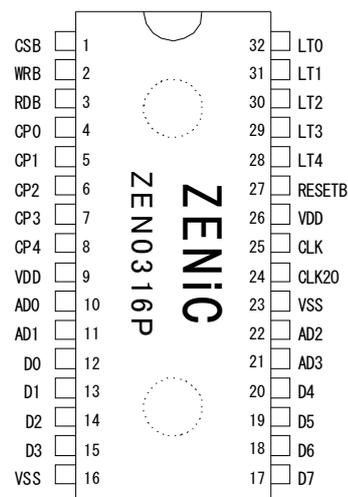


図1. 端子配置図(Top View)

### 3. システムブロック構成

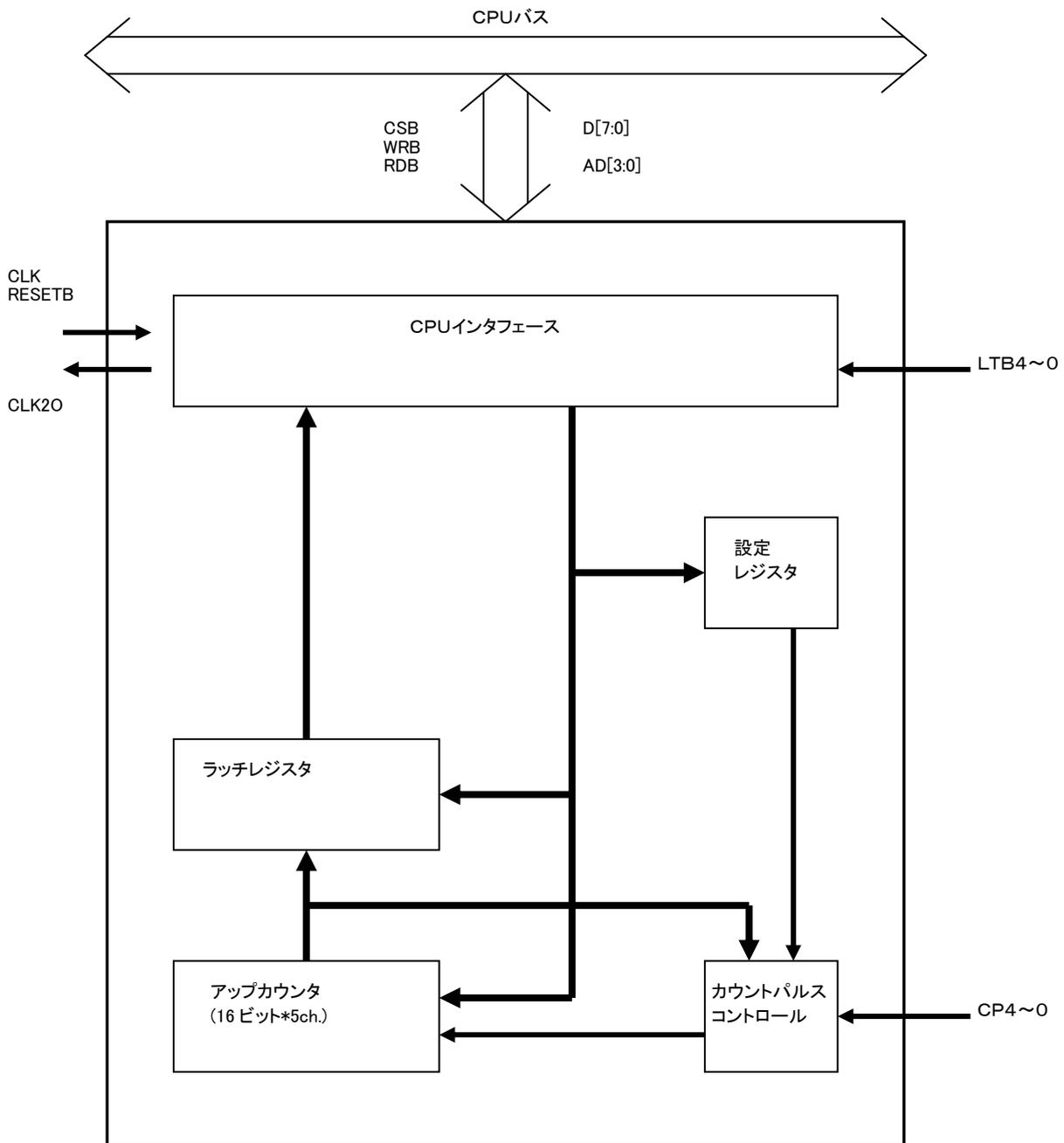


図2. ブロック図

## 4. 端子一覧

### 4.1. 機能信号

表1. 機能信号端子一覧表

ピン番号	記号	信号名	属性	機能
21 22 11 10	AD[3] AD[2] AD[1] AD[0]	Address Bus	IN	カウンタ及び内部レジスタを選択します。
17 18 19 20 15 14 13 12	D[7] D[6] D[5] D[4] D[3] D[2] D[1] D[0]	Data Bus	INOUT	双方向データバスです。
1	CSB	Chip Select	IN	デバイス選択のためのチップセレクト端子です。
3	RDB	Read Strobe	IN	データを読み出すためのストロブ端子です。
2	WRB	Write Strobe	IN	データを書き込むためのストロブ端子です。
8	CP4	Count Pulse	IN	カウントパルス入力です。
7	CP3	Count Pulse	IN	カウントパルス入力です。
6	CP2	Count Pulse	IN	カウントパルス入力です。
5	CP1	Count Pulse	IN	カウントパルス入力です。
4	CP0	Count Pulse	IN	カウントパルス入力です。
28	LTB4	External Latch	IN	外部ラッチ入力(Ch. 4用)です。
29	LTB3	External Latch	IN	外部ラッチ入力(Ch. 3用)です。
30	LTB2	External Latch	IN	外部ラッチ入力(Ch. 2用)です。
31	LTB1	External Latch	IN	外部ラッチ入力(Ch. 1用)です。
32	LTB0	External Latch	IN	外部ラッチ入力(Ch. 0用)です。
25	CLK	System Clock	IN	システムクロック入力です。
24	CLK2O	Clock Out	OUT	システムクロックを2分周したクロック出力です。
27	RESETB	Master Reset	IN	リセット入力です。

### 4.2. 電源・グランド端子

表2. 電源・グランド端子一覧表

ピン番号	記号	信号名	属性	機能
9 26	VDD	VDD	—	5V電源端子です。
16 23	GND	Ground	—	グランド端子です。

## 5. 機能

### 5.1. カウンタ

#### 5.1.1. カウント方式

カウントパルスの立ち上がりをシステムクロックで検出しアップカウントします。

#### 5.1.2. 外部カウントパルス入力周波数

最高20MHz(システムクロック45MHz供給時)です。詳細は7. 4交流特性の項目を参照してください。

#### 5.1.3. 入力パルス選択

コントロールレジスタにより、外部パルス入力(5系統)、システムクロック2分周パルス及び下位チャンネルのキャリー出力のいずれかから選択可能です。下位チャンネルのキャリー出力を選択するとカウント長を拡張することができます(最大80ビット)。

#### 5.1.4. プリスケール機能

カウントパルスを1/1~1/128にプリスケールする機能(8段階)を有しています。

#### 5.1.5. カウント値ロード機能

カウンタに値をロードすることが可能です。ただし、16ビット一括ではロードできません。上位下位それぞれ8ビットごとのロードになります。

#### 5.1.6. カウンタ動作/禁止

各チャンネルごとにカウンタの動作/禁止を切り替えることができます。ただし、カウンタのビット幅を拡張している場合は最下位チャンネルの設定に従います。

## 5.2. カウントラッチ

### 5.2.1. ラッチ方式

カウンタの値をレジスタにラッチする方式を次の2つから選択可能です。

#### 5.2.1.1. カウンタ読み出し自動ラッチ

カウンタの下位Byteを指定して値を読み出すと、そのときの16ビットのカウント値全体をラッチレジスタにラッチします。カウンタのビット幅を拡張している場合は最下位Byteを読み出すとカウント値全体がラッチされます。

### 5.2.1.2. 外部ラッチ

外部ラッチ信号の立下りをシステムクロックで検出し、カウント値をラッチレジスタにラッチします。カウントパルスの設定に関わらず、チャンネルと同じ番号の外部ラッチ信号が有効になります(ch. n=LTBn)。なお、カウンタのビット幅を拡張している場合は最下位チャンネルの外部ラッチ入力のみが有効になります。

## 5.3. 分周クロック出力

システムクロックを2分周したクロック出力を備えています。本出力はCPUの駆動等に利用できるようにマスターリセットがアサートされてもリセットされず信号出力を継続します。

## 6. レジスタ

ZEN0316P の内部レジスタへのアクセスは外部端子CSB、RDB、WRB、AD[3:0]、D[7:0]で行います。

### 6.1. アドレスマッピング

表3に ZEN0316P のアドレスマッピングを示します。各レジスタの詳細は6. 2節以降を参照してください。

表3. アドレスマッピング

CSB	RDB	WRB	AD3	AD2	AD1	AD0	動作(D[7:0])
1	*	*	*	*	*	*	ディスエーブル(データバス:Hi-Z)
0	0	1	0	0	0	0	カウンタ(ch. 0) 下位Byte読み出し
0	0	1	0	0	0	1	カウンタ(ch. 0) 上位Byte読み出し
0	0	1	0	0	1	0	カウンタ(ch. 1) 下位Byte読み出し
0	0	1	0	0	1	1	カウンタ(ch. 1) 上位Byte読み出し
0	0	1	0	1	0	0	カウンタ(ch. 2) 下位Byte読み出し
0	0	1	0	1	0	1	カウンタ(ch. 2) 上位Byte読み出し
0	0	1	0	1	1	0	カウンタ(ch. 3) 下位Byte読み出し
0	0	1	0	1	1	1	カウンタ(ch. 3) 上位Byte読み出し
0	0	1	1	0	0	0	カウンタ(ch. 4) 下位Byte読み出し
0	0	1	1	0	0	1	カウンタ(ch. 4) 上位Byte読み出し
0	0	1	1	0	1	0	コントロールレジスタ(ch. 0) 読み出し
0	0	1	1	0	1	1	コントロールレジスタ(ch. 1) 読み出し
0	0	1	1	1	0	0	コントロールレジスタ(ch. 2) 読み出し
0	0	1	1	1	0	1	コントロールレジスタ(ch. 3) 読み出し
0	0	1	1	1	1	0	コントロールレジスタ(ch. 4) 読み出し
0	0	1	1	1	1	1	ラッチ設定レジスタ読み出し
0	1	0	0	0	0	0	カウンタ(ch. 0) 下位Byte書き込み
0	1	0	0	0	0	1	カウンタ(ch. 0) 上位Byte書き込み
0	1	0	0	0	1	0	カウンタ(ch. 1) 下位Byte書き込み
0	1	0	0	0	1	1	カウンタ(ch. 1) 上位Byte書き込み
0	1	0	0	1	0	0	カウンタ(ch. 2) 下位Byte書き込み
0	1	0	0	1	0	1	カウンタ(ch. 2) 上位Byte書き込み
0	1	0	0	1	1	0	カウンタ(ch. 3) 下位Byte書き込み
0	1	0	0	1	1	1	カウンタ(ch. 3) 上位Byte書き込み
0	1	0	1	0	0	0	カウンタ(ch. 4) 下位Byte書き込み
0	1	0	1	0	0	1	カウンタ(ch. 4) 上位Byte書き込み
0	1	0	1	0	1	0	コントロールレジスタ(ch. 0) 書き込み
0	1	0	1	0	1	1	コントロールレジスタ(ch. 1) 書き込み
0	1	0	1	1	0	0	コントロールレジスタ(ch. 2) 書き込み
0	1	0	1	1	0	1	コントロールレジスタ(ch. 3) 書き込み
0	1	0	1	1	1	0	コントロールレジスタ(ch. 4) 書き込み
0	1	0	1	1	1	1	ラッチ設定レジスタ書き込み

## 6.2. コントロールレジスタ0~4

コントロールレジスタは各チャンネルごとに存在し、プリスケアラの分周比、カウントパルス入力選択及びカウント動作/禁止切り替えの各項目を設定します。外部パルス入力については全チャンネルともCP0~4の5本のうちから選択可能です。他チャンネルのキャリアをカウントパルスに設定する場合は、自分より下位のチャンネルのみ選択可能です。詳細は下表を参照してください。

表4. コントロールレジスタ

ビット	名称	機能	リセット値	R	W
7	カウントイネーブル	“1”でカウント動作を有効にします。	0	○	○
6:3	カウントパルス選択	次のテーブルにしたがって、カウントパルスを選択します。他チャンネルキャリアについてはチャンネルによって選択肢に制限があります。□内はその設定値が有効なチャンネルを示します。  0000 : CP0[Ch. 0-4] 0001 : CP1[Ch. 0-4] 0010 : CP2[Ch. 0-4] 0011 : CP3[Ch. 0-4] 0100 : CP4[Ch. 0-4] 0101 : システムクロック分周パルス[Ch. 0-4] 0110~0111 : 予約 1000 : Ch. 0キャリア出力[Ch. 1-4] 1001 : Ch. 1キャリア出力[Ch. 2-4] 1010 : Ch. 2キャリア出力[Ch. 3-4] 1011 : Ch. 3キャリア出力[Ch. 4] 1100~1111 : 予約	0000	○	○
2:0	プリスケアラ	次のテーブルにしたがって、カウントパルスをプリスケールします。複数チャンネルのカウンタが接続されている場合、本プリスケール設定は最下位となっているチャンネルにおいてのみ有効です。  000 : 1/1 001 : 1/2 010 : 1/4 011 : 1/8 100 : 1/16 101 : 1/32 110 : 1/64 111 : 1/128	000	○	○

### 6.3. ラッチ設定レジスタ

各チャンネルのラッチ動作を設定します。初期値はカウンタ読み出し(下位Byte)自動ラッチです。カウンタパルスを下位チャンネルのキャリアに設定している場合は最下位チャンネルの設定に従います。また、外部信号ラッチに設定している場合は、チャンネルと同じ番号の外部ラッチ信号が有効になります(ch. n=LTBn)。表6、表7及び表8の例を参照してください。

表5. ラッチ設定レジスタ

ビット	名称	機能	リセット値	R	W
7:5	予約		000	○	×
4	ラッチ設定(ch. 4)	ch. 4のラッチ動作を設定します。“0”でカウンタ読み出し(下位Byte)自動ラッチ、“1”で外部信号ラッチ(LTB4)になります。	0	○	○
3	ラッチ設定(ch. 3)	ch. 3のラッチ動作を設定します。“0”でカウンタ読み出し(下位Byte)自動ラッチ、“1”で外部信号ラッチ(LTB3)になります。	0	○	○
2	ラッチ設定(ch. 2)	ch. 2のラッチ動作を設定します。“0”でカウンタ読み出し(下位Byte)自動ラッチ、“1”で外部信号ラッチ(LTB2)になります。	0	○	○
1	ラッチ設定(ch. 1)	ch. 1のラッチ動作を設定します。“0”でカウンタ読み出し(下位Byte)自動ラッチ、“1”で外部信号ラッチ(LTB1)になります。	0	○	○
0	ラッチ設定(ch. 0)	ch. 0のラッチ動作を設定します。“0”でカウンタ読み出し(下位Byte)自動ラッチ、“1”で外部信号ラッチ(LTB0)になります。	0	○	○

表6. 設定例(その1)[チャンネル接続 : 4-1-0/3-2]

ch.	カウンタパルス入力設定	有効カウンタパルス入力	ラッチ入力設定	有効ラッチ入力
ch. 4	ch. 1キャリア	CP2	外部ラッチ	LTB0
ch. 3	ch. 2キャリア	CP4	自動ラッチ	ch. 2下位Byte読出し
ch. 2	CP4	CP4	自動ラッチ	ch. 2下位Byte読出し
ch. 1	ch. 0キャリア	CP2	外部ラッチ	LTB0
ch. 0	CP2	CP2	外部ラッチ	LTB0

表7. 設定例(その2)[チャンネル接続 : 4-2/3/2/1-0]

ch.	カウンタパルス入力設定	有効カウンタパルス入力	ラッチ入力設定	有効ラッチ入力
ch. 4	ch. 2キャリア	CP1	自動ラッチ(無効)	LTB2
ch. 3	CP1	CP1	自動ラッチ	ch. 3下位Byte読出し
ch. 2	CP1	CP1	外部ラッチ	LTB2
ch. 1	ch. 0キャリア	CP2	外部ラッチ(無効)	ch. 0下位Byte読出し
ch. 0	CP2	CP2	自動ラッチ	ch. 0下位Byte読出し

表 8. 設定例(その3)[チャンネル接続 : 4-2/3/1/0]

ch.	カウントパルス入力 設定	有効カウントパルス 入力	ラッチ入力 設定	有効ラッチ 入力
ch. 4	ch. 2キャリー	1/2システムクロック	外部ラッチ	LTB2
ch. 3	1/2システムクロック	1/2システムクロック	自動ラッチ	ch. 3下位Byte読出し
ch. 2	1/2システムクロック	1/2システムクロック	外部ラッチ	LTB2
ch. 1	1/2システムクロック	1/2システムクロック	外部ラッチ	LTB1
ch. 0	CP4	CP4	外部ラッチ	LTB0

## 7. 電気的特性

### 7.1. 絶対最大定格

 表9. 絶対最大定格 ( $V_{SS}=0V$ )

項目	記号	定格値	単位
電源電圧	$V_{DD}$	-0.5 ~ +6.5	V
入力電圧	$V_{IN}$	-0.5 ~ $V_{DD} + 0.5$	V
出力電圧	$V_{OUT}$	-0.5 ~ $V_{DD} + 0.5$	V
入力電流	$I_{IN}$	-10 ~ +10	mA
出力電流	$I_{OUT}$	-20 ~ +20	mA
保存温度	$T_{sg}$	-65 ~ +150	°C

### 7.2. 推奨動作条件

表10. 推奨動作条件

項目	記号	最小値	標準値	最大値	単位
電源電圧	$V_{DD}$	4.5	5.0	5.5	V
周囲温度	$T_{gr}$	-40		+70	°C

### 7.3. 直流特性

 表11. 直流特性<sup>※1</sup> ( $V_{DD}=4.5\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_{gr}=-40\sim +70^{\circ}C$ )

項目	記号	条件	最小値	最大値	単位
高レベル入力電圧	$V_{IH}$		2.0	$V_{DD} + 0.5$	V
低レベル入力電圧	$V_{IL}$		-0.5	0.8	V
高レベル入力電流	$I_{IH}$	$V_{IH}=V_{DD}$		100	$\mu A$
低レベル入力電流	$I_{IL}$	$V_{IL}=V_{SS}$	-100		$\mu A$
高レベル出力電圧	$V_{OH}$	$I_{OH}=-4mA$	3.7		V
		$I_{OH}=-100\mu A$	$V_{DD}-0.2$		
低レベル出力電圧	$V_{OL}$	$I_{OL}=4mA$		0.4	V
		$I_{OL}=100\mu A$		0.2	
動作時消費電流 <sup>※2</sup>	$I_{DDO}$	CLK=1MHz		1.3	mA

※1  $I_{OH}$ は高レベル出力電流、 $I_{OL}$ は低レベル出力電流を示します。

※2 動作時消費電流はCLKの周波数にほぼ比例します。

## 7.4. 交流特性

表12. 交流特性

項目	記号	最小値	標準値	最大値	単位
AD[3:0]セットアップ時間(to WRB↑)	Tswa	22			ns
CSBセットアップ時間(to WRB↑)	Tswc	22			ns
D[7:0]セットアップ時間(to WRB↑)	Tswd	22			ns
AD[3:0]ホールド時間(to WRB↑)	Thwa	5			ns
CSBホールド時間(to WRB↑)	Thwc	5			ns
D[7:0]ホールド時間(to WRB↑)	Thwd	10			ns
WRBローパルス幅	Twwr	$Tc \times 1$			ns
WRBリカバリー時間	Trcw	$Tc \times 4$			ns
AD[3:0]セットアップ時間(to RDB↓)	Tsra	15			ns
CSBセットアップ時間(to RDB↓)	Tsrc	$-(Tc \times 1 - 20)$			ns
AD[3:0]ホールド時間(to RDB↑)	Thra	0			ns
CSBホールド時間(to RDB↑)	Thrc	0			ns
RDBローパルス幅	Twrd	$Tc \times 3$			ns
D[7:0]出力遅延時間(from RDB↓)	Tdir			25	ns
D[7:0]出力遅延時間(from CSB↓)	Tdic			25	ns
D[7:0]有効データアクセス時間(from RDB↓)	Tdvr			$Tc \times 2 + 20$	ns
D[7:0]データフロート時間(from RDB↑)	Tdfr	1		30	ns
D[7:0]データフロート時間(from CSB↑)	Tdfc	1		30	ns
RDBリカバリー時間	Trcr	$Tc \times 2$			ns
CP4-0ハイパルス幅	Teph	$Tc \times 1 + 3$			ns
CP4-0ローパルス幅	Tcpl	$Tc \times 1 + 3$			ns
CP4-0サイクル時間	Tcp	$Tc \times 2 + 6$			ns
LTB4-0ローパルス幅	Tltl	20			ns
RESETBローパルス幅	Trsl	$Tc \times 2$			ns
RESETBリカバリー時間 <sup>※3</sup>	Trcrs	$Tc \times 2$			ns
CLK20出力遅延時間	Tdco			20	ns
CLK20サイクル時間	Tco		$Tc \times 2$		ns
CLKサイクル時間	Tc	22			ns
CLKハイパルス幅	Tch	11			ns
CLKローパルス幅	Tcl	11			ns

※3 リセット後のZEN0316Pに対する動作禁止時間。

## 7.5. タイミングダイアグラム

### 7.5.1. ライトサイクル

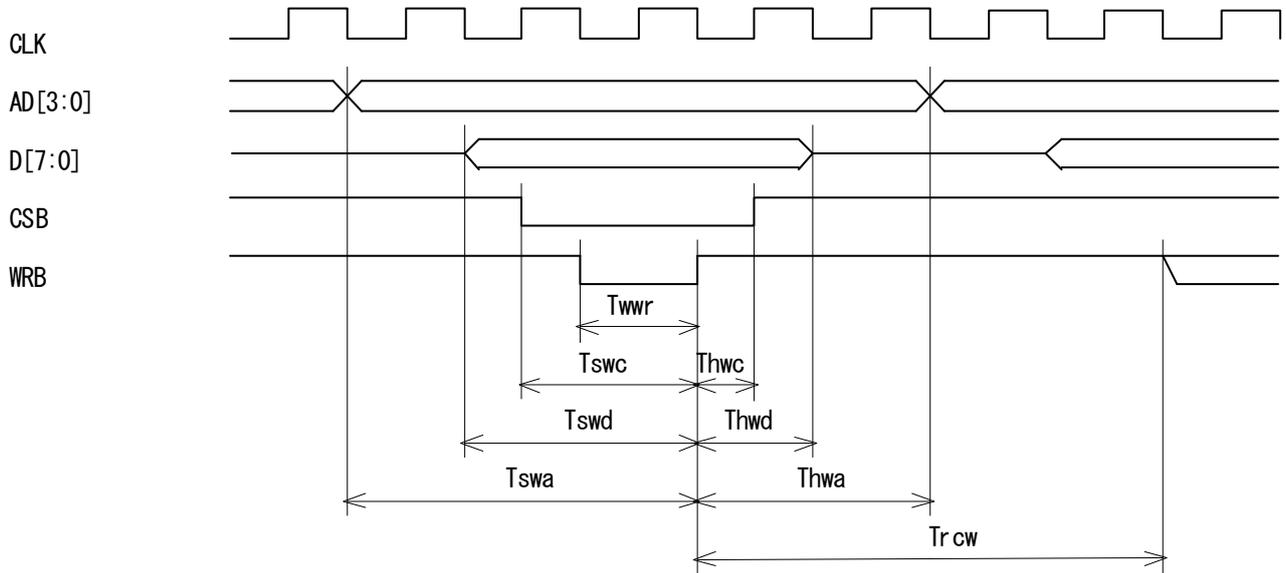


図3. ライトサイクル

### 7.5.2. リードサイクル

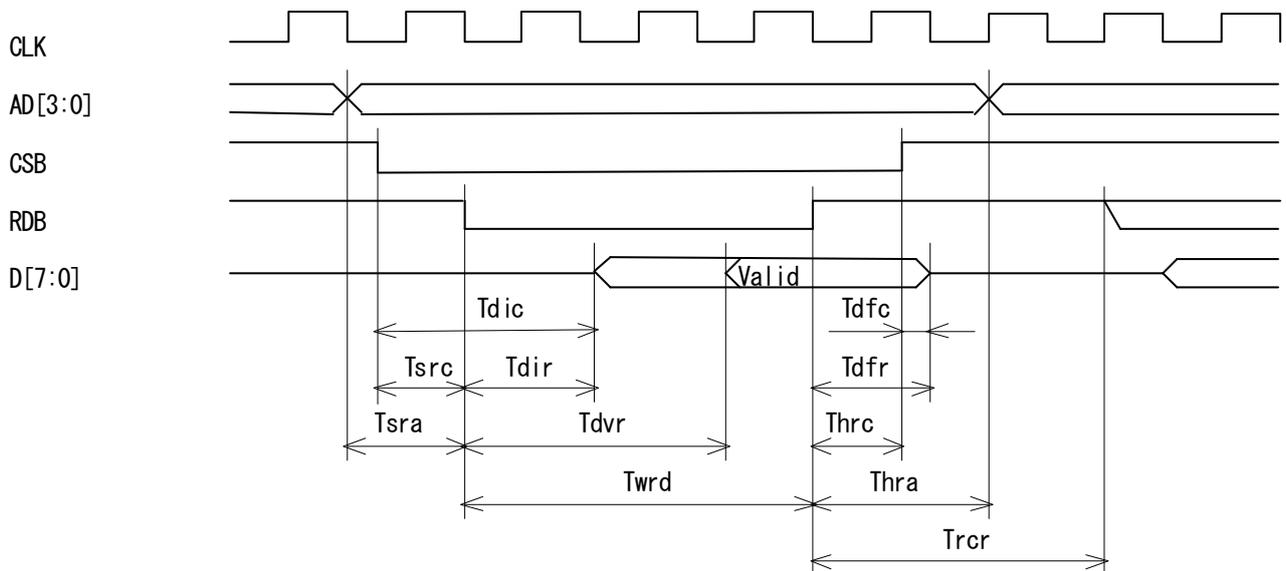


図4. リードサイクル

7.5.3. 外部カウントパルス入力

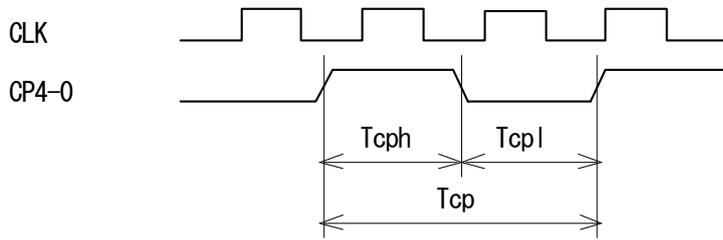


図5. 外部カウントパルス入力

7.5.4. 外部ラッチ入力

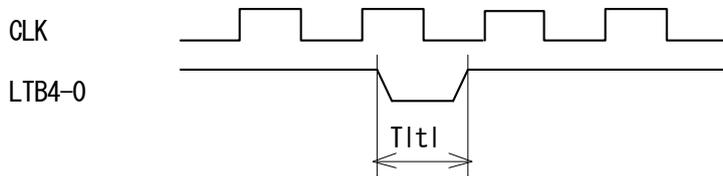


図6. 外部ラッチ入力

7.5.5. リセット入力

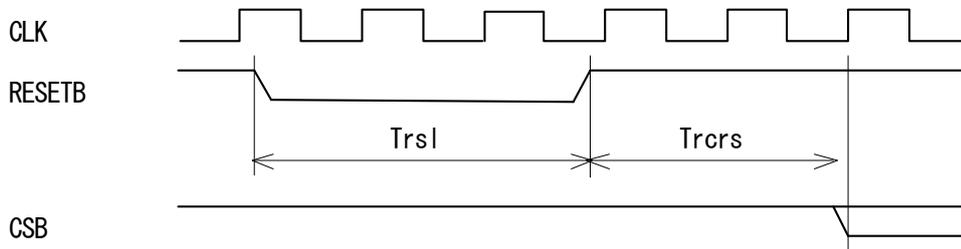


図7. リセット入力

7.5.6. 分周クロック出力

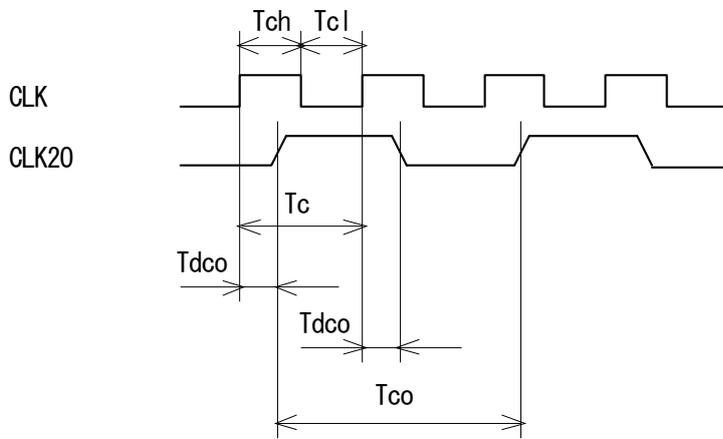


図8. 分周クロック出力

8. パッケージ形状

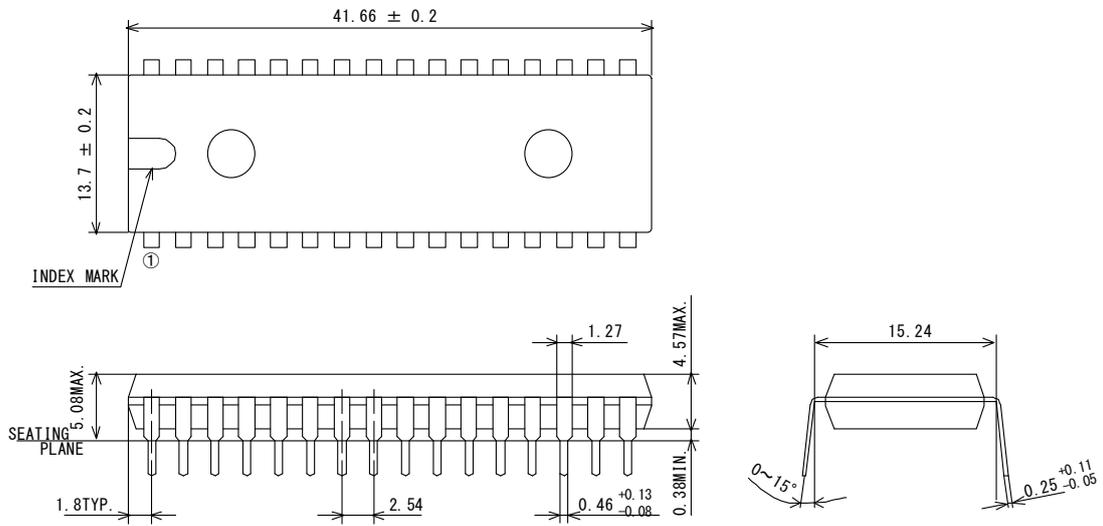


図9. 外形寸法図

9. 備考

## 10. 改訂履歴

バージョン	日付	内容
1.0	2003/08/21	初版発行
1.5	2003/09/03	ACタイミング変更
1.6	2004/03/23	IDDO追加
1.7	2004/04/21	テスト関係の記述削除
1.8	2004/05/18	I <sub>DD</sub> 及びV <sub>DD</sub> 修正
1.9	2004/08/31	概要を一部修正

## ご注意

- (1) 本製品および本資料は株式会社ジーニックの著作物です。  
したがって、本資料の全部または一部を無断で複製、転載することをご遠慮ください。
- (2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。  
ご使用に際しては、最新の資料をご請求願います。
- (3) 本資料に記載されております内容は工業所有権、その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- (4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、  
回路の動作を保証するものではありません。
- (5) 本製品の具体的な運用の結果、他への影響につきましては責任を負いかねますので、ご了承ください。
- (6) 本製品は一般的な電子機器(電算機、計測機器、産業用ロボット、位置決め制御装置 etc.)に  
使用されることを前提としております。したがって、人命に関わる輸送機器、医療機器、航空・宇宙、  
原子力関係機器などには使用しないでください。



株式会社 ジーニック

URL <http://www.zenic.co.jp/> / E-mail [support@zenic.co.jp](mailto:support@zenic.co.jp)  
〒520-0801 滋賀県大津市こおの浜4-7-5 オプテックスビル8F  
TEL:077-526-2101 / FAX:077-526-0500