

ZEN1752F データシート

株式会社ジーニック

Left blank

目次

1. 概要	1
2. 特徴	1
3. ブロック図	2
4. 端子一覧	3
5. ホストインタフェース	4
5.1. ホストアクセス	4
5.2. 割り込み	4
6. 機能	5
6.1. 端子グループ	5
6.1.1. 端子グループ構成	5
6.2. 汎用入出力	6
6.2.1. 汎用入出力モジュール	6
6.2.2. 入出力方向選択	6
6.2.3. ポート割り込み	6
6.3. I2Cマスタ	7
6.3.1. I2Cブロック構成	7
6.4. SPIマスタ	8
6.4.1. SPIブロック構成	8
6.4.2. 転送データ長	8
6.4.3. 転送終了割り込み	8
6.4.4. セレクト信号アサート選択(オート/マニュアル)	8
6.4.5. bitオーダー選択	8
6.4.6. データの送受信タイミング選択	8
6.4.7. セレクト信号論理選択	8
6.4.8. SPIポートの切り替えについて	9
6.5. UART	10
6.5.1. UARTブロック構成	10
6.5.2. ループバック接続	10
6.6. PWM	11
6.6.1. PWMブロック構成	11
6.6.2. PWM分解能	11
6.6.3. 送出回数選択	11
6.6.4. 出力完了割り込み(非連続出力時のみ)	11

6.6.5. 出力論理選択	11
6.7. 赤外線リモコン	12
6.7.1. 赤外線リモコンブロック構成	12
6.7.2. ワイズカウンタbit長	12
6.7.3. 入力変化割り込み	12
6.7.4. オーバーフロー検出割り込み	12
6.7.5. ノイズフィルタ	12
6.8. カウンタ	13
6.8.1. カウンタブロック構成	13
6.8.2. カウンタモード	14
6.8.3. Z相クリア	14
6.8.4. カウンタイネーブル	14
6.8.5. カウンタラッチ	14
6.8.6. カウンタクリア	15
6.8.7. 初期値ロード	15
6.8.8. 定周期自動ラッチ	15
6.8.9. エッジ検出(パルス幅カウンタモード時のみ)	15
6.8.10. オーバーフロー検出(パルス幅カウンタモード及び単相カウンタモード時のみ)	15
6.8.11. 異常入力検出	16
7. レジスタ一覧	17
7.1. アドレスマップ	17
8. レジスタ説明	22
8.1. システムリセットレジスタ[Adr. 00h]	22
8.2. ブロックリセットレジスタ0[Adr. 01h]	22
8.3. ブロックリセットレジスタ1[Adr. 02h]	23
8.4. クロックコントロールレジスタ0[Adr. 03h]	24
8.5. クロックコントロールレジスタ1[Adr. 04h]	24
8.6. クロックコントロールレジスタ2[Adr. 05h]	25
8.7. クロックコントロールレジスタ3[Adr. 06h]	26
8.8. クロックコントロールレジスタ4[Adr. 07h]	27
8.9. クロックコントロールレジスタ5[Adr. 08h]	28
8.10. クロックコントロールレジスタ6[Adr. 09h]	29
8.11. クロックコントロールレジスタ7[Adr. 0Ah]	30
8.12. クロックコントロールレジスタ8[Adr. 0Bh]	31
8.13. クロックコントロールレジスタ9[Adr. 0Ch]	32
8.14. 割り込みステータスレジスタ0[Adr. 0Dh]	33
8.15. 割り込みステータスレジスタ1[Adr. 0Eh]	34
8.16. 割り込みイネーブルレジスタ0[Adr. 0Fh]	35
8.17. 割り込みイネーブルレジスタ1[Adr. 10h]	36
8.18. 端子グループB機能選択レジスタ[Adr. 11h]	37

8.19. 端子グループC機能選択レジスタ[Adr. 12h].....	38
8.20. ブロックスタンバイレジスタ0[Adr. 13h].....	39
8.21. ブロックスタンバイレジスタ1[Adr. 14h].....	40
8.22. ポートアサインレジスタ[Adr. 15h].....	41
8.23. UARTループバックレジスタ[Adr. 16h].....	41
8.24. ポートA方向設定レジスタ[Adr. 20h].....	42
8.25. ポートAデータレジスタ[Adr. 21h].....	42
8.26. ポートA割り込みステータスレジスタ[Adr. 22h].....	42
8.27. ポートA割り込みイネーブルレジスタ[Adr. 23h].....	43
8.28. ポートA割り込みエッジ選択レジスタ[Adr. 24h].....	43
8.29. ポートB方向設定レジスタ__L[Adr. 25h].....	44
8.30. ポートB方向設定レジスタ__H[Adr. 26h].....	44
8.31. ポートBデータレジスタ__L[Adr. 27h].....	44
8.32. ポートBデータレジスタ__H[Adr. 28h].....	45
8.33. ポートC方向設定レジスタ__L[Adr. 29h].....	45
8.34. ポートC方向設定レジスタ__H[Adr. 2Ah].....	45
8.35. ポートCデータレジスタ__L[Adr. 2Bh].....	46
8.36. ポートCデータレジスタ__H[Adr. 2Ch].....	46
8.37. ポートD方向設定レジスタ__L[Adr. 2Dh].....	46
8.38. ポートD方向設定レジスタ__H[Adr. 2Eh].....	47
8.39. ポートDデータレジスタ__L[Adr. 2Fh].....	47
8.40. ポートDデータレジスタ__H[Adr. 30h].....	47
8.41. I2Cプリスケールレジスタ__L[Adr. 40h].....	48
8.42. I2Cプリスケールレジスタ__H[Adr. 41h].....	48
8.43. I2C割り込みイネーブルレジスタ[Adr. 42h].....	48
8.44. I2C割り込みステータスレジスタ[Adr. 43h].....	49
8.45. I2C送信データレジスタ[Adr. 44h].....	49
8.46. I2C受信データレジスタ[Adr. 45h].....	49
8.47. I2Cコマンドレジスタ[Adr. 46h].....	50
8.48. I2Cステータスレジスタ[Adr. 47h].....	50
8.49. SPIコントロールレジスタ[Adr. 50h].....	51
8.50. SPI転送スタートレジスタ[Adr. 51h].....	51
8.51. SPI転送bit長レジスタ[Adr. 52h].....	52
8.52. SPI割り込みステータスレジスタ[Adr. 53h].....	52
8.53. SPI割り込みイネーブルレジスタ[Adr. 54h].....	52
8.54. SPI出力データレジスタ0[Adr. 55h].....	53
8.55. SPI出力データレジスタ1[Adr. 56h].....	53
8.56. SPI出力データレジスタ2[Adr. 57h].....	53
8.57. SPI出力データレジスタ3[Adr. 58h].....	53
8.58. SPI入力データレジスタ0[Adr. 59h].....	54
8.59. SPI入力データレジスタ1[Adr. 5Ah].....	54
8.60. SPI入力データレジスタ2[Adr. 5Bh].....	54

8.61. SPI入力データレジスタ3 [Adr. 5Ch].....	54
8.62. SPIセレクト信号アサート制御レジスタ [Adr. 5Dh].....	55
8.63. UART設定レジスタ0 (RBR / THR / DLL) [Adr. 60h, 68h, 70h, 78h].....	56
8.64. UART設定レジスタ1 (IER / DLM) [Adr. 61h, 69h, 71h, 79h].....	57
8.65. UART設定レジスタ2 (IIR / FCR) [Adr. 62h, 6Ah, 72h, 7Ah].....	58
8.66. UART設定レジスタ3 (LCR) [Adr. 63h, 6Bh, 73h, 7Bh].....	60
8.67. UART設定レジスタ4 (MCR) [Adr. 64h, 6Ch, 74h, 7Ch].....	61
8.68. UART設定レジスタ5 (LSR) [Adr. 65h, 6Dh, 75h, 7Dh].....	62
8.69. UART設定レジスタ6 (MSR) [Adr. 66h, 6Eh, 76h, 7Eh].....	63
8.70. UART設定レジスタ7 (SCR) [Adr. 67h, 6Fh, 77h, 7Fh].....	63
8.71. PWMコントロールレジスタ [Adr. 80h].....	64
8.72. PWM割り込みステータスレジスタ [Adr. 81h].....	65
8.73. PWM割り込みイネーブルレジスタ [Adr. 82h].....	65
8.74. PWM出力デューティ設定レジスタ0 [Adr. 84h].....	66
8.75. PWM出力デューティ設定レジスタ1 [Adr. 85h].....	66
8.76. PWM出力デューティ設定レジスタ2 [Adr. 86h].....	66
8.77. PWM出力回数設定レジスタ0 [Adr. 88h].....	67
8.78. PWM出力回数設定レジスタ1 [Adr. 89h].....	67
8.79. PWM出力回数設定レジスタ2 [Adr. 8Ah].....	67
8.80. 赤外線リモコンコントロールレジスタ [Adr. 90h].....	68
8.81. 赤外線リモコンノイズフィルタレジスタ [Adr. 91h].....	68
8.82. 赤外線リモコン割り込みステータスレジスタ [Adr. 92h].....	69
8.83. 赤外線リモコン割り込みイネーブルレジスタ [Adr. 93h].....	70
8.84. 赤外線リモコンHighワイズカウンタ__L [Adr. 94h].....	71
8.85. 赤外線リモコンHighワイズカウンタ__H [Adr. 95h].....	71
8.86. 赤外線リモコンLowワイズカウンタ__L [Adr. 96h].....	71
8.87. 赤外線リモコンLowワイズカウンタ__H [Adr. 97h].....	71
8.88. カウンタモードレジスタ0 [Adr. A0h].....	72
8.89. カウンタモードレジスタ1 [Adr. A1h].....	73
8.90. カウンタイネーブルレジスタ [Adr. A2h].....	74
8.91. カウンタラッチコマンドレジスタ [Adr. A3h].....	75
8.92. カウンタクリアコマンドレジスタ [Adr. A4h].....	77
8.93. カウンタロードコマンドレジスタ [Adr. A5h].....	78
8.94. カウンタZ相イネーブルレジスタ [Adr. A6h].....	79
8.95. カウンタ定周期自動ラッチイネーブルレジスタ [Adr. A7h].....	80
8.96. カウンタ割り込みイネーブルレジスタ0 [Adr. A8h].....	81
8.97. カウンタ割り込みイネーブルレジスタ1 [Adr. A9h].....	82
8.98. カウンタ割り込みイネーブルレジスタ2 [Adr. AAh].....	83
8.99. カウンタ割り込みイネーブルレジスタ3 [Adr. ABh].....	84
8.100. カウンタ周期レジスタ0__L [Adr. B0h].....	85
8.101. カウンタ周期レジスタ0__H [Adr. B1h].....	85
8.102. カウンタ周期レジスタ1__L [Adr. B2h].....	85

8.103. カウンタ周期レジスタ1__H[Adr. B3h]	86
8.104. カウンタ周期レジスタ2__L[Adr. B4h]	86
8.105. カウンタ周期レジスタ2__H[Adr. B5h]	86
8.106. カウンタ周期レジスタ3__L[Adr. B6h]	86
8.107. カウンタ周期レジスタ3__H[Adr. B7h]	87
8.108. カウンタ割り込みステータスレジスタ0[Adr. B8h]	88
8.109. カウンタ割り込みステータスレジスタ1[Adr. B9h]	89
8.110. カウンタ割り込みステータスレジスタ2[Adr. BAh]	90
8.111. カウンタ割り込みステータスレジスタ3[Adr. BBh]	91
8.112. カウンタロードデータレジスタ00[Adr. C0h]	92
8.113. カウンタロードデータレジスタ01[Adr. C1h]	92
8.114. カウンタロードデータレジスタ02[Adr. C2h]	92
8.115. カウンタロードデータレジスタ10[Adr. C4h]	93
8.116. カウンタロードデータレジスタ11[Adr. C5h]	93
8.117. カウンタロードデータレジスタ12[Adr. C6h]	93
8.118. カウンタロードデータレジスタ20[Adr. C8h]	94
8.119. カウンタロードデータレジスタ21[Adr. C9h]	94
8.120. カウンタロードデータレジスタ22[Adr. CAh]	94
8.121. カウンタロードデータレジスタ30[Adr. CCh]	95
8.122. カウンタロードデータレジスタ31[Adr. CDh]	95
8.123. カウンタロードデータレジスタ32[Adr. CEh]	95
8.124. カウンタラッチデータレジスタ00[Adr. D0h]	96
8.125. カウンタラッチデータレジスタ01[Adr. D1h]	96
8.126. カウンタラッチデータレジスタ02[Adr. D2h]	96
8.127. カウンタラッチデータレジスタ10[Adr. D4h]	97
8.128. カウンタラッチデータレジスタ11[Adr. D5h]	97
8.129. カウンタラッチデータレジスタ12[Adr. D6h]	97
8.130. カウンタラッチデータレジスタ20[Adr. D8h]	98
8.131. カウンタラッチデータレジスタ21[Adr. D9h]	98
8.132. カウンタラッチデータレジスタ22[Adr. DAh]	98
8.133. カウンタラッチデータレジスタ30[Adr. DCh]	99
8.134. カウンタラッチデータレジスタ31[Adr. DDh]	99
8.135. カウンタラッチデータレジスタ32[Adr. DEh]	99
9. 電気的特性	100
9.1. 絶対最大定格	100
9.2. 推奨動作条件	100
9.3. 直流特性	101
9.4. 交流特性	102
9.5. タイミングダイアグラム	104
9.5.1. クロック	104
9.5.2. リセット	104

9.5.3. ホストインタフェース.....	105
9.5.4. I2Cアクセス.....	106
9.5.5. SPIアクセス.....	108
9.5.6. UART.....	108
9.5.7. PWM.....	109
9.5.8. 赤外線リモコン.....	109
9.5.9. カウンタ.....	110
10. パッケージ形状.....	111
11. 端子配置.....	112
12. 改訂履歴.....	113

1. 概要

ZEN1752Fは、映像機器やFA機器等で利用頻度の高い機能を1チップにまとめたマイコン周辺拡張LSIです。搭載している機能は、汎用入出力、I²C マスタ、SPI、PWM出力、赤外線リモコン入力、UART及びパルスカウンタです。各ブロックを個別にスタンバイ・モードに移行させることが可能であるため、低消費電力システムを実現することができます。各ペリフェラルの多様な動作レート要求に柔軟に対応するため、各ブロックは2種類のクロックソースから動作クロックを選択することができます(ただし、汎用入出力及びUARTはSCLK専用)。

I²Cはフィリップス社の商標です。なお、本ドキュメントでは以降I2Cと表記します。

2. 特徴

CPU I/F	: 8bitパラレルインタフェース
汎用入出力ポートA	: Max40本(うち36本が他の信号と兼用)
ポートB	: 専用ポート4本(1本毎に入出力/割り込み設定が可能)
ポートC	: 兼用ポート12本(1本毎に入出力設定が可能)
ポートD	: 兼用ポート12本(1本毎に入出力設定が可能)
出力電流容量	: I _o = ± 4mA
スタンバイ・モード	: ブロックごとに動作クロックを停止可能
I2Cマスタ	: Max6ch(切り替えて使用) [SPIと端子共有]
SPI(4線式シリアル)	: Max3ch(切り替えて使用) [I2Cと端子共有]
UART	: Max4ch(独立)
PWM	: Max3ch(独立)
パルス幅精度	: 8bit
赤外線リモコン入力	: Max1ch
パルス幅精度	: 16bit
パルスカウンタ	: Max12ch(単相カウンタモード)、Max4ch(2相カウンタモード/パルス幅カウンタモード)
カウント精度	: 8bit(単相カウンタモード)、24bit(2相カウンタモード)、12bit(パルス幅カウンタモード)
パルス幅カウンタモード	: High / Lowのパルス幅をカウント
単相カウンタモード	: アップ信号
2相カウンタモード	: AB相/アップ・ダウン信号
システムクロック	: Max50MHz
ペリフェラルクロック	: Max25MHz(ただし、ペリフェラルクロックの周波数 システムクロックの周波数 / 2)
電源電圧	: 3.3V 単一(全入力5Vトレント)
パッケージ	: LQFP80ピン(12×12mm、0.5mmピッチ)

3. ブロック図

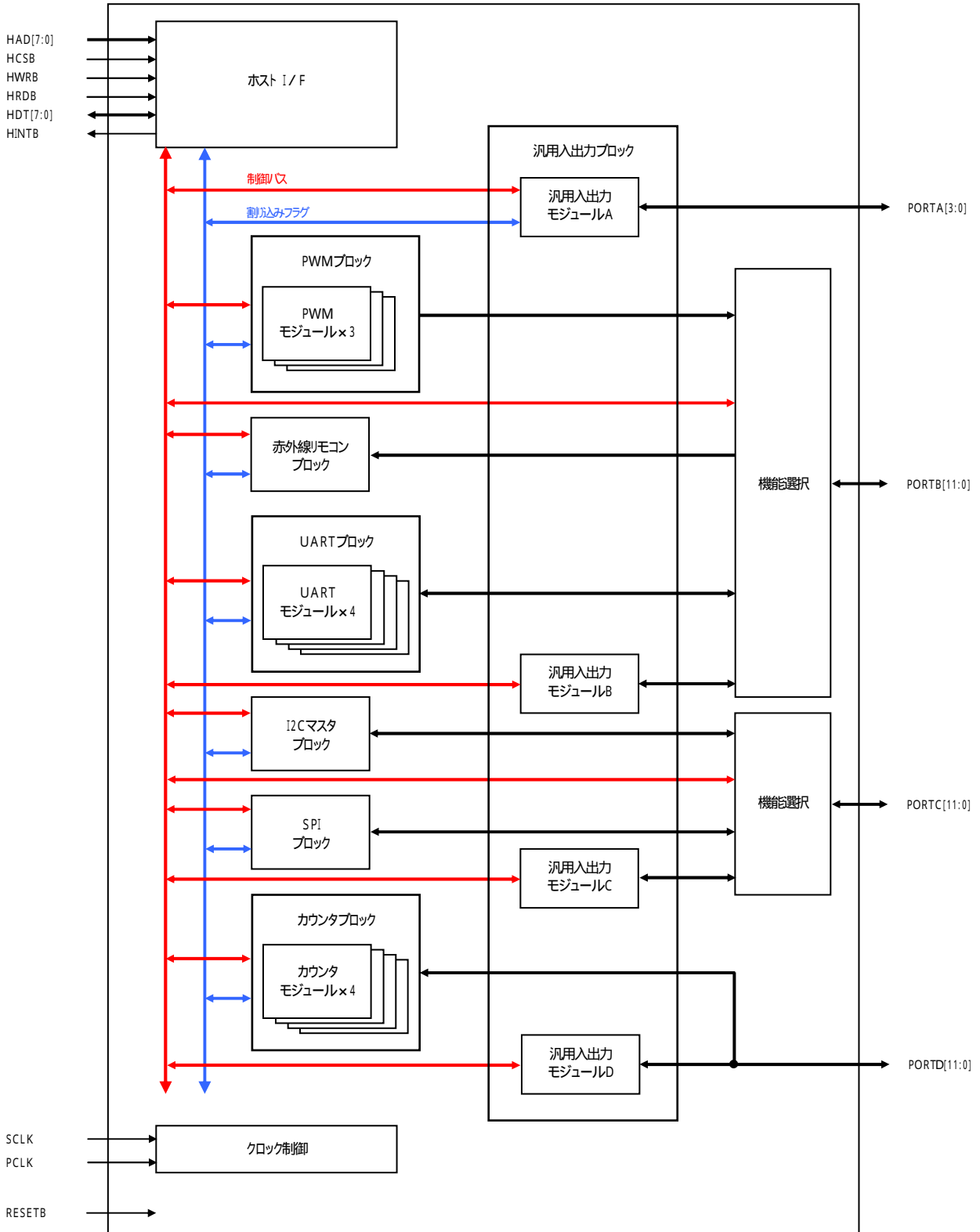


図1. ブロック図

4. 端子一覧

表1. 端子一覧表

ピン番号	記号	信号名	属性	機能
11	SCLK	System Clock	IN	システムクロック
51	PCLK	Peripheral Clock	IN	ペリフェラルクロック
32	RESETB	System Reset	IN ¹	システムリセット
72	HCSB	Host Chip Select	IN	チップセレクト
62	HWRB	Host Write	IN	ライトストロープ
65	HRDB	Host Read	IN	リードストロープ
13, 9, 53, 49~45	HAD[7:0]	Host Address Bus	IN	アドレスバス
76~74, 70, 60~57	HDT[7:0]	Host Data Bus	INOUT ¹	データバス
64	HINTB	Host Int Output	OUT	割り込み出力
8~7, 44~43	PORTA[3:0]	Port A	INOUT ¹	端子グループA(汎用入出力)
6~3, 69~66, 20~17	PORTB[11:0]	Port B	INOUT ¹	端子グループB(汎用入出力、PWM/IRRC/ UARTを選択)
1, 79~77, 41~38, 26~24, 22	PORTC[11:0]	Port C	INOUT ¹	端子グループC(汎用入出力、I2C、SPIを選択)
56~54, 37~35, 29~27, 16~14	PORTD[11:0]	Port D	INOUT ¹	端子グループD(汎用入出力、カウンタを選択)
34, 30	TESTB	Test	IN	テスト用端子 VDDレベルに固定してください
73, 33, 80, 61, 50, 21, 10	VDD	Power	-	電源(+3.3V)
63, 52, 42, 23, 12, 2, 71, 31	VSS	Ground	-	グランド(0V)

¹ これらの入力バッファはシュミットリガです。

5. ホストインタフェース

5.1. ホストアクセス

ホストから ZEN1752F へのアクセスは、HCSB、HWRB、HRDB、HAD[7:0]およびHDT[7:0]により ZEN1752F のレジスタにアクセスします。

表2. ホストアクセス

アクセス	HCSB	HWRB	HRDB	HAD[7:0]	HDT[7:0]
書き込み	0	0	1	アドレス	書き込みデータ
読み出し	0	1	0	アドレス	読み出しデータ
NOP	1	X	X	X	Hi - Z
禁止	0	0	0	X	不定

5.2. 割り込み

ZEN1752F の各ブロック / モジュールからの割り込み要求を HINTB 端子から出力します。

割り込みの解除は、各ブロック / モジュールの割り込み要因をクリアすることにより、解除されます。

HINTBは、Lowアクティブです。

1: 割り込み要求なし

0: 割り込み要求あり

6. 機能

6.1. 端子グループ

6.1.1. 端子グループ構成

ZEN1752F はグループA～グループDまで4つの端子グループがあり、各端子グループによって割り当てることができる機能が異なります。

各端子グループの初期状態(リセット後)はHi-Zになっていますので、リセット期間も含めてリセット後から端子グループの機能を設定するまでの期間に注意が必要です。必要に応じて、端子を抵抗でプルアップまたはプルダウンしてください。

表3. 端子グループ別機能構成

端子グループ	端子名	I/O	選択機能	端子記号	I/O	選択機能	端子記号	I/O	
グループA	PORTA[3]	I/O	-	-	-	-	-	-	
	PORTA[2]	I/O							
	PORTA[1]	I/O							
	PORTA[0]	I/O							
グループB	PORTB[11]	I/O	UART3	URT3_RX	I	-	-	-	
	PORTB[10]	I/O		URT3_TX	O				
	PORTB[9]	I/O	UART2	URT2_RX	I				
	PORTB[8]	I/O		URT2_TX	O				
	PORTB[7]	I/O	UART1	URT1_RX	I				
	PORTB[6]	I/O		URT1_TX	O				
	PORTB[5]	I/O	UART0	URT0_RX	I				
	PORTB[4]	I/O		URT0_TX	O				
	PORTB[3]	I/O	IRRC	IRRC	I				
	PORTB[2]	I/O	PWM2	PWM2	O				
	PORTB[1]	I/O	PWM1	PWM1	O				
	PORTB[0]	I/O	PWM0	PWM0	O				
グループC	PORTC[11]	I/O	SPI2	SPI_SCS	O	I2C5	I2C_SDA	I/O	
	PORTC[10]	I/O		SPI_SDO	O		I2C_SCL	O	
	PORTC[9]	I/O		SPI1	SPI_SDI	I	I2C4	I2C_SDA	I/O
	PORTC[8]	I/O			SPI_SCK	O		I2C_SCL	O
	PORTC[7]	I/O	SPI0	SPI_SCS	O	I2C3	I2C_SDA	I/O	
	PORTC[6]	I/O		SPI_SDO	O		I2C_SCL	O	
	PORTC[5]	I/O		I2C2	SPI_SDI	I	I2C_SDA	I/O	
	PORTC[4]	I/O			SPI_SCK	O	I2C_SCL	O	
	PORTC[3]	I/O	I2C1	SPI_SCS	O	I2C_SDA	I/O		
	PORTC[2]	I/O		SPI_SDO	O	I2C_SCL	O		
	PORTC[1]	I/O		I2C0	SPI_SDI	I	I2C_SDA	I/O	
	PORTC[0]	I/O			SPI_SCK	O	I2C_SCL	O	
グループD	PORTD[11]	I/O	CNT3	CNT3_Z	I	-	-	-	
	PORTD[10]	I/O		CNT3_B	I				
	PORTD[9]	I/O		CNT3_A	I				
	PORTD[8]	I/O	CNT2	CNT2_Z	I				
	PORTD[7]	I/O		CNT2_B	I				
	PORTD[6]	I/O		CNT2_A	I				
	PORTD[5]	I/O	CNT1	CNT1_Z	I				
	PORTD[4]	I/O		CNT1_B	I				
	PORTD[3]	I/O		CNT1_A	I				
	PORTD[2]	I/O	CNT0	CNT0_Z	I				
	PORTD[1]	I/O		CNT0_B	I				
	PORTD[0]	I/O		CNT0_A	I				

6.2. 汎用入出力

6.2.1. 汎用入出力モジュール

ZEN1752F はポートA～ポートDまで4つの汎用入出力モジュールを内蔵しており、それぞれが端子グループA～端子グループDに割り当てられています。

なお、ポートAの4本につきましては割り込み入力として使用することも可能です。

表4. 汎用入出力モジュール

汎用入出力モジュール信号名	入出力	信号数	備考
PORTA	入出力	4本	割り込み機能あり
PORTB	入出力	12本	PWM、IRRC、UARTと汎用入出力兼用
PORTC	入出力	12本	I2C、SPIと汎用入出力兼用
PORTD	入出力	12本	CNTと汎用入出力兼用

6.2.2. 入出力方向選択

機能選択により汎用入出力モジュールになっている端子の入出力方向をbit単位で設定することができます。

6.2.3. ポート割り込み

ポートAの端子が変化(立ち上がり、立ち下がり)すること(割り込み要因)により割り込み要求を発生させることができます。

割り込み要求はbit単位で有効/無効を設定することができ、割り込み要因である端子の変化の方向もbit単位で設定することが可能です。

ポートAのみの機能です。

6.3. I2C マスタ

6.3.1. I2C ブロック構成

ZEN1752F はI2Cブロック内に1つのI2Cマスタモジュールを内蔵し、6組のI2Cマスタポートを有しています。各I2Cマスタポートは同時には使用することはできません。レジスタ設定によって1ポートのみ有効になります。

マルチマスタバスとしては機能しませんので(アービトレーション不可、クロック同期認識不可)、他のマスタデバイスは接続できません。

表5. I2Cモジュール機能信号構成

I2Cモジュール信号名	入出力	信号数	備考
I2C__SCL	出力	1本	I2Cバス クロック
I2C__SDA	入出力	1本	I2Cバス データ

6.4. SPIマスタ

6.4.1. SPIブロック構成

ZEN1752F はSPIブロック内に1つのSPIマスタモジュールを内蔵し、3組のSPIマスタポートを有しています。各SPIマスタポートは同時には使用することはできません。レジスタ設定によって1ポートのみ有効になります。

表6. SPIモジュール機能信号構成

SPIモジュール信号名	入出力	信号数	備考
SPI_SCK	出力	1本	SPI シリアル転送クロック
SPI_SDI	入力	1本	SPI シリアル転送入力データ
SPI_SDO	出力	1本	SPI シリアル転送出力データ
SPI_SCS	出力	1本	SPI シリアル転送セレクト

6.4.2. 転送データ長

最長32bitまでの転送が一度に可能です。

6.4.3. 転送終了割り込み

1回の転送が終了した際に割り込み要求を発生させることができます。

6.4.4. セレクト信号アサート選択(オート/マニュアル)

有効になっているSPIポートのSPI_SCS信号を転送中自動的にアサートするか、レジスタによるマニュアルコントロールにするかを選択できます。

6.4.5. bitオーダー選択

シリアルデータの送受信に関して、MSBとLSBのどちらから先に出力するかを選択できます。

6.4.6. データの送受信タイミング選択

SPIシリアル転送クロックの立ち上がりまたは立ち下がりに同期して、データの送受信を行うことができます。タイミングは送信/受信個別に選択可能です。

6.4.7. セレクト信号論理選択

SPI_SCS信号の論理を正/負選択可能です。

6.4.8. SPIポートの切り替えについて

端子グループ機能選択レジスタにおいてSPIブロックが選択されている状態で、ポートアサインレジスタ(15h)のSPIPASにより選択されていないSPI端子出力は、Hi-Z状態になります。SPIのセレクト信号(SPI_SCS)の極性が異なるデバイス間で切替を行う場合、いったんポートアサインレジスタ(15h)に30hを書き込み、全SPIポートをHi-Z状態にすることにより、ポート切り替え時に意図せずSPIデバイスをアクティブ状態にすることが避けられます。ただし、SPIの端子は、接続するデバイスの仕様を考慮し適切にプルアップまたはプルダウンしてください。

6.5. UART

6.5.1. UARTブロック構成

ZEN1752FはUARTブロック内に4つのUARTモジュールを内蔵しています。
各UARTモジュールは、SCLKのみで動作します。PCLKでは動作しません。

表7. UARTモジュール機能信号構成

UARTモジュール信号名	入出力	信号数	備考
URT__TX	出力	1本	UART 送信データ
URT__RX	入力	1本	UART 受信データ

6.5.2. ループバック接続

各モジュール単体でのループバックとは別に、2つのUARTモジュール(0と1の接続:URT0__TX URT1__RX、URT1__TX URT0__RX、2と3の接続:URT2__TX URT3__RX、URT3__TX URT2__RX)を ZEN1752F 内でループバック接続することができます。

6.6. PWM

6.6.1. PWMブロック構成

ZEN1752FはPWMブロック内に3つのPWMモジュールを内蔵しています。
各PWMモジュールは、独立したクロックで動作します。

表8. PWMモジュール機能信号構成

PWMモジュール信号名	入出力	信号数	備考
PWM	出力	1本	PWM パルス出力データ

6.6.2. PWM分解能

PWMのパルス周期の分解能は8bitです。デューティ設定は動作中に変更可能です。

6.6.3. 送出回数選択

設定されたデューティ比のパルスを何回(PWMパルス周期回)送出するかを設定できます。
設定範囲は1~255及び連続です。

6.6.4. 出力完了割り込み(非連続出力時のみ)

出力が完了したタイミングで割り込み要求を発生させることが可能です。

6.6.5. 出力論理選択

PWM信号の出力論理を選択できます。

6.7. 赤外線リモコン

6.7.1. 赤外線リモコンブロック構成

ZEN1752F は赤外線リモコンブロック内に1つの赤外線リモコン受信モジュールを内蔵しています。このモジュールはプリスケアラ、High / Lowワイズカウンタ及びノイズフィルタから構成されます。

表9. 赤外線リモコンモジュール機能信号構成

赤外線リモコンモジュール信号名	入出力	信号数	備考
IRRC	入力	1本	IRリモコン 入力データ

6.7.2. ワイズカウンタbit長

Highワイズ、Lowワイズとも16bitのカウンタで入力信号のパルス幅をカウント可能です。

6.7.3. 入力変化割り込み

赤外線リモコン信号の入力変化ごとに割り込み要求を発生させることができます(ただし、有効な値がカウンタに格納されていない場合には自動的に割り込み要求をマスクします)。割り込み要因として、端子の立ち上がり / 立ち下がり検出を独立して設定可能です。

6.7.4. オーバーフロー検出割り込み

ワイズカウンタがオーバーフローした場合に割り込みを出すことができます。Highワイズ / Lowワイズ独立して設定可能です。なお、オーバーフローした場合ワイズカウンタの値は0hで保持されます。

6.7.5. ノイズフィルタ

赤外線リモコン信号のノイズを除去します。設定数以下のクロック幅のパルスは無視されます。Highパルス / Lowパルス独立して設定可能です。

6.8. カウンタ

6.8.1. カウンタブロック構成

ZEN1752F はカウンタブロック内に4つのカウンタモジュールを内蔵し、各モジュールはさらに3つの8bitのカウンタユニットから構成されます。単相カウンタモード時には各ユニットが独立して有効になり8bitのアップカウンタ3ch.、2相カウンタモード時には3ユニットまとめて24bitのアップダウンカウンタ1ch.、パルス幅カウンタモード時は3ユニットまとめて12bitのLowパルス幅及び12bitのHighパルス幅カウンタ1ch.として利用できます。

表 10. カウンタモジュール機能信号構成

CNTモジュール信号名	入出力	信号数	単相カウンタモード	2相カウンタモード	パルス幅カウンタモード
CNT_A	入力	1本	アップパルス	A相パルス / アップパルス	カウント対象信号 (Low / High幅)
CNT_B	入力	1本	アップパルス	B相パルス / ダウンパルス	未使用 (汎用入出力として使用可)
CNT_Z	入力	1本	アップパルス	Z相パルス / クリアパルス	未使用 (汎用入出力として使用可)

表 11. カウンタ構成

カウンタモジュール	カウンタユニット	単相カウンタモード	2相カウンタモード	パルス幅カウンタモード
カウンタモジュール0	カウンタユニット00	ch. 0	ch. 0 (下位byte)	ch. 0 (Lowパルス幅 [7:0])
	カウンタユニット01	ch. 1	ch. 0 (中位byte)	ch. 0 (Highパルス幅 [7:0])
	カウンタユニット02	ch. 2	ch. 0 (上位byte)	ch. 0 (Highパルス幅 [11:8] + Lowパルス幅 [11:8])
カウンタモジュール1	カウンタユニット10	ch. 3	ch. 1 (下位byte)	ch. 1 (Lowパルス幅 [7:0])
	カウンタユニット11	ch. 4	ch. 1 (中位byte)	ch. 1 (Highパルス幅 [7:0])
	カウンタユニット12	ch. 5	ch. 1 (上位byte)	ch. 1 (Highパルス幅 [11:8] + Lowパルス幅 [11:8])
カウンタモジュール2	カウンタユニット20	ch. 6	ch. 2 (下位byte)	ch. 2 (Lowパルス幅 [7:0])
	カウンタユニット21	ch. 7	ch. 2 (中位byte)	ch. 2 (Highパルス幅 [7:0])
	カウンタユニット22	ch. 8	ch. 2 (上位byte)	ch. 2 (Highパルス幅 [11:8] + Lowパルス幅 [11:8])
カウンタモジュール3	カウンタユニット30	ch. 9	ch. 3 (下位byte)	ch. 3 (Lowパルス幅 [7:0])
	カウンタユニット31	ch. 10	ch. 3 (中位byte)	ch. 3 (Highパルス幅 [7:0])
	カウンタユニット32	ch. 11	ch. 3 (上位byte)	ch. 3 (Highパルス幅 [11:8] + Lowパルス幅 [11:8])

6.8.2. カウンタモード

ZEN1752F は下表のようなカウンタモードに対応しています。

表 12. カウンタモード

カウンタモード	パルス入力形式	カウント逡倍	Z相クリア	カウンタ動作
単相	アップパルス	-	なし	CNT__A (B、Z) 入力の立ち上がりエッジでカウントします。
2相	アップダウンパルス	-	あり	CNT__A 入力及びCNT__B 入力の立ち上がりエッジでカウントします。
	A / B 相パルス	1逡倍	あり	CNT__A 入力のエッジ変化 (CNT__B 入力がある時のみ) でカウントします。
		4逡倍	あり	CNT__A 入力及びCNT__B 入力のエッジ変化でカウントします。
パルス幅	カウント対象信号	-	-	CNT__A の Low 幅および High 幅をカウントします。

6.8.3. Z相クリア

2相カウンタモードに設定されているカウンタモジュールはCNT__Z 入力の立ち上がりエッジで当該カウンタをクリアできます。本機能は有効 / 無効を設定できます。

6.8.4. カウンタイネーブル

カウント動作を停止 / 起動することができます。このイネーブル動作はカウンタモジュールごとに個別に可能ですが、単相カウンタモードに設定されている場合、1つのモジュール内の3ch. の単相カウンタは同時に停止 / 起動されます。なお、カウント動作の停止 / 起動にかかわらず、カウンタラッチ、カウンタクリア及び初期値ロードは常に可能です。

6.8.5. カウンタラッチ

カウンタ値を24bit一括してラッチレジスタに格納できます。読み出し中にカウンタ値が変動するのを防ぐため、まずラッチコマンドを実行しカウンタ値をラッチデータレジスタに取り込んでから読み取ります。このラッチ動作はカウンタモジュールごとに個別に可能ですが、単相カウンタモードに設定されている場合、1つのモジュール内の3ch. の単相カウンタは同時にラッチされます。なお、定周期自動ラッチ及びパルス幅カウンタモード時は所定のタイミングで自動的にラッチされますので、読み出しの際に事前にカウンタラッチコマンドを実行する必要はありません。

6.8.6. カウンタクリア

カウンタ値をクリアすることができます。このクリア動作はカウンタモジュールごとに個別に可能ですが、単相カウンタモードに設定されている場合、1つのモジュール内の3ch.の単相カウンタは同時に0hにクリアされます。また、パルス幅カウンタモードの場合、Highパルス幅カウンタ及びLowパルス幅カウンタの両方とも同時にクリアされます。

なお、定周期自動ラッチ機能がイネーブルになっている場合は、カウンタと共に定周期用カウンタも同時にクリアします。この機能により、最初の周期におけるカウンタ値から正確な値を取得することが可能になります。

6.8.7. 初期値ロード

事前にロードデータレジスタに書き込んでおいた24bitの初期値を一括してカウンタにロードできます。このロード動作はカウンタモジュールごとに個別に可能ですが、単相カウンタモードに設定されている場合、1つのモジュール内の3ch.の単相カウンタは同時に初期値ロードされます。なお、パルス幅カウンタモード時も、同時に3つのユニットにロードされますのでご注意ください。

6.8.8. 定周期自動ラッチ

各カウンタモジュールについて、あらかじめ設定した周期ごとに入力されたパルスの数をカウンタ値として読み出すことができます。この周期はカウンタ周期設定レジスタによって設定されたクロック数(256 ~ 16776960:256の倍数)で決定されます。この周期毎にカウンタ値をラッチレジスタに格納します。このときカウンタはリセットされ、その後自動的にカウントを再開します。リセット時にアップ(またはダウン)しなければならない場合、カウンタ値は1h(またはFFh[単相カウンタモード]、FFFFFFh[2相カウンタモード])にセットされます。また、本設定が有効なとき、カウンタ値がラッチレジスタに格納される毎に割り込み要求を発生させることも可能です。

6.8.9. エッジ検出(パルス幅カウンタモード時のみ)

パルス幅カウンタモードに設定されているカウンタモジュールについては、立ち上がり及び立ち下がりエッジの入力を検出した場合に割り込み要求を発生させることが可能です(立ち上がりと立ち下がりとは個別に設定できます)。なお、このエッジ検出動作はカウンタモジュールが停止状態のときも有効です。

6.8.10. オーバーフロー検出(パルス幅カウンタモード及び単相カウンタモード時のみ)

単相カウンタモードに設定されているカウンタモジュールについては、いずれかのカウンタユニットのカウンタ値がオーバーフローした場合に割り込み要求を発生させることが可能です。ただし、割り込み要求の有効/無効はカウンタモジュールごとの設定となります(カウンタユニットごとに独立した設定はできません)。なお、カウンタ値がオーバーフローした場合、単相カウンタモード時はカウント動作は継続し、パルス幅カウンタモード時は0hが保持されます(ただし、次の立ち上がりないし立ち下がりエッジが入力されるとカウント動作を再開します)。

6.8.1.1. 異常入力検出

ZEN1752F はAB相入力が正常な位相遷移状態を行っているかどうかを検出する機能を有しています。この機能は2相カウンタモード(AB相入力)のときのみ有効です。また異常入力検出時には、カウンタ値の信頼性は失われます。例えば、下図で示すような異常な遷移状態が起こると異常入力ステータスレジスタの値が“1”となり異常入力(AI)フラグが発生します。この異常な遷移状態の原因には次のようなことが考えられます。

- (1) AB相入力A、Bの周波数が、システムクロック周波数の1/4を超えたために、正確に位相遷移状態をクロックでサンプリングできなくなった場合
- (2) ラインノイズが混入し、入力パルス変化として観測され異常な遷移状態と判断した場合

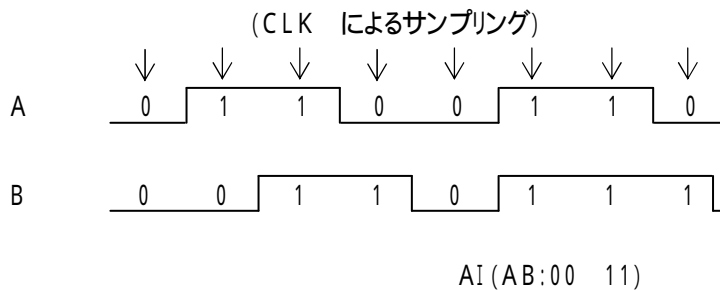


図2. AB相入力の異常検出例

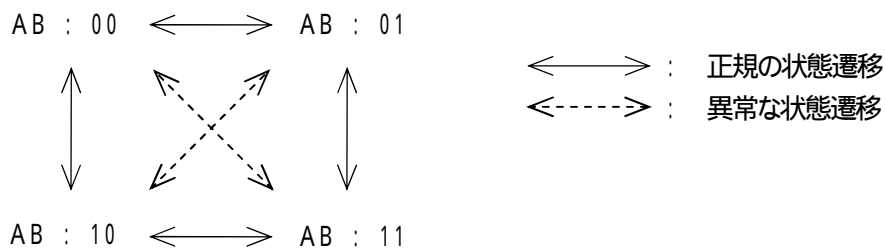


図3. AB相入力の状態遷移例

7. レジスタ一覧

7.1. アドレスマップ

表13～17に ZEN1752F のアドレスマッピングを示します。各レジスタの詳細は8章を参照してください。

表 13. アドレスマッピング(その1)

アドレス(h)	名称	リセット値	R / W
00	システムリセットレジスタ	00h	R / W
01	ブロックリセットレジスタ0	00h	R / W
02	ブロックリセットレジスタ1	00h	R / W
03	クロックコントロールレジスタ0	00h	R / W
04	クロックコントロールレジスタ1	00h	R / W
05	クロックコントロールレジスタ2	00h	R / W
06	クロックコントロールレジスタ3	00h	R / W
07	クロックコントロールレジスタ4	00h	R / W
08	クロックコントロールレジスタ5	00h	R / W
09	クロックコントロールレジスタ6	00h	R / W
0A	クロックコントロールレジスタ7	00h	R / W
0B	クロックコントロールレジスタ8	00h	R / W
0C	クロックコントロールレジスタ9	00h	R / W
0D	割り込みステータスレジスタ0	00h	R
0E	割り込みステータスレジスタ1	00h	R
0F	割り込みイネーブルレジスタ0	00h	R / W
10	割り込みイネーブルレジスタ1	00h	R / W
11	端子グループB端子機能選択レジスタ	00h	R / W
12	端子グループC端子機能選択レジスタ	00h	R / W
13	ブロックスタンバイレジスタ0	00h	R / W
14	ブロックスタンバイレジスタ1	00h	R / W
15	ポートアサインレジスタ	30h	R / W
16	UARTループバックレジスタ	00h	R / W
17～1F	予約	-	-

表 14. アドレスマッピング(その2)

アドレス(h)	名称	リセット値	R / W
20	ポートA方向設定レジスタ	0Fh	R / W
21	ポートAデータレジスタ	00h	R / W
22	ポートA割り込みステータスレジスタ	00h	R / W
23	ポートA割り込みイネーブルレジスタ	00h	R / W
24	ポートA割り込みエッジ選択レジスタ	00h	R / W
25	ポートB方向設定レジスタ__L	FFh	R / W
26	ポートB方向設定レジスタ__H	0Fh	R / W
27	ポートBデータレジスタ__L	00h	R / W
28	ポートBデータレジスタ__H	00h	R / W
29	ポートC方向設定レジスタ__L	FFh	R / W
2A	ポートC方向設定レジスタ__H	0Fh	R / W
2B	ポートCデータレジスタ__L	00h	R / W
2C	ポートCデータレジスタ__H	00h	R / W
2D	ポートD方向設定レジスタ__L	FFh	R / W
2E	ポートD方向設定レジスタ__H	0Fh	R / W
2F	ポートDデータレジスタ__L	00h	R / W
30	ポートDデータレジスタ__H	00h	R / W
31 ~ 3F	予約	-	-
40	I2Cプリスケールレジスタ__L	01h	R / W
41	I2Cプリスケールレジスタ__H	00h	R / W
42	I2C割り込みイネーブルレジスタ	00h	R / W
43	I2C割り込みステータスレジスタ	00h	R / W
44	I2C送信データレジスタ	00h	R / W
45	I2C受信データレジスタ	00h	R
46	I2Cコマンドレジスタ	00h	R / W
47	I2Cステータスレジスタ	00h	R
48 ~ 4F	予約	-	-
50	SPIコントロールレジスタ	00h	R / W
51	SPI転送スタートレジスタ	00h	R / W
52	SPI転送bit長レジスタ	00h	R / W
53	SPI割り込みステータスレジスタ	00h	R / W
54	SPI割り込みイネーブルレジスタ	00h	R / W
55	SPI出力データレジスタ0 [7:0]	00h	R / W
56	SPI出力データレジスタ1 [15:8]	00h	R / W
57	SPI出力データレジスタ2 [23:16]	00h	R / W
58	SPI出力データレジスタ3 [31:24]	00h	R / W
59	SPI入力データレジスタ0 [7:0]	00h	R
5A	SPI入力データレジスタ1 [15:8]	00h	R
5B	SPI入力データレジスタ2 [23:16]	00h	R
5C	SPI入力データレジスタ3 [31:24]	00h	R
5D	SPIセレクト信号アサート制御レジスタ	00h	R / W
5E ~ 5F	予約	-	-

表 15. アドレスマッピング(その3)

アドレス(h)	名称	リセット値	R/W
60	UART設定レジスタ0(for UARTモジュール0)	00h	R/W
61	UART設定レジスタ1(for UARTモジュール0)	00h	R/W
62	UART設定レジスタ2(for UARTモジュール0)	00h	R/W
63	UART設定レジスタ3(for UARTモジュール0)	00h	R/W
64	UART設定レジスタ4(for UARTモジュール0)	00h	R/W
65	UART設定レジスタ5(for UARTモジュール0)	60h	R/W
66	UART設定レジスタ6(for UARTモジュール0)	FBh	R/W
67	UART設定レジスタ7(for UARTモジュール0)	00h	R/W
68	UART設定レジスタ0(for UARTモジュール1)	00h	R/W
69	UART設定レジスタ1(for UARTモジュール1)	00h	R/W
6A	UART設定レジスタ2(for UARTモジュール1)	00h	R/W
6B	UART設定レジスタ3(for UARTモジュール1)	00h	R/W
6C	UART設定レジスタ4(for UARTモジュール1)	00h	R/W
6D	UART設定レジスタ5(for UARTモジュール1)	60h	R/W
6E	UART設定レジスタ6(for UARTモジュール1)	FBh	R/W
6F	UART設定レジスタ7(for UARTモジュール1)	00h	R/W
70	UART設定レジスタ0(for UARTモジュール2)	00h	R/W
71	UART設定レジスタ1(for UARTモジュール2)	00h	R/W
72	UART設定レジスタ2(for UARTモジュール2)	00h	R/W
73	UART設定レジスタ3(for UARTモジュール2)	00h	R/W
74	UART設定レジスタ4(for UARTモジュール2)	00h	R/W
75	UART設定レジスタ5(for UARTモジュール2)	60h	R/W
76	UART設定レジスタ6(for UARTモジュール2)	FBh	R/W
77	UART設定レジスタ7(for UARTモジュール2)	00h	R/W
78	UART設定レジスタ0(for UARTモジュール3)	00h	R/W
79	UART設定レジスタ1(for UARTモジュール3)	00h	R/W
7A	UART設定レジスタ2(for UARTモジュール3)	00h	R/W
7B	UART設定レジスタ3(for UARTモジュール3)	00h	R/W
7C	UART設定レジスタ4(for UARTモジュール3)	00h	R/W
7D	UART設定レジスタ5(for UARTモジュール3)	60h	R/W
7E	UART設定レジスタ6(for UARTモジュール3)	FBh	R/W
7F	UART設定レジスタ7(for UARTモジュール3)	00h	R/W
80	PWMコントロールレジスタ	00h	R/W
81	PWM割り込みステータスレジスタ	00h	R/W
82	PWM割り込みイネーブルレジスタ	00h	R/W
83	予約	-	-
84	PWM出力デューティ設定レジスタ0	00h	R/W
85	PWM出力デューティ設定レジスタ1	00h	R/W
86	PWM出力デューティ設定レジスタ2	00h	R/W
87	予約	-	-
88	PWM出力回数設定レジスタ0	00h	R/W
89	PWM出力回数設定レジスタ1	00h	R/W
8A	PWM出力回数設定レジスタ2	00h	R/W
8B~8F	予約	-	-

表 16. アドレスマッピング(その4)

アドレス(h)	名称	リセット値	R/W
90	赤外線リモコンコントロールレジスタ	00h	R/W
91	赤外線リモコンノイズフィルタレジスタ	00h	R/W
92	赤外線リモコン割り込みステータスレジスタ	00h	R/W
93	赤外線リモコン割り込みイネーブルレジスタ	00h	R/W
94	赤外線リモコンHighワイズカウンタ__L	00h	R
95	赤外線リモコンHighワイズカウンタ__H	00h	R
96	赤外線リモコンLowワイズカウンタ__L	00h	R
97	赤外線リモコンLowワイズカウンタ__H	00h	R
98~9F	予約	-	-
A0	カウンタモードレジスタ0	00h	R/W
A1	カウンタモードレジスタ1	00h	R/W
A2	カウンタイネーブルレジスタ	00h	R/W
A3	カウンタラッチコマンドレジスタ	00h	R/W
A4	カウンタクリアコマンドレジスタ	00h	R/W
A5	カウンタロードコマンドレジスタ	00h	R/W
A6	カウンタZ相イネーブルレジスタ	00h	R/W
A7	カウンタ定周期自動ラッチイネーブルレジスタ	00h	R/W
A8	カウンタ割り込みイネーブルレジスタ0	00h	R/W
A9	カウンタ割り込みイネーブルレジスタ1	00h	R/W
AA	カウンタ割り込みイネーブルレジスタ2	00h	R/W
AB	カウンタ割り込みイネーブルレジスタ3	00h	R/W
AC~AF	予約	-	-
B0	カウンタ周期設定レジスタ0__L	01h	R/W
B1	カウンタ周期設定レジスタ0__H	00h	R/W
B2	カウンタ周期設定レジスタ1__L	01h	R/W
B3	カウンタ周期設定レジスタ1__H	00h	R/W
B4	カウンタ周期設定レジスタ2__L	01h	R/W
B5	カウンタ周期設定レジスタ2__H	00h	R/W
B6	カウンタ周期設定レジスタ3__L	01h	R/W
B7	カウンタ周期設定レジスタ3__H	00h	R/W
B8	カウンタ割り込みステータスレジスタ0	00h	R/W
B9	カウンタ割り込みステータスレジスタ1	00h	R/W
BA	カウンタ割り込みステータスレジスタ2	00h	R/W
BB	カウンタ割り込みステータスレジスタ3	00h	R/W
BC~BF	予約	-	-
C0	カウンタロードデータレジスタ00	00h	R/W
C1	カウンタロードデータレジスタ01	00h	R/W
C2	カウンタロードデータレジスタ02	00h	R/W
C3	予約	-	-
C4	カウンタロードデータレジスタ10	00h	R/W
C5	カウンタロードデータレジスタ11	00h	R/W
C6	カウンタロードデータレジスタ12	00h	R/W
C7	予約	-	-

表 17. アドレスマッピング(その5)

アドレス(h)	名称	リセット値	R/W
C8	カウンタロードデータレジスタ20	00h	R/W
C9	カウンタロードデータレジスタ21	00h	R/W
CA	カウンタロードデータレジスタ22	00h	R/W
CB	予約	-	-
CC	カウンタロードデータレジスタ30	00h	R/W
CD	カウンタロードデータレジスタ31	00h	R/W
CE	カウンタロードデータレジスタ32	00h	R/W
CF	予約	-	-
D0	カウンタラッチデータレジスタ00	00h	R
D1	カウンタラッチデータレジスタ01	00h	R
D2	カウンタラッチデータレジスタ02	00h	R
D3	予約	-	-
D4	カウンタラッチデータレジスタ10	00h	R
D5	カウンタラッチデータレジスタ11	00h	R
D6	カウンタラッチデータレジスタ12	00h	R
D7	予約	-	-
D8	カウンタラッチデータレジスタ20	00h	R
D9	カウンタラッチデータレジスタ21	00h	R
DA	カウンタラッチデータレジスタ22	00h	R
DB	予約	-	-
DC	カウンタラッチデータレジスタ30	00h	R
DD	カウンタラッチデータレジスタ31	00h	R
DE	カウンタラッチデータレジスタ32	00h	R
DF	予約	-	-
E0~FF	予約	-	-

8. レジスタ説明

8.1. システムリセットレジスタ[Adr. 00h]

本レジスタ以外の全レジスタ値が、リセット値に初期化されます。
自動では“0”に復帰しません。

表 18. システムリセットレジスタ

bit	名称	機能	リセット値	R	W
7:1	予約		0000000		×
0	SRESET	全レジスタ値の初期化を行います。 1:リセット 0:通常	0		

8.2. ブロックリセットレジスタ0[Adr. 01h]

各ファンクションブロック及びモジュールをリセットします(当該ブロック及びモジュールに関連するレジスタもリセットされます)。
なお、SPIRESではペリフェラルポートセレクトレジスタ[Adr. 15h]のbit[5:4]もリセットされますのでご注意ください。
自動では“0”に復帰しません。

表 19. ブロックリセットレジスタ0

bit	名称	機能	リセット値	R	W
7	URT3RES	UARTモジュール3の初期化を行います。 1:リセット 0:通常	0		
6	URT2RES	UARTモジュール2の初期化を行います。 1:リセット 0:通常	0		
5	URT1RES	UARTモジュール1の初期化を行います。 1:リセット 0:通常	0		
4	URT0RES	UARTモジュール0の初期化を行います。 1:リセット 0:通常	0		
3:2	予約		00		×
1	SPIRES	SPIブロックの初期化を行います。 1:リセット 0:通常	0		
0	I2CRES	I2Cブロックの初期化を行います。 1:リセット 0:通常	0		

8.3. ブロックリセットレジスタ1 [Adr. 02h]

各ファンクションブロック及びモジュールをリセットします(当該ブロック及びモジュールに関連するレジスタもリセットされま
す)。

自動では“0”に復帰しません。

表20. ブロックリセットレジスタ1

bit	名称	機能	リセット値	R	W
7	CNT3RES	カウンタモジュール3の初期化を行います。 1:リセット 0:通常	0		
6	CNT2RES	カウンタモジュール2の初期化を行います。 1:リセット 0:通常	0		
5	CNT1RES	カウンタモジュール1の初期化を行います。 1:リセット 0:通常	0		
4	CNT0RES	カウンタモジュール0の初期化を行います。 1:リセット 0:通常	0		
3	IRRCRES	赤外線リモコンブロックの初期化を行います。 1:リセット 0:通常	0		
2	PWM2RES	PWMモジュール2の初期化を行います。 1:リセット 0:通常	0		
1	PWM1RES	PWMモジュール1の初期化を行います。 1:リセット 0:通常	0		
0	PWM0RES	PWMモジュール0の初期化を行います。 1:リセット 0:通常	0		

8.4. クロックコントロールレジスタ0 [Adr. 03h]

I2Cブロックのクロックを選択します。I2Cブロックの転送レートを調整するための分周設定はI2Cプリスケールレジスタ[Adr. 40h / 41h]で決定します。

表21. クロックコントロールレジスタ0

bit	名称	機能	リセット値	R	W
7	I2CCLKSEL	I2Cブロックに供給するクロックを選択します。 1:PCLK 0:SCLK	0		
6:0	予約		0000000		×

8.5. クロックコントロールレジスタ1 [Adr. 04h]

SPIブロックのクロックの設定を行います。

表22. クロックコントロールレジスタ1

bit	名称	機能	リセット値	R	W
7	SPICLKSEL	SPIモジュールのクロックの原振を選択します。 1:PCLK 0:SCLK	0		
6:3	予約		0000		×
2:0	SPICLKDIV	SPIモジュールに供給するクロックの分周設定をします。 111:1 / 128 110:1 / 64 101:1 / 32 100:1 / 16 011:1 / 8 010:1 / 4 001:1 / 2 000:スルー (分周なし)	000		

8.6. クロックコントロールレジスタ2 [Adr. 05h]

PWMモジュール0のクロックの設定を行います。

表 23. クロックコントロールレジスタ2

bit	名称	機能	リセット値	R	W
7	PWM0CLKSEL	PWMモジュール0の原振を選択します。 1:PCLK 0:SCLK	0		
6:4	予約		000		x
3:0	PWM0CLKDIV	PWMモジュール0に供給するクロックの分周設定をします。 1111:予約 1110:1 / 16384 1101:1 / 8192 1100:1 / 4096 1011:1 / 2048 1010:1 / 1024 1001:1 / 512 1000:1 / 256 0111:1 / 128 0110:1 / 64 0101:1 / 32 0100:1 / 16 0011:1 / 8 0010:1 / 4 0001:1 / 2 0000:スルー (分周なし)	0000		

8.7. クロックコントロールレジスタ3 [Adr. 06h]

PWMモジュール1のクロックの設定を行います。

表 24. クロックコントロールレジスタ3

bit	名称	機能	リセット値	R	W
7	PWM1CLKSEL	PWMモジュール1の原振を選択します。 1:PCLK 0:SCLK	0		
6:4	予約		000		×
3:0	PWM1CLKDIV	PWMモジュール1に供給するクロックの分周設定をします。 1111:予約 1110:1 / 16384 1101:1 / 8192 1100:1 / 4096 1011:1 / 2048 1010:1 / 1024 1001:1 / 512 1000:1 / 256 0111:1 / 128 0110:1 / 64 0101:1 / 32 0100:1 / 16 0011:1 / 8 0010:1 / 4 0001:1 / 2 0000:スルー (分周なし)	0000		

8.8. クロックコントロールレジスタ4 [Adr. 07h]

PWMモジュール2のクロックの設定を行います。

表 25. クロックコントロールレジスタ4

bit	名称	機能	リセット値	R	W
7	PWM2CLKSEL	PWMモジュール2の原振を選択します。 1:PCLK 0:SCLK	0		
6:4	予約		000		×
3:0	PWM2CLKDIV	PWMモジュール2に供給するクロックの分周設定をします。 1111:予約 1110:1 / 16384 1101:1 / 8192 1100:1 / 4096 1011:1 / 2048 1010:1 / 1024 1001:1 / 512 1000:1 / 256 0111:1 / 128 0110:1 / 64 0101:1 / 32 0100:1 / 16 0011:1 / 8 0010:1 / 4 0001:1 / 2 0000:スルー(分周なし)	0000		

8.9. クロックコントロールレジスタ5 [Adr. 08h]

赤外線リモコンブロックのクロックの設定を行います。

表 26. クロックコントロールレジスタ5

bit	名称	機能	リセット値	R	W
7	IRRCCLKSEL	赤外線リモコンブロックの原振を選択します。 1:PCLK 0:SCLK	0		
6:3	予約		0000		×
2:0	IRRCCLKDIV	赤外線リモコンブロックに供給するクロックの分周設定をします。 111:1 / 128 110:1 / 64 101:1 / 32 100:1 / 16 011:1 / 8 010:1 / 4 001:1 / 2 000:スルー(分周なし)	000		

8.10. クロックコントロールレジスタ6 [Adr. 09h]

カウンタモジュール0のクロックの設定を行います。

表 27. クロックコントロールレジスタ6

bit	名称	機能	リセット値	R	W
7	CNT0CLKSEL	カウンタモジュール0の原振を選択します。 1:PCLK 0:SCLK	0		
6:4	予約		000		x
3:0	CNT0CLKDIV	カウンタモジュール0に供給するクロックの分周設定をします。 1100~1111:設定禁止 1011:1/2048 1010:1/1024 1001:1/512 1000:1/256 0111:1/128 0110:1/64 0101:1/32 0100:1/16 0011:1/8 0010:1/4 0001:1/2 0000:スルー(分周なし)	0000		

8.11. クロックコントロールレジスタ7 [Adr. 0Ah]

カウンタモジュール1のクロックの設定を行います。

表 28. クロックコントロールレジスタ7

bit	名称	機能	リセット値	R	W
7	CNT1CLKSEL	カウンタモジュール1の原振を選択します。 1:PCLK 0:SCLK	0		
6:4	予約		000		×
3:0	CNT1CLKDIV	カウンタモジュール1に供給するクロックの分周設定をします。 1100~1111:設定禁止 1011:1/2048 1010:1/1024 1001:1/512 1000:1/256 0111:1/128 0110:1/64 0101:1/32 0100:1/16 0011:1/8 0010:1/4 0001:1/2 0000:スルー(分周なし)	0000		

8.12. クロックコントロールレジスタ8 [Adr. 0Bh]

カウンタモジュール2のクロックの設定を行います。

表 29. クロックコントロールレジスタ8

bit	名称	機能	リセット値	R	W
7	CNT2CLKSEL	カウンタモジュール2の原振を選択します。 1:PCLK 0:SCLK	0		
6:4	予約		000		x
3:0	CNT2CLKDIV	カウンタモジュール2に供給するクロックの分周設定をします。 1100~1111:設定禁止 1011:1/2048 1010:1/1024 1001:1/512 1000:1/256 0111:1/128 0110:1/64 0101:1/32 0100:1/16 0011:1/8 0010:1/4 0001:1/2 0000:スルー(分周なし)	0000		

8.13. クロックコントロールレジスタ9 [Adr. 0Ch]

カウンタモジュール3のクロックの設定を行います。

表 30. クロックコントロールレジスタ9

bit	名称	機能	リセット値	R	W
7	CNT3CLKSEL	カウンタモジュール3の原振を選択します。 1:PCLK 0:SCLK	0		
6:4	予約		000		×
3:0	CNT3CLKDIV	カウンタモジュール3に供給するクロックの分周設定をします。 1100~1111:設定禁止 1011:1/2048 1010:1/1024 1001:1/512 1000:1/256 0111:1/128 0110:1/64 0101:1/32 0100:1/16 0011:1/8 0010:1/4 0001:1/2 0000:スルー(分周なし)	0000		

8.1.4. 割り込みステータスレジスタ0 [Adr. 0 Dh]

各ブロックからの割り込み要求の有無を読み出すことができます。

各ブロック内の詳細な割り込み要因は該当ブロックの割り込みステータスレジスタを読み出してください。

表 31. 割り込みステータスレジスタ0

bit	名称	機能	リセット値	R	W
7:5	予約		000		×
4	INTS__IRRC	赤外線リモコンブロックからの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
3	INTS__PWM	PWMブロックからの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
2	INTS__SPI	SPIブロックからの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
1	INTS__I2C	I2Cブロックからの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
0	INTS__PA	ポートA [3:0]からの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×

8.15. 割り込みステータスレジスタ1 [Adr. 0Eh]

各ブロックからの割り込み要求の有無を読み出すことができます。

各ブロック内の詳細な割り込み要求は各ブロックの割り込みステータスレジスタを読み出してください。

表 32. 割り込みステータスレジスタ1

bit	名称	機能	リセット値	R	W
7	INTS_CNT3	カウンタモジュール3からの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
6	INTS_CNT2	カウンタモジュール2からの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
5	INTS_CNT1	カウンタモジュール1からの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
4	INTS_CNT0	カウンタモジュール0からの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
3	INTS_URT3	UARTモジュール3からの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
2	INTS_URT2	UARTモジュール2からの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
1	INTS_URT1	UARTモジュール1からの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×
0	INTS_URT0	UARTモジュール0からの割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		×

8.1.6. 割り込みイネーブルレジスタ0 [Adr. 0Fh]

各ブロックからHINTBへの割り込み出力要求を許可します。

表 33. 割り込みイネーブルレジスタ0

bit	名称	機能	リセット値	R	W
7:5	予約		000		x
4	INTEN_IRRC	赤外線リモコンブロックからの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
3	INTEN_PWM	PWMブロックからの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
2	INTEN_SPI	SPIブロックからの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
1	INTEN_I2C	I2Cブロックからの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
0	INTEN_PA	ポートA[3:0]からの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		

8.17. 割り込みイネーブルレジスタ1 [Adr. 10h]

各ブロックからHINTBへの割り込み出力要求を許可します。

表 34. 割り込みイネーブルレジスタ1

bit	名称	機能	リセット値	R	W
7	INTEN_CNT3	カウンタモジュール3からの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
6	INTEN_CNT2	カウンタモジュール2からの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
5	INTEN_CNT1	カウンタモジュール1からの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
4	INTEN_CNT0	カウンタモジュール0からの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
3	INTEN_URT3	UARTモジュール3からの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
2	INTEN_URT2	UARTモジュール2からの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
1	INTEN_URT1	UARTモジュール1からの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
0	INTEN_URT0	UARTモジュール0からの割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		

8.18. 端子グループB機能選択レジスタ[Adr. 11h]

端子グループBの機能を選択します。

表 35. 端子グループB機能選択レジスタ

bit	名称	機能	リセット値	R	W
7	GBPF7	端子グループB[11:10]に割り当てる機能を選択します。 1:UARTモジュール3(URT3_RX、URT3_TX) 0:ポートB[11:10]	0		
6	GBPF6	端子グループB[9:8]に割り当てる機能を選択します。 1:UARTモジュール2(URT2_RX、URT2_TX) 0:ポートB[9:8]	0		
5	GBPF5	端子グループB[7:6]に割り当てる機能を選択します。 1:UARTモジュール1(URT1_RX、URT1_TX) 0:ポートB[7:6]	0		
4	GBPF4	端子グループB[5:4]に割り当てる機能を選択します。 1:UARTモジュール0(URT0_RX、URT0_TX) 0:ポートB[5:4]	0		
3	GBPF3	端子グループB[3]に割り当てる機能を選択します。 1:赤外線リモコンモジュール 0:ポートB[3]	0		
2	GBPF2	端子グループB[2]に割り当てる機能を選択します。 1:PWMモジュール2 0:ポートB[2]	0		
1	GBPF1	端子グループB[1]に割り当てる機能を選択します。 1:PWMモジュール1 0:ポートB[1]	0		
0	GBPF0	端子グループB[0]に割り当てる機能を選択します。 1:PWMモジュール0 0:ポートB[0]	0		

8.1.9. 端子グループC機能選択レジスタ[Adr. 12h]

端子グループCの機能を選択します。

表 36. 端子グループC機能選択レジスタ

bit	名称	機能	リセット値	R	W
7:6	予約		0000		x
5:4	GCPF2	端子グループC[11:8]に割り当てる機能を選択します。 11:I2Cポート5&4(I2C__SDA、I2C__SCL) 10:SPIポート2(SPI__SCS、SPI__SDO、 SPI__SDI、SPI__SCK) 01:予約 00:ポートC[11:8]	00		
3:2	GCPF1	端子グループC[7:4]に割り当てる機能を選択します。 11:I2Cポート3&2(I2C__SDA、I2C__SCL) 10:SPIポート1(SPI__SCS、SPI__SDO、 SPI__SDI、SPI__SCK) 01:予約 00:ポートC[7:4]	00		
1:0	GCPF0	端子グループC[3:0]に割り当てる機能を選択します。 11:I2Cポート1&0(I2C__SDA、I2C__SCL) 10:SPIポート0(SPI__SCS、SPI__SDO、 SPI__SDI、SPI__SCK) 01:予約 00:ポートC[3:0]	00		

8.20. ブロックスタンバイレジスタ0 [Adr. 13h]

各ブロック(I2C、SPI、UART)のクロック供給を有効にします。

表 37. ブロックスタンバイレジスタ0

bit	名称	機能	リセット値	R	W
7	URT3ON	UARTモジュール3のクロック供給を有効にします。 1:有効 0:停止	0		
6	URT2ON	UARTモジュール2のクロック供給を有効にします。 1:有効 0:停止	0		
5	URT1ON	UARTモジュール1のクロック供給を有効にします。 1:有効 0:停止	0		
4	URT0ON	UARTモジュール0のクロック供給を有効にします。 1:有効 0:停止	0		
3:2	予約		00		×
1	SPION	SPIブロックのクロック供給を有効にします。 1:有効 0:停止	0		
0	I2CON	I2Cブロックのクロック供給を有効にします。 1:有効 0:停止	0		

8.2.1. ブロックスタンバイレジスタ1 [Adr. 14h]

各ブロック(PWM、赤外線リモコン、カウンタ)のクロック供給を有効にします。

表 38. ブロックスタンバイレジスタ1

bit	名称	機能	リセット値	R	W
7	CNT3ON	カウンタモジュール3のクロック供給を有効にします。 1:有効 0:停止	0		
6	CNT2ON	カウンタモジュール2のクロック供給を有効にします。 1:有効 0:停止	0		
5	CNT1ON	カウンタモジュール1のクロック供給を有効にします。 1:有効 0:停止	0		
4	CNT0ON	カウンタモジュール0のクロック供給を有効にします。 1:有効 0:停止	0		
3	IRRCN	赤外線リモコンブロックのクロック供給を有効にします。 1:有効 0:停止	0		
2	PWM2ON	PWMモジュール2のクロック供給を有効にします。 1:有効 0:停止	0		
1	PWM1ON	PWMモジュール1のクロック供給を有効にします。 1:有効 0:停止	0		
0	PWM0ON	PWMモジュール0のクロック供給を有効にします。 1:有効 0:停止	0		

8.2.2. ポートアサインレジスタ[Adr. 15h]

I2C、SPIを割り当てるポートを設定します。なお、端子グループC機能選択レジスタ[Adr. 12h]でSPIに設定され、かつ、本レジスタSPIPASで選択されていないSPIポートにつきましては、Hi-Z状態になります。

表39. ポートアサインレジスタ

bit	名称	機能	リセット値	R	W
7:6	予約		00		×
5:4	SPIPAS	SPIブロックを割り当てるポート番号を指定します。 11:非選択 10:SPI2を使用 01:SPI1を使用 00:SPI0を使用	11		
3	予約		0		×
2:0	I2CPAS	I2Cブロックを割り当てるポート番号を指定します。 110~111:予約 101:I2C5を使用 100:I2C4を使用 011:I2C3を使用 010:I2C2を使用 001:I2C1を使用 000:I2C0を使用	000		

8.2.3. UARTループバックレジスタ[Adr. 16h]

ソフトウェアのテスト用にUARTのモジュール0と1及び2と3をループバック接続します。外部端子は、他の設定にしたがいます。

表40. UARTループバックレジスタ

bit	名称	機能	リセット値	R	W
7:2	予約		000000		×
1	UART32LOOP	モジュール2と3をループバック接続します。 1:ループバック接続 0:通常(独立使用)	0		
0	UART10LOOP	モジュール0と1をループバック接続します。 1:ループバック接続 0:通常(独立使用)	0		

8.2.4. ポートA方向設定レジスタ[Adr. 20h]

ポートAの方向を設定します。

表 41. ポートA方向設定レジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3:0	PADIR[3:0]	ポートA[3:0]の入力/出力の方向を設定します。 1:入力 0:出力	1111		

8.2.5. ポートAデータレジスタ[Adr. 21h]

ポートAの出力データを設定します。また、本レジスタをリードすることにより、端子の状態を読み出すことも出来ます。

表 42. ポートAデータレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3:0	PADAT [3:0]	ポートA[3:0]の出力データを設定します。また、端子の状態を読み出します。	0000		

8.2.6. ポートA割り込みステータスレジスタ[Adr. 22h]

ポートAの割り込みのステータスを示します。ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 43. ポートA割り込みステータスレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3:0	PAINTF[3:0]	ポートA[3:0]の割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0000		

8.27. ポートA割り込みイネーブルレジスタ[Adr. 23h]

ポートAの割り込み要求を許可します。

表 44. ポートA割り込みイネーブルレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3:0	PAINTEN[3:0]	ポートA[3:0]の割り込み要求を許可します。 1:割り込み要求有効 0:割り込み要求無効	0000		

8.28. ポートA割り込みエッジ選択レジスタ[Adr. 24h]

ポートAの割り込みエッジを選択します。

表 45. ポートA割り込みエッジ選択レジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3:0	PAINTEG[3:0]	ポートA[3:0]の割り込みエッジを選択します。 1:立ち上がりエッジ 0:立ち下がりエッジ	0000		

8.2.9. ポートB方向設定レジスタ__L [Adr. 25h]

ポートB[7:0]の方向を設定します。

表 46. ポートB方向設定レジスタ__L

bit	名称	機能	リセット値	R	W
7:0	PBDIR[7:0]	ポートB[7:0]の入力 / 出力の方向を設定します。 1:入力 0:出力	11111111		

8.3.0. ポートB方向設定レジスタ__H [Adr. 26h]

ポートB[11:8]の方向を設定します。

表 47. ポートB方向設定レジスタ__H

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3:0	PBDIR[11:8]	ポートB[11:8]の入力 / 出力の方向を設定します。 1:入力 0:出力	1111		

8.3.1. ポートBデータレジスタ__L [Adr. 27h]

ポートB[7:0]の出力データを設定します。また、本レジスタをリードすることにより、端子の状態を読み出すことも出来ます。

表 48. ポートBデータレジスタ__L

bit	名称	機能	リセット値	R	W
7:0	PBDAT[7:0]	ポートB[7:0]の出力データを設定します。また、端子の状態を読み出します。	00000000		

8.32. ポートBデータレジスタ__H[Adr. 28h]

ポートB[11:8]の出力データを設定します。また、本レジスタをリードすることにより、端子の状態を読み出すことも出来ます。

表 49. ポートBデータレジスタ__H

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3:0	PBDAT[11:8]	ポートB[11:8]の出力データを設定します。また、端子の状態を読み出します。	0000		

8.33. ポートC方向設定レジスタ__L[Adr. 29h]

ポートC[7:0]の方向を設定します。

表 50. ポートC方向設定レジスタ__L

bit	名称	機能	リセット値	R	W
7:0	PCDIR[7:0]	ポートC[7:0]の入力 / 出力の方向を設定します。 1:入力 0:出力	11111111		

8.34. ポートC方向設定レジスタ__H[Adr. 2Ah]

ポートC[11:8]の方向を設定します。

表 51. ポートC方向設定レジスタ__H

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3:0	PCDIR[11:8]	ポートC[11:8]の入力 / 出力の方向を設定します。 1:入力 0:出力	1111		

8.35. ポートCデータレジスタ__L [Adr. 2Bh]

ポートC[7:0]の出力データを設定します。また、本レジスタをリードすることにより、端子の状態を読み出すことも出来ます。

表 52. ポートCデータレジスタ__L

bit	名称	機能	リセット値	R	W
7:0	PCDAT[7:0]	ポートC[7:0]の出力データを設定します。また、端子の状態を読み出します。	00000000		

8.36. ポートCデータレジスタ__H [Adr. 2Ch]

ポートC[11:8]の出力データを設定します。また、本レジスタをリードすることにより、端子の状態を読み出すことも出来ます。

表 53. ポートCデータレジスタ__H

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3:0	PCDAT[11:8]	ポートC[11:8]の出力データを設定します。また、端子の状態を読み出します。	0000		

8.37. ポートD方向設定レジスタ__L [Adr. 2Dh]

ポートD[7:0]の方向を設定します。

表 54. ポートD方向設定レジスタ__L

bit	名称	機能	リセット値	R	W
7:0	PDDIR[7:0]	ポートD[7:0]の入力 / 出力の方向を設定します。 1:入力 0:出力	11111111		

8.38. ポートD方向設定レジスタ__H[Adr. 2Eh]

ポートD[11:8]の方向を設定します。

表 55. ポートD方向設定レジスタ__H

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3:0	PDDIR[11:8]	ポートD[11:8]の入力/出力の方向を設定します。 1:入力 0:出力	1111		

8.39. ポートDデータレジスタ__L[Adr. 2Fh]

ポートD[7:0]の出力データを設定します。また、本レジスタをリードすることにより、端子の状態を読み出すことも出来ます。

表 56. ポートDデータレジスタ__L

bit	名称	機能	リセット値	R	W
7:0	PDDAT[7:0]	ポートD[7:0]の出力データを設定します。また、端子の状態を読み出します。	00000000		

8.40. ポートDデータレジスタ__H[Adr. 30h]

ポートD[11:8]の出力データを設定します。また、本レジスタをリードすることにより、端子の状態を読み出すことも出来ます。

表 57. ポートDデータレジスタ__H

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3:0	PDDAT[11:8]	ポートD[11:8]の出力データを設定します。また、端子の状態を読み出します。	0000		

8.4.1. I2Cプリスケールレジスタ__L [Adr. 40h]

I2Cブロックに供給されているクロックを分周し、SCLの周波数を決定します。設定可能な値は16bitで、40hに下位byte、41hに上位byteを設定します。SCLの出力クロックと設定値との関係は以下のようになります。

PscL = プリスケールレジスタ設定値
iCLK = I2Cブロック供給クロック(Hz)
SCL = I2Cバス出力クロック(Hz)

$$PscL = \frac{iCLK}{5 * SCL} - 1$$

PscLには、0000h以外の値を設定してください。

表 58. I2Cプリスケールレジスタ__L

bit	名称	機能	リセット値	R	W
7:0	I2CPREL	SCLの周波数を決定するためのプリスケール値(下位byte)を設定します。	00000001		

8.4.2. I2Cプリスケールレジスタ__H [Adr. 41h]

SCLの周波数を決定するためのプリスケール値(上位byte)を設定します。

表 59. I2Cプリスケールレジスタ__H

bit	名称	機能	リセット値	R	W
7:0	I2CPREH	SCLの周波数を決定するためのプリスケール値(上位byte)を設定します。	00000000		

8.4.3. I2C割り込みイネーブルレジスタ [Adr. 42h]

I2Cバスの転送完了時の割り込みを設定します。

表 60. I2C割り込みイネーブルレジスタ

bit	名称	機能	リセット値	R	W
7:1	予約		00000000		x
0	I2CINTEN	I2Cバスの転送完了時の割り込みを設定します。 1: 割り込み要求有効 0: 割り込み要求無効	0		

8.4.4. I2C 割り込みステータスレジスタ [Adr. 43h]

I2Cバスの割り込みステータスを示します。ステータスは“1”にセットされているときに“1”を書くときクリアされます。

表 61. I2C 割り込みステータスレジスタ

bit	名称	機能	リセット値	R	W
7:1	予約		0000000		×
0	I2CINTST	転送完了時の割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		

8.4.5. I2C 送信データレジスタ [Adr. 44h]

I2Cバスで転送するデータを設定します。このレジスタは、スレーブアドレス送信時とデータ送信時で以下のようにbitの意味が変わりますのでご注意ください。

表 62. I2C 送信データレジスタ (スレーブアドレス送信時)

bit	名称	機能	リセット値	R	W
7:1	I2CSAD	スレーブアドレスを設定します。	0000000		
0	I2CRW	リード/ライトbitを設定します。 1: リードbit 0: ライトbit	0		

表 63. I2C 送信データレジスタ (データ送信時)

bit	名称	機能	リセット値	R	W
7:0	I2CTRDAT	送信データを設定します。	00000000		

8.4.6. I2C 受信データレジスタ [Adr. 45h]

I2Cバスから受信したデータを読み出すために使用されます。

表 64. I2C 受信データレジスタ

bit	名称	機能	リセット値	R	W
7:0	I2CRVDAT	I2Cバスから受信したデータを読み出します。	00000000		×

8.47. I2Cコマンドレジスタ[Adr. 46h]

I2Cバスに発行するコマンドを決定します。bit[7:4]はコマンド実行後、自動的にクリアされます。なお、bit[5]とbit[4]は同時に“1”にしないでください。

表65. I2Cコマンドレジスタ

bit	名称	機能	リセット値	R	W
7	I2CSTART	“1”を書くとスタートコンディションを生成します。	0		
6	I2CSTOP	“1”を書くとストップコンディションを生成します。	0		
5	I2CRD	“1”を書くとスレーブからデータを受信します。	0		
4	I2CWR	“1”を書くとデータをスレーブに対して送信します。	0		
3	I2CACK	レシーバのときにACKを送るかNACKを送るかを決定します。 1:NACK 0:ACK	0		
2:0	予約		000		×

8.48. I2Cステータスレジスタ[Adr. 47h]

このレジスタは I2Cバス上のステータスを示します。

表66. I2Cステータスレジスタ

bit	名称	機能	リセット値	R	W
7:2	予約		000000		×
1	I2CRXACK	アクリッジが受信されない場合、転送完了時にこのbitがセットされます。なお、レシーバの時にI2CACKを“1”(NACK)に設定した場合もこのbitは“1”にセットされますのでご注意ください。 1:アクリッジを受信していません 0:アクリッジを受信しました	0		×
0	I2CTIP	転送状況を示します。 1:転送実行中 0:転送完了	0		×

8.49. SPIコントロールレジスタ[Adr. 50h]

SPIブロックの動作を決定します。

表 67. SPIコントロールレジスタ

bit	名称	機能	リセット値	R	W
7:5	予約		000		×
4	SPISCSPOL	SPI_SCSの論理を決定します。 1:正論理 0:負論理	0		
3	SPIASCS	SPI_SCSのアサート方法を決定します。 1:マニュアル 0:オート	0		
2	SPIBITODR	入力及び出力データのbitオーダーを決定します。 1:LSBファースト 0:MSBファースト	0		
1	SPITXEDGE	出力データの送信タイミングを決定します。 1:SPI_SCKの立ち下がり 0:SPI_SCKの立ち上がり	0		
0	SPIRXEDGE	入力データの受信タイミングを決定します。 1:SPI_SCKの立ち上がり 0:SPI_SCKの立ち下がり	0		

8.50. SPI転送スタートレジスタ[Adr. 51h]

SPI転送を開始します。転送中は“1”を保持し、転送が終了すると自動的に“0”に復帰します。なお、“0”を書いても転送途中に強制的に転送を停止することはできません。

表 68. SPI転送スタートレジスタ

bit	名称	機能	リセット値	R	W
7:1	予約		0000000		×
0	SPIGO	SPI転送を開始します。 1:転送開始(転送中) 0:アイドル	0		

8.5.1. SPI転送bit長レジスタ[Adr. 52h]

転送するデータのbit長を設定します。転送bit長は設定した値そのものになります(たとえばbit長を16にするには10hを設定します)。ただし、00hに設定した場合のbit長は32として取り扱われます。

表69. SPI転送bit長レジスタ

bit	名称	機能	リセット値	R	W
7:6	予約		00		×
5:0	SPILENGTH	転送するデータのbit長を設定します。	000000		

8.5.2. SPI割り込みステータスレジスタ[Adr. 53h]

転送終了割り込みのステータスを示します。ステータスは“1”にセットされているときに“1”を書くときクリアされます。

表70. SPI割り込みステータスレジスタ

bit	名称	機能	リセット値	R	W
7:1	予約		0000000		×
0	SPIINTST	転送終了割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		

8.5.3. SPI割り込みイネーブルレジスタ[Adr. 54h]

SPIブロックの割り込み動作を設定します。

表71. SPI割り込みイネーブルレジスタ

bit	名称	機能	リセット値	R	W
7:1	予約		0000000		×
0	SPIINTEN	転送終了割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		

8.5.4. SPI出力データレジスタ0 [Adr. 55h]

SPIポートから出力するデータのbit[7:0]をセットします。

表 72. SPI出力データレジスタ0

bit	名称	機能	リセット値	R	W
7:0	SPIDTO0	SPIポートから出力するデータのbit[7:0]をセットします。	00000000		

8.5.5. SPI出力データレジスタ1 [Adr. 56h]

SPIポートから出力するデータのbit[15:8]をセットします。

表 73. SPI出力データレジスタ1

bit	名称	機能	リセット値	R	W
7:0	SPIDTO1	SPIポートから出力するデータのbit[15:8]をセットします。	00000000		

8.5.6. SPI出力データレジスタ2 [Adr. 57h]

SPIポートから出力するデータのbit[23:16]をセットします。

表 74. SPI出力データレジスタ2

bit	名称	機能	リセット値	R	W
7:0	SPIDTO2	SPIポートから出力するデータのbit[23:16]をセットします。	00000000		

8.5.7. SPI出力データレジスタ3 [Adr. 58h]

SPIポートから出力するデータのbit[31:24]をセットします。

表 75. SPI出力データレジスタ3

bit	名称	機能	リセット値	R	W
7:0	SPIDTO3	SPIポートから出力するデータのbit[31:24]をセットします。	00000000		

8.58. SPI入力データレジスタ0 [Adr. 59h]

SPIポートから入力されたデータのbit[7:0]を読み出します。

表 76. SPI入力データレジスタ0

bit	名称	機能	リセット値	R	W
7:0	SPIDTI0	SPIポートから入力されたデータのbit[7:0]を読み出します。	00000000		×

8.59. SPI入力データレジスタ1 [Adr. 5Ah]

SPIポートから入力されたデータのbit[15:8]を読み出します。

表 77. SPI入力データレジスタ1

bit	名称	機能	リセット値	R	W
7:0	SPIDTI1	SPIポートから入力されたデータのbit[15:8]を読み出します。	00000000		×

8.60. SPI入力データレジスタ2 [Adr. 5Bh]

SPIポートから入力されたデータのbit[23:16]を読み出します。

表 78. SPI入力データレジスタ2

bit	名称	機能	リセット値	R	W
7:0	SPIDTI2	SPIポートから入力されたデータのbit[23:16]を読み出します。	00000000		×

8.61. SPI入力データレジスタ3 [Adr. 5Ch]

SPIポートから入力されたデータのbit[31:24]を読み出します。

表 79. SPI入力データレジスタ3

bit	名称	機能	リセット値	R	W
7:0	SPIDTI3	SPIポートから入力されたデータのbit[31:24]を読み出します。	00000000		×

8.6.2. SPIセレクト信号アサート制御レジスタ[Adr. 5 Dh]

SPIポートのSPI__SCS信号をマニュアルコントロールに選択したときのSPI__SCS端子の状態を制御します。

表 80. SPIセレクト信号アサート制御レジスタ

bit	名称	機能	リセット値	R	W
7:1	予約		0000000		x
0	SPISCSCTL	マニュアルコントロール時のSPI__SCS端子の状態を制御します。 1:アサート 0:ディアサート	0		

8.6.3. UART設定レジスタ0 (RBR / THR / DLL) [Adr. 60h, 68h, 70h, 78h]

本アドレスは、DLAB(UART設定レジスタ3(LCR))およびアクセス種別(書き込みおよび読み出し)によって、対象となるレジスタが異なります。

RBRは、受信したデータを読み出すレジスタです。

THRは、送信用のデータを格納するレジスタです。

DLLは、ボーレート・ジェネレータの分周値の下位8bitを格納するレジスタです。

表 81. UART設定レジスタ0

bit	名称	機能	リセット値	R	W	備考
7:0	RBR	受信データを読み出します。	00000000		-	DLAB = 0 読み出し
7:0	THR	送信データを書き込みます。	00000000	-		DLAB = 0 書き込み
7:0	DLL	ボーレート・ジェネレータ用分周値の下位8bitを設定します。	00000000			DLAB = 1

本モジュールには、1から $(2^{16} - 1)$ の範囲で分周可能な送受信共通のプログラマブル・ボーレート・ジェネレータを内蔵しています。ボーレート・ジェネレータの出力周波数は、ボーレートの16倍です。したがって、分周値を求める式は以下のようになります。

$$(\text{分周値}) = (\text{本モジュールのクロック周波数}) \div (\text{ボーレート} \times 16)$$

8.64. UART設定レジスタ1 (IER / DLM) [Adr. 61h、69h、71h、79h]

本アドレスは、DLAB(UART設定レジスタ3(LCR))によって、対象となるレジスタが異なります。

IERは、割り込み要求を制御するためのレジスタです。

DLMは、ボーレート・ジェネレータの分周値の上位8bitを格納するレジスタです。

表 82. UART設定レジスタ1

bit	名称	機能	リセット値	R	W	備考
7:4	予約		0000		×	DLAB = 0
3	予約	常に0として使用してください。	0			
2	ELSI(IER)	レシーバ・ライン・ステータス割り込み要求を許可します。 1:レシーバ・ライン・ステータス割り込み要求許可 0:レシーバ・ライン・ステータス割り込み要求マスク	0			
1	ETBEI(IER)	THRE割り込み要求を許可します。 1:THRE割り込み要求許可 0:THRE割り込み要求マスク	0			
0	ERBFI(IER)	レシーブ・データ・レディ割り込み要求を許可します。 1:レシーブ・データ・レディ割り込み要求許可 0:レシーブ・データ・レディ割り込みマスク	0			
7:0	DLM	ボーレート・ジェネレータ用分周値の上位8bitを設定します。	00000000			DLAB = 1

8.65. UART設定レジスタ2 (IIR / FCR) [Adr. 62h, 6Ah, 72h, 7Ah]

本アドレスは、アクセス種別(書き込みおよび読み出し)によって、対象となるレジスタが異なります。

IIRは、本モジュールで発生している割り込み要求を識別するためのレジスタです。

FCRは、FIFOを制御するためのレジスタです。

表 83. UART設定レジスタ2(その1)

bit	名称	機能	リセット値	R	W	備考																		
7:6	予約(IIR)		11		-	読み出し																		
5:4	予約(IIR)		00		-																			
3:1	Interrupt ID (IIR)	表 86を参照願います。	000		-																			
0	Interrupt pending (IIR)	処理待ちになっている割り込み要求の有無を示します。 1:処理待ちの割り込み要求なし。 0:処理待ちの割り込み要求あり。	1		-																			
7:6	RCVR trigger (FCR)	受信用FIFO割り込みのトリガーレベルを設定します。設定値とトリガーレベルの対応を表84に示します。 表 84. 設定値とトリガーレベル <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">bit</th> <th>トリガーレベル (byte)</th> </tr> <tr> <th>7</th> <th>6</th> <th></th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>14</td> </tr> <tr> <td>1</td> <td>0</td> <td>08</td> </tr> <tr> <td>0</td> <td>1</td> <td>04</td> </tr> <tr> <td>0</td> <td>0</td> <td>01</td> </tr> </tbody> </table>	bit		トリガーレベル (byte)	7	6		1	1	14	1	0	08	0	1	04	0	0	01	00		-	書き込み
bit		トリガーレベル (byte)																						
7	6																							
1	1	14																						
1	0	08																						
0	1	04																						
0	0	01																						
5:4	予約(FCR)		00		-																			
3	DMA Mode Select (FCR)	TxRDYおよびRxRDYを出力していないため、本bitは意味を持ちません。 0固定として使用してください。	0		-																			
2	XMIT FIFO Reset (FCR)	送信用FIFOをクリアします。 1:送信用FIFOをクリア 0:NOP 送信用FIFOのクリア後、このbitは自動的にクリアされます。	0		-																			

表 85. UART設定レジスタ2(その2)

bit	名称	機能	リセット値	R	W	備考
1	RCVR FIFO Reset (FCR)	受信用FIFOをクリアします。 1:受信用FIFOをクリア 0:NOP 受信用FIFOのクリア後、このbitは自動的にクリアされます。	0	-		書き込み
0	予約		0	-		

表 86. Interrupt ID一覧表

Interrupt ID			Interrupt pending	優先順位	要因	リセット方法
bit 3	bit 2	bit 1	bit 0			
0	0	0	1	-	割り込みが発生していません。	-
0	1	1	0	1	オーバーラン エラー、パリティ エラー、フレーミング エラーまたはブレイク割り込みを検出したことを示しています。	LSRを読み出します。
0	1	0	0	2	受信データがトリガレベルに到達したことを示しています。	RBRを読み出します。
1	1	0	0	2	受信用FIFOに少なくとも1個のキャラクタが存在する状態において、4キャラクタ期間の間に受信用FIFOに対するキャラクタの出し入れがないことを検出したことを示しています。	RBRを読み出します。
0	0	1	0	3	THRにキャラクタが存在しないことを示しています。	割り込みIDが本要因を示している際にIIRを読み出します。またはTHRにキャラクタを書き込みます。
0	0	0	0	4	I ERのbit 3が1に設定されています。このbitは常に0として使用してください。	I ERのbit 3を0に設定します。

8.66. UART設定レジスタ3 (LCR) [Adr. 63h, 6Bh, 73h, 7Bh]

LCRは、送受信のデータフォーマットおよびDLABを設定するためのレジスタです。

表 87. UART設定レジスタ3

bit	名称	機能	リセット値	R	W
7	DLAB	ボーレートジェネレータの分周設定用レジスタ(DLL、DLM)に対するアクセスを制御するためのbitです。 1: DLLおよびDLMにアクセスすることができます。 0: RBR、THRおよびIERにアクセスすることができます。	0		
6	Set Break	ブレイク条件を発生します。 1: URT_TX端子をLowにします。 0: 通常通信モード	0		
5	Stick Parity	通信を行う際のパリティbitを固定値にします。PENが1にセットされている場合に本機能が有効になります。 1: 奇数パリティの場合1固定に、偶数パリティの場合0固定になります。 0: パリティを固定にしません。	0		
4	EPS	パリティの種類を設定します。PENが1にセットされている場合に本機能が有効になります。 1: 奇数パリティ(キャラクタとパリティbitを合わせたデータ中の1の数が奇数)の生成およびチェックを行います。 0: 偶数パリティ(キャラクタとパリティbitを合わせたデータ中の1の数が偶数)の生成およびチェックを行います。	0		
3	PEN	キャラクタの送受信の際にパリティの生成およびチェックを行うことを指定します。 1: パリティbitの生成およびチェックを行います。 0: パリティbitの生成およびチェックを行いません。	0		
2	STB	送信時におけるストップbitの長さを設定します。 1: キャラクタ長が5bitの場合は1.5bit長、それ以外の場合は2bit長になります。 0: 1bit長 受信時は、この設定値にかかわらずチェックするストップbitは1bit長です。	0		
1:0	WLS	送受信時のキャラクタ長(1キャラクタあたりのbit数)を設定します。 11: 8bit 10: 7bit 01: 6bit 00: 5bit	00		

8.67. UART設定レジスタ4 (MCR) [Adr. 64h、6Ch、74h、7Ch]

出力信号を入力信号にループバックさせることにより、UARTの診断を行えます。

表 88. UART設定レジスタ4

bit	名称	機能	リセット値	R	W
7:5	予約		000		×
4	LOOP	このbitを1にセットすることにより、診断用のローカルループバックモードになります。 ローカルループバックモード時には、以下のように内部接続されます。 ・URT_TX出力がURT_RXの入力となります。 なお、ZEN1752FのURT_TX端子は、1となります。	0		
3:0	予約	このbitは常に0000に設定してください。	0000		

8.68. UART設定レジスタ5 (LSR) [Adr. 65h, 6Dh, 75h, 7Dh]

LSRは、データ転送状況を知るためのレジスタです。

本レジスタを構成する各bitは全て正論理です。クリアによって“0”となりセットによって“1”となります。

表 89. UART設定レジスタ5

bit	名称	機能	リセット値	R	W
7	Error in RCVR FIFO	受信用FIFO中に、フレーミングエラー、パリティエラーまたはブレーク検出を伴って受信されたキャラクタが1個以上存在する場合にセットされ、本レジスタの読み出しによってクリアされます。	0		×
6	TEMT	送信部にキャラクタが存在しない(送信中のものも含む)ことを示します。 送信用FIFOとTSRの両方が空になったときにセットされ、送信用FIFOまたはTSRのどちらかにキャラクタが書き込まれたときにクリアされます。	1		×
5	THRE	送信用FIFOが空になったときセットされ、送信用FIFOにキャラクタが書き込まれたときにクリアされます。 IERレジスタのETBEIをセットしている場合、本bitがセットされると、割り込みを発生します。	1		×
4	BI	ブレークを検出したことを示します。ブレークを検出すると、全bit0のキャラクタ1個を受信用FIFOに転送します。 ブレーク検出により受信用FIFOへ転送されたキャラクタが、受信用FIFOの先頭に現れたときにセットされます。	0		×
3	FE	受信したキャラクタのストップbitの値が不正であったことを示します。 受信時にストップbitエラーが検出されたキャラクタが受信用FIFOの先頭に現れたときセットされます。 LSRを読み出したときにクリアされます。	0		×
2	PE	受信したキャラクタのパリティbitの値が不正であったことを示します。 受信時にパリティエラーが検出されたキャラクタが受信用FIFOの先頭に現れたときにセットされます。 LSRを読み出したときにクリアされます。	0		×
1	OE	受信したキャラクタの読み出しが間に合わなかったために、1個以上のキャラクタが失われたことを示します。 受信用FIFOに空きがないために受信したキャラクタを受信用FIFOへ転送できなかったときにセットされます。 LSRを読み出したときにクリアされます。	0		×
0	DR	FIFOに受信済みキャラクタが存在することを示します。 RSRから、受信用FIFOにキャラクタが転送されたときにセットされ、受信用FIFOのキャラクタが全て読み出され、空になったときにクリアされます。	0		×

8.69. UART設定レジスタ6 (MSR) [Adr. 66h, 6Eh, 76h, 7Eh]

本レジスタにはアクセスしないでください。

表90. UART設定レジスタ6

bit	名称	機能	リセット値	R	W
7:4	予約		1111		×
3:0	予約	一度読み出すと、0000になります。	1011		×

8.70. UART設定レジスタ7 (SCR) [Adr. 67h, 6Fh, 77h, 7Fh]

SCRは、DLAB = 0の状態アクセスしてください。

DLAB = 1のときはテスト用のレジスタになりますので、アクセスしないでください。

表91. UART設定レジスタ7

bit	名称	機能	リセット値	R	W
7:0	SCR	データの保管場所。用途は任意。	00000000		

8.7.1. PWMコントロールレジスタ[Adr. 80h]

PWMブロックの動作を設定します。

表 92. PWMコントロールレジスタ

bit	名称	機能	リセット値	R	W
7	予約		0		×
6	PWMPOL2	PWMモジュール2の出力論理を決定します。 1: Lowパルス(アイドル時 = High) 0: Highパルス(アイドル時 = Low)	0		
5	PWMPOL1	PWMモジュール1の出力論理を決定します。 1: Lowパルス(アイドル時 = High) 0: Highパルス(アイドル時 = Low)	0		
4	PWMPOL0	PWMモジュール0の出力論理を決定します。 1: Lowパルス(アイドル時 = High) 0: Highパルス(アイドル時 = Low)	0		
3	予約		0		×
2	PWMTXEN2	PWMモジュール2の動作を起動/停止します。 1: 起動 0: 停止	0		
1	PWMTXEN1	PWMモジュール1の動作を起動/停止します。 1: 起動 0: 停止	0		
0	PWMTXEN0	PWMモジュール0の動作を起動/停止します。 1: 起動 0: 停止	0		

8.72. PWM割り込みステータスレジスタ[Adr. 81h]

PWMブロックの各種ステータスを示します。各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 93. PWM 割り込みステータスレジスタ

bit	名称	機能	リセット値	R	W
7:3	予約		00000		x
2	PWMINTST2	PWMモジュール2のデータ送出が設定回数に達した際の割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0		
1	PWMINTST1	PWMモジュール1のデータ送出が設定回数に達した際の割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0		
0	PWMINTST0	PWMモジュール0のデータ送出が設定回数に達した際の割り込み要求の有無を示します。 1:割り込み要求あり 0:割り込み要求なし	0		

8.73. PWM割り込みイネーブルレジスタ[Adr. 82h]

PWMブロックの割り込み動作を設定します。

表 94. PWM 割り込みイネーブルレジスタ

bit	名称	機能	リセット値	R	W
7:3	予約		00000		x
2	PWMINTEN2	PWMモジュール2のデータ送出が設定回数に達した際の割り込み要求を許可します。 1:割り込み要求有効 0:割り込み要求無効	0		
1	PWMINTEN1	PWMモジュール1のデータ送出が設定回数に達した際の割り込み要求を許可します。 1:割り込み要求有効 0:割り込み要求無効	0		
0	PWMINTEN0	PWMモジュール0のデータ送出が設定回数に達した際の割り込み要求を許可します。 1:割り込み要求有効 0:割り込み要求無効	0		

8.74. PWM出力デューティ設定レジスタ0 [Adr. 84h]

PWM出力モジュール0用の出力データレジスタです。PWMモジュール0から出力されるPWM信号のデューティを設定します。

表 95. PWM出力デューティ設定レジスタ0

bit	名称	機能	リセット値	R	W
7:0	PWM DTO0	PWMモジュール0から出力されるPWM信号(PWM0)のデューティを設定します。	00000000		

8.75. PWM出力デューティ設定レジスタ1 [Adr. 85h]

PWM出力モジュール1用の出力データレジスタです。PWMモジュール1から出力されるPWM信号のデューティを設定します。

表 96. PWM出力デューティ設定レジスタ1

bit	名称	機能	リセット値	R	W
7:0	PWM DTO1	PWMモジュール1から出力されるPWM信号(PWM1)のデューティを設定します。	00000000		

8.76. PWM出力デューティ設定レジスタ2 [Adr. 86h]

PWM出力モジュール2用の出力データレジスタです。PWMモジュール2から出力されるPWM信号のデューティを設定します。

表 97. PWM出力デューティ設定レジスタ2

bit	名称	機能	リセット値	R	W
7:0	PWM DTO2	PWMモジュール2から出力されるPWM信号(PWM2)のデューティを設定します。	00000000		

出力中にPWM出力デューティ設定レジスタを書き換えると、1PWMサイクル(256クロック)単位のタイミングで、レジスタ値がモジュールに取り込まれ、新しいデューティでPWMが出力されます。

8.77. PWM出力回数設定レジスタ0 [Adr. 88h]

PWM出力モジュール0からパルスデータを送出する回数を設定します。00hに設定した場合は自動的に止まることなく、連続で送出手を繰り返します。

表 98. PWM 出力回数設定レジスタ0

bit	名称	機能	リセット値	R	W
7:0	PWMNUM0	PWM出力モジュール0からパルスデータを送出する回数を設定します。	00000000		

8.78. PWM出力回数設定レジスタ1 [Adr. 89h]

PWM出力モジュール1からパルスデータを送出する回数を設定します。00hに設定した場合は自動的に止まることなく、連続で送出手を繰り返します。

表 99. PWM 出力回数設定レジスタ1

bit	名称	機能	リセット値	R	W
7:0	PWMNUM1	PWM出力モジュール1からパルスデータを送出する回数を設定します。	00000000		

8.79. PWM出力回数設定レジスタ2 [Adr. 8Ah]

PWM出力モジュール2からパルスデータを送出する回数を設定します。00hに設定した場合は自動的に止まることなく、連続で送出手を繰り返します。

表 100. PWM 出力回数設定レジスタ2

bit	名称	機能	リセット値	R	W
7:0	PWMNUM2	PWM出力モジュール2からパルスデータを送出する回数を設定します。	00000000		

8.80. 赤外線リモコンコントロールレジスタ[Adr. 90h]

赤外線リモコンブロックの動作を決定します。

表 101. 赤外線リモコンコントロールレジスタ

bit	名称	機能	リセット値	R	W
7:6	予約		00		×
5	IRHWCNTEN	Highワイズカウンタの動作を決定します。 1:起動 0:停止	0		
4	IRLWCNTEN	Lowワイズカウンタの動作を決定します。 1:起動 0:停止	0		
3:0	予約		0000		×

8.81. 赤外線リモコンノイズフィルタレジスタ[Adr. 91h]

赤外線リモコン信号(IRRC)のノイズフィルタを設定します。本設定値以下のクロック幅のパルスは無視されます(High / Lowとも0h設定の場合はフィルタは無効です)。

表 102. 赤外線リモコンノイズフィルタレジスタ

bit	名称	機能	リセット値	R	W
7:6	予約		00		×
5:4	IRHNF	本設定値以下のHighパルスを無視します。	00		
3:2	予約		00		×
1:0	IRLNF	本設定値以下のLowパルスを無視します。	00		

8.8.2. 赤外線リモコン割り込みステータスレジスタ[Adr. 92h]

赤外線リモコンブロックの各種ステータスを示します。各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 103. 赤外線リモコン割り込みステータスレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3	IRHOFINTST	Highワイズカウンタのオーバーフロー割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		
2	IRLOFINTST	Lowワイズカウンタのオーバーフロー割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		
1	IRRSINTST	IRシリアル入力(IRRC)の立ち上がりエッジ割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		
0	IRFLINTST	IRシリアル入力(IRRC)の立ち下がりエッジ割り込み要求の有無を示します。 1: 割り込み要求あり 0: 割り込み要求なし	0		

8.8.3. 赤外線リモコン割り込みイネーブルレジスタ [Adr. 93h]

赤外線リモコンブロックの割り込み動作を設定します。

表 104. 赤外線リモコン割り込みイネーブルレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3	IRHOFINTEN	Highワイズカウンタのオーバーフロー割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
2	IRLOFINTEN	Lowワイズカウンタのオーバーフロー割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
1	IRRSINTEN	赤外線リモコン入力(IRRC)の立ち上がりエッジ割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		
0	IRFLINTEN	赤外線リモコン入力(IRRC)の立ち下がりエッジ割り込み要求を許可します。 1: 割り込み要求有効 0: 割り込み要求無効	0		

Highワイズ(Lowワイズ)オーバーフロー割り込みが発生すると、Highワイズ(Lowワイズ)カウンタは“0”で停止します。その後、割り込みステータスフラグをクリアすると、次の立ち上がり(立ち下がり)エッジからHighワイズ(Lowワイズ)カウンタはカウントを再開します。

8.8.4. 赤外線リモコンHighワイズカウンタ__L [Adr. 94h]

赤外線リモコン信号(IRRC)のHighパルス幅のカウンタ値(下位byte)です。

表 105. 赤外線リモコンHighワイズカウンタ__L

bit	名称	機能	リセット値	R	W
7:0	IRHWCNTL	赤外線リモコン信号(IRRC)のHighパルス幅のカウンタ値(下位byte)です。	00000000		×

8.8.5. 赤外線リモコンHighワイズカウンタ__H [Adr. 95h]

赤外線リモコン信号(IRRC)のHighパルス幅のカウンタ値(上位byte)です。

表 106. 赤外線リモコンHighワイズカウンタ__H

bit	名称	機能	リセット値	R	W
7:0	IRHWCNTH	赤外線リモコン信号(IRRC)のHighパルス幅のカウンタ値(上位byte)です。	00000000		×

8.8.6. 赤外線リモコンLowワイズカウンタ__L [Adr. 96h]

赤外線リモコン信号(IRRC)のLowパルス幅のカウンタ値(下位byte)です。

表 107. 赤外線リモコンLowワイズカウンタ__L

bit	名称	機能	リセット値	R	W
7:0	IRLWCNTL	赤外線リモコン信号(IRRC)のLowパルス幅のカウンタ値(下位byte)です。	00000000		×

8.8.7. 赤外線リモコンLowワイズカウンタ__H [Adr. 97h]

赤外線リモコン信号(IRRC)のLowパルス幅のカウンタ値(上位byte)です。

表 108. 赤外線リモコンLowワイズカウンタ__H

bit	名称	機能	リセット値	R	W
7:0	IRLWCNTH	赤外線リモコン信号(IRRC)のLowパルス幅のカウンタ値(上位byte)です。	00000000		×

8.88. カウンタモードレジスタ0 [Adr. A0h]

カウンタモジュール0及び1のカウンタモードを決定します。本レジスタを変更する際は対象カウンタモジュールのカウンタイネーブルレジスタでカウント動作を停止してから行ってください。

表 109. カウンタモードレジスタ0

bit	名称	機能	リセット値	R	W
7	予約		0		×
6:4	CNTMODE1	カウンタモジュール1のカウンタモードを決定します。 101~111:予約 100:パルス幅カウンタ 011:単相カウンタ(アップパルス動作) 010:2相カウンタ(アップダウンパルス動作) 001:2相カウンタ(AB相パルス1逓倍動作) 000:2相カウンタ(AB相パルス4逓倍動作)	000		
3	予約		0		×
2:0	CNTMODE0	カウンタモジュール0のカウンタモードを決定します。 101~111:予約 100:パルス幅カウンタ 011:単相カウンタ(アップパルス動作) 010:2相カウンタ(アップダウンパルス動作) 001:2相カウンタ(AB相パルス1逓倍動作) 000:2相カウンタ(AB相パルス4逓倍動作)	000		

8.8.9. カウンタモードレジスタ1 [Adr. A1h]

カウンタモジュール2及び3のカウンタモードを決定します。本レジスタを変更する際は対象カウンタモジュールのカウンタイネーブルレジスタでカウント動作を停止してから行ってください。

表 110. カウンタモードレジスタ1

bit	名称	機能	リセット値	R	W
7	予約		0		×
6:4	CNTMODE3	カウンタモジュール3のカウンタモードを決定します。 101~111:予約 100:パルス幅カウンタ 011:単相カウンタ(アップパルス動作) 010:2相カウンタ(アップダウンパルス動作) 001:2相カウンタ(AB相パルス1逓倍動作) 000:2相カウンタ(AB相パルス4逓倍動作)	000		
3	予約		0		×
2:0	CNTMODE2	カウンタモジュール2のカウンタモードを決定します。 101~111:予約 100:パルス幅カウンタ 011:単相カウンタ(アップパルス動作) 010:2相カウンタ(アップダウンパルス動作) 001:2相カウンタ(AB相パルス1逓倍動作) 000:2相カウンタ(AB相パルス4逓倍動作)	000		

8.90. カウンタインーブルレジスタ[Adr. A2h]

各カウンタモジュールの動作を決定します。

表 111. カウンタインーブルレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3	CNTEN3	カウンタモジュール3の動作を決定します。 1:起動 0:停止	0		
2	CNTEN2	カウンタモジュール2の動作を決定します。 1:起動 0:停止	0		
1	CNTEN1	カウンタモジュール1の動作を決定します。 1:起動 0:停止	0		
0	CNTEN0	カウンタモジュール0の動作を決定します。 1:起動 0:停止	0		

8.9.1. カウンタラッチコマンドレジスタ[Adr. A3h]

単相及び2相パルスモード時、各カウンタモジュールの値をラッチデータレジスタに格納します。自動復帰しますので“1”を書いた後、“0”を書き直す必要はありません。

ラッチコマンドを実行してからカウンタ値がラッチデータレジスタに格納されるまで、時間がかかります(詳細は図4を参照願います)。ラッチ動作が完了する前にラッチデータレジスタの値を読み出した場合、以前にラッチされた値が読み出されます

表 112. カウンタラッチコマンドレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3	CNTLT3	カウンタモジュール3の値をラッチデータレジスタに格納します。 1:カウンタ値ラッチ 0:NOP	0	×	
2	CNTLT2	カウンタモジュール2の値をラッチデータレジスタに格納します。 1:カウンタ値ラッチ 0:NOP	0	×	
1	CNTLT1	カウンタモジュール1の値をラッチデータレジスタに格納します。 1:カウンタ値ラッチ 0:NOP	0	×	
0	CNTLT0	カウンタモジュール0の値をラッチデータレジスタに格納します。 1:カウンタ値ラッチ 0:NOP	0	×	

カウンタラッチコマンドの内部動作タイミング

次のタイミングチャートはカウンタラッチコマンドを書き込んだ際、ラッチレジスタにカウンタ値が格納されるタイミングを示しています。本図は参考例としてモジュール0のラッチコマンドを示していますが、他のモジュールについてもタイミングは同一です。

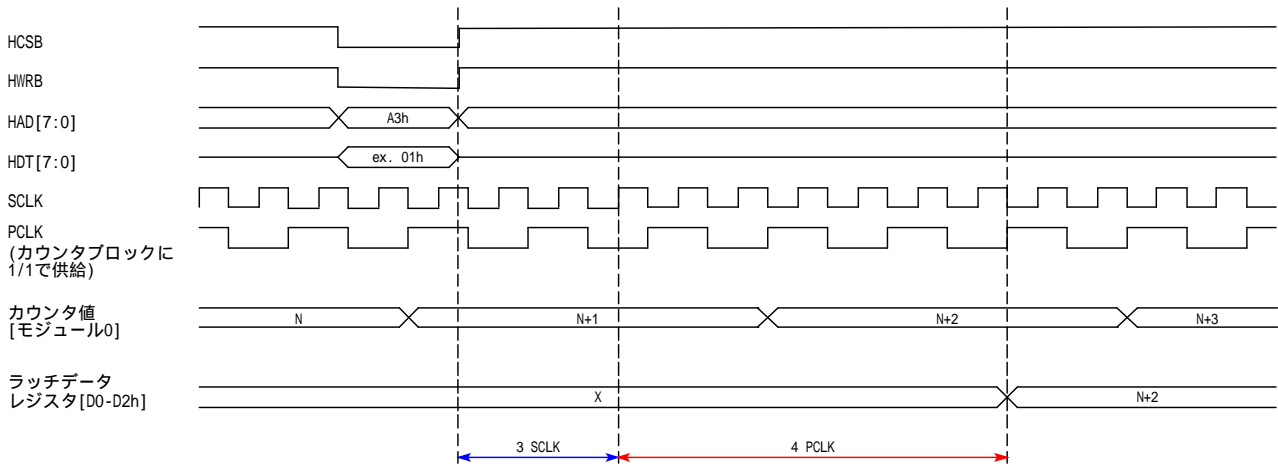


図4. コマンドラッチ動作タイミング

8.9.2. カウンタクリアコマンドレジスタ[Adr. A4h]

各カウンタモジュールの値をクリアします。本レジスタは“1”を書くことで動作し、クリア動作が完了すると“0”に戻ります。

表 113. カウンタクリアコマンドレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3	CNTCLR3	カウンタモジュール3の値をクリアします。 1:クリア 0:NOP	0		
2	CNTCLR2	カウンタモジュール2の値をクリアします。 1:クリア 0:NOP	0		
1	CNTCLR1	カウンタモジュール1の値をクリアします。 1:クリア 0:NOP	0		
0	CNTCLR0	カウンタモジュール0の値をクリアします。 1:クリア 0:NOP	0		

8.9.3. カウンタロードコマンドレジスタ[Adr. A5h]

各カウンタモジュールにロードデータレジスタの値をロードします。本レジスタは“1”を書くことで動作し、ロード動作が完了すると“0”に戻ります。

表 114. カウンタロードコマンドレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3	CNTLD3	カウンタモジュール3にロードデータレジスタの値をロードします。 1:データロード 0:NOP	0		
2	CNTLD2	カウンタモジュール2にロードデータレジスタの値をロードします。 1:データロード 0:NOP	0		
1	CNTLD1	カウンタモジュール1にロードデータレジスタの値をロードします。 1:データロード 0:NOP	0		
0	CNTLD0	カウンタモジュール0にロードデータレジスタの値をロードします。 1:データロード 0:NOP	0		

8.9.4. カウンタZ相イネーブルレジスタ[Adr. A6h]

各カウンタモジュールのZ相入力(CNT_Z)の動作を決定します。本設定は対象となるカウンタモジュールが2相カウンタモードになっているときのみ有効です。

表 115. カウンタZ相イネーブルレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3	CNTZEN3	カウンタモジュール3のZ相入力(CNT_Z)の動作を決定します。 1:有効 0:無効	0		
2	CNTZEN2	カウンタモジュール2のZ相入力(CNT_Z)の動作を決定します。 1:有効 0:無効	0		
1	CNTZEN1	カウンタモジュール1のZ相入力(CNT_Z)の動作を決定します。 1:有効 0:無効	0		
0	CNTZEN0	カウンタモジュール0のZ相入力(CNT_Z)の動作を決定します。 1:有効 0:無効	0		

8.95. カウンタ定周期自動ラッチイネーブルレジスタ[Adr. A7h]

各カウンタモジュールの定周期自動ラッチ機能の動作を決定します。本レジスタを変更する際はカウンタイネーブルレジスタで対象カウンタモジュールのカウンタ動作を停止してから行ってください。なお、各カウンタモジュールの設定がパルス幅カウンタモードになっている場合は本レジスタの設定は無効です。

表 116. カウンタ定周期自動ラッチイネーブルレジスタ

bit	名称	機能	リセット値	R	W
7:4	予約		0000		×
3	CNTACEN3	カウンタモジュール3の定周期自動ラッチ機能の動作を決定します。 1:有効 0:無効(通常カウンタ動作)	0		
2	CNTACEN2	カウンタモジュール2の定周期自動ラッチ機能の動作を決定します。 1:有効 0:無効(通常カウンタ動作)	0		
1	CNTACEN1	カウンタモジュール1の定周期自動ラッチ機能の動作を決定します。 1:有効 0:無効(通常カウンタ動作)	0		
0	CNTACEN0	カウンタモジュール0の定周期自動ラッチ機能の動作を決定します。 1:有効 0:無効(通常カウンタ動作)	0		

8.9.6. カウンタ割り込みイネーブルレジスタ0 [Adr. A8h]

オーバーフロー(単相カウンタモード時のみ)及び定周期自動ラッチ割り込みを設定します。

表 117. カウンタ割り込みイネーブルレジスタ0

bit	名称	機能	リセット値	R	W
7	CNTOFINT3	カウンタモジュール3のいずれかのチャンネルのカウンタ値がオーバーフローしたときの割り込み動作を決定します。 1:有効 0:無効	0		
6	CNTOFINT2	カウンタモジュール2のいずれかのチャンネルのカウンタ値がオーバーフローしたときの割り込み動作を決定します。 1:有効 0:無効	0		
5	CNTOFINT1	カウンタモジュール1のいずれかのチャンネルのカウンタ値がオーバーフローしたときの割り込み動作を決定します。 1:有効 0:無効	0		
4	CNTOFINT0	カウンタモジュール0のいずれかのチャンネルのカウンタ値がオーバーフローしたときの割り込み動作を決定します。 1:有効 0:無効	0		
3	CNTACINT3	カウンタモジュール3の定周期自動ラッチ割り込みの動作を決定します。本bitはカウンタモジュール3に定周期自動ラッチ機能が設定されているときのみ有効です。 1:有効 0:無効	0		
2	CNTACINT2	カウンタモジュール2の定周期自動ラッチ割り込みの動作を決定します。本bitはカウンタモジュール2に定周期自動ラッチ機能が設定されているときのみ有効です。 1:有効 0:無効	0		
1	CNTACINT1	カウンタモジュール1の定周期自動ラッチ割り込みの動作を決定します。本bitはカウンタモジュール1に定周期自動ラッチ機能が設定されているときのみ有効です。 1:有効 0:無効	0		
0	CNTACINT0	カウンタモジュール0の定周期自動ラッチ割り込みの動作を決定します。本bitはカウンタモジュール0に定周期自動ラッチ機能が設定されているときのみ有効です。 1:有効 0:無効	0		

8.97. カウンタ割り込みイネーブルレジスタ1 [Adr. A9h]

AI(異常遷移入力)割り込みを設定します。これらの設定は単相カウンタモード設定時は無効です。

表 118. カウンタ割り込みイネーブルレジスタ1

bit	名称	機能	リセット値	R	W
7:4	予約		0000		x
3	CNTAIINT3	カウンタモジュール3のAI(異常遷移入力)検出時の割り込み動作を決定します。 1:有効 0:無効	0		
2	CNTAIINT2	カウンタモジュール2のAI(異常遷移入力)検出時の割り込み動作を決定します。 1:有効 0:無効	0		
1	CNTAIINT1	カウンタモジュール1のAI(異常遷移入力)検出時の割り込み動作を決定します。 1:有効 0:無効	0		
0	CNTAIINT0	カウンタモジュール0のAI(異常遷移入力)検出時の割り込み動作を決定します。 1:有効 0:無効	0		

8.9.8. カウンタ割り込みイネーブルレジスタ2 [Adr. AAh]

カウンタモジュール0及び1のパルス幅カウントモード時の割り込みを設定します。これらの設定は2相カウンタモード及び単相カウンタモード設定時は無効です。

表 119. カウンタ割り込みイネーブルレジスタ2

bit	名称	機能	リセット値	R	W
7	CNTPWINT13	カウンタモジュール1のHighワイズカウンタのオーバーフロー割り込み動作を決定します。 1:有効 0:無効	0		
6	CNTPWINT12	カウンタモジュール1のLowワイズカウンタのオーバーフロー割り込み動作を決定します。 1:有効 0:無効	0		
5	CNTPWINT11	カウンタモジュール1の立ち上がりエッジ割り込み動作を決定します。 1:有効 0:無効	0		
4	CNTPWINT10	カウンタモジュール1の立ち下がりエッジ割り込み動作を決定します。 1:有効 0:無効	0		
3	CNTPWINT03	カウンタモジュール0のHighワイズカウンタのオーバーフロー割り込み動作を決定します。 1:有効 0:無効	0		
2	CNTPWINT02	カウンタモジュール0のLowワイズカウンタのオーバーフロー割り込み動作を決定します。 1:有効 0:無効	0		
1	CNTPWINT01	カウンタモジュール0の立ち上がりエッジ割り込み動作を決定します。 1:有効 0:無効	0		
0	CNTPWINT00	カウンタモジュール0の立ち下がりエッジ割り込み動作を決定します。 1:有効 0:無効	0		

8.9.9. カウンタ割り込みイネーブルレジスタ3 [Adr. ABh]

カウンタモジュール2及び3のパルス幅カウントモード時の割り込みを設定します。これらの設定は2相カウンタモード及び単相カウンタモード設定時は無効です。

表 120. カウンタ割り込みイネーブルレジスタ3

bit	名称	機能	リセット値	R	W
7	CNTPWINT33	カウンタモジュール3のHighワイズカウンタのオーバーフロー割り込み動作を決定します。 1:有効 0:無効	0		
6	CNTPWINT32	カウンタモジュール3のLowワイズカウンタのオーバーフロー割り込み動作を決定します。 1:有効 0:無効	0		
5	CNTPWINT31	カウンタモジュール3の立ち上がりエッジ割り込み動作を決定します。 1:有効 0:無効	0		
4	CNTPWINT30	カウンタモジュール3の立ち下がりエッジ割り込み動作を決定します。 1:有効 0:無効	0		
3	CNTPWINT23	カウンタモジュール2のHighワイズカウンタのオーバーフロー割り込み動作を決定します。 1:有効 0:無効	0		
2	CNTPWINT22	カウンタモジュール2のLowワイズカウンタのオーバーフロー割り込み動作を決定します。 1:有効 0:無効	0		
1	CNTPWINT21	カウンタモジュール2の立ち上がりエッジ割り込み動作を決定します。 1:有効 0:無効	0		
0	CNTPWINT20	カウンタモジュール2の立ち下がりエッジ割り込み動作を決定します。 1:有効 0:無効	0		

8.100. カウンタ周期レジスタ0__L [Adr. B 0h]

カウンタモジュール0を定周期自動ラッチにする場合、自動ラッチの周期を設定します。本レジスタの設定値をN、次の上位byte側の設定値をM、カウンタモジュールに供給しているシステムクロックの周波数をFs及び定周期自動ラッチの周期をTcとすると、

$$Tc = (M \times 2^{16} + N \times 2^8) / Fs$$

となり、設定可能な範囲は000100h ~ FFFF00h(100hごと)になります。なお、MとNを両方0hに設定するのは禁止です。

表 121. カウンタ周期レジスタ0__L

bit	名称	機能	リセット値	R	W
7:0	CNTACDT0L	カウンタモジュール0の定周期自動ラッチのラッチ周期(下位byte)を設定します。	00000001		

8.101. カウンタ周期レジスタ0__H [Adr. B 1h]

カウンタモジュール0を定周期自動ラッチにした場合の割り込みの周期(上位byte)を設定します。

表 122. カウンタ周期レジスタ0__H

bit	名称	機能	リセット値	R	W
7:0	CNTACDT0H	カウンタモジュール0の定周期自動ラッチのラッチ周期(上位byte)を設定します。	00000000		

8.102. カウンタ周期レジスタ1__L [Adr. B 2h]

カウンタモジュール1を定周期自動ラッチにした場合の割り込みの周期(下位byte)を設定します。

表 123. カウンタ周期レジスタ1__L

bit	名称	機能	リセット値	R	W
7:0	CNTACDT1L	カウンタモジュール1の定周期自動ラッチのラッチ周期(下位byte)を設定します。	00000001		

8.103. カウンタ周期レジスタ1__H [Adr. B 3h]

カウンタモジュール1を定周期自動ラッチにした場合の割り込みの周期(上位byte)を設定します。

表 124. カウンタ周期レジスタ1__H

bit	名称	機能	リセット値	R	W
7:0	CNTACDT1H	カウンタモジュール1の定周期自動ラッチのラッチ周期(上位byte)を設定します。	00000000		

8.104. カウンタ周期レジスタ2__L [Adr. B 4h]

カウンタモジュール2を定周期自動ラッチにした場合の割り込みの周期(下位byte)を設定します。

表 125. カウンタ周期レジスタ2__L

bit	名称	機能	リセット値	R	W
7:0	CNTACDT2L	カウンタモジュール2の定周期自動ラッチのラッチ周期(下位byte)を設定します。	00000001		

8.105. カウンタ周期レジスタ2__H [Adr. B 5h]

カウンタモジュール2を定周期自動ラッチにした場合の割り込みの周期(上位byte)を設定します。

表 126. カウンタ周期レジスタ2__H

bit	名称	機能	リセット値	R	W
7:0	CNTACDT2H	カウンタモジュール2の定周期自動ラッチのラッチ周期(上位byte)を設定します。	00000000		

8.106. カウンタ周期レジスタ3__L [Adr. B 6h]

カウンタモジュール3を定周期自動ラッチにした場合の割り込みの周期(下位byte)を設定します。

表 127. カウンタ周期レジスタ3__L

bit	名称	機能	リセット値	R	W
7:0	CNTACDT3L	カウンタモジュール3の定周期自動ラッチのラッチ周期(下位byte)を設定します。	00000001		

8.107. カウンタ周期レジスタ3__H[Adr. B7h]

カウンタモジュール3を定周期自動ラッチにした場合の割り込みの周期(上位byte)を設定します。

表 128. カウンタ周期レジスタ3__H

bit	名称	機能	リセット値	R	W
7:0	CNTACDT3H	カウンタモジュール3の定周期自動ラッチのラッチ周期(上位byte)を設定します。	00000000		

8.108. カウンタ割り込みステータスレジスタ0 [Adr. B8h]

カウンタモジュール0の各種動作ステータスを表示します。
各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 129. カウンタ割り込みステータスレジスタ0

bit	名称	機能	リセット値	R	W
7	CNTAI0	AI(異常遷移入力)を検出したことを示します。2相カウンタモードのときのみセットされます。 1:異常検知 0:正常	0		
6	予約		0		×
5	CNTREDGE0	カウントパルスに立ち上がりエッジが入力されたことを示します。パルス幅カウンタモードのときのみセットされます。 1:立ち上がりエッジ検出 0:立ち上がりエッジ未検出	0		
4	CNTFEDGE0	カウントパルスに立ち下がりエッジが入力されたことを示します。パルス幅カウンタモードのときのみセットされます。 1:立ち下がりエッジ検出 0:立ち下がりエッジ未検出	0		
3	CNTACST0	カウンタモジュール0の定周期自動ラッチでカウンタ値がラッチされたことを示します。 1:格納 0:未格納	0		
2	CNTOFST02	カウンタユニット02がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		
1	CNTOFST01	カウンタユニット01がオーバーフローしたことを示します。パルス幅カウンタモード(Highワイズカウンタ)及び単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		
0	CNTOFST00	カウンタユニット00がオーバーフローしたことを示します。パルス幅カウンタモード(Lowワイズカウンタ)及び単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		

8.109. カウンタ割り込みステータスレジスタ1 [Adr. B9h]

カウンタモジュール1の各種動作ステータスを表示します。
各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 130. カウンタ割り込みステータスレジスタ1

bit	名称	機能	リセット値	R	W
7	CNTAI1	AI(異常遷移入力)を検出したことを示します。2相カウンタモードのときのみセットされます。 1:異常検知 0:正常	0		
6	予約		0		×
5	CNTREDGE1	カウントパルスに立ち上がりエッジが入力されたことを示します。パルス幅カウンタモードのときのみセットされます。 1:立ち上がりエッジ検出 0:立ち上がりエッジ未検出	0		
4	CNTFEDGE1	カウントパルスに立ち下がりエッジが入力されたことを示します。パルス幅カウンタモードのときのみセットされます。 1:立ち下がりエッジ検出 0:立ち下がりエッジ未検出	0		
3	CNTACST1	カウンタモジュール1が設定された周期でカウント値をカウント結果レジスタに格納したことを示します。 1:格納 0:未格納	0		
2	CNTOFST12	カウンタユニット12がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		
1	CNTOFST11	カウンタユニット11がオーバーフローしたことを示します。パルス幅カウンタモード(Highワイズカウンタ)及び単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		
0	CNTOFST10	カウンタユニット10がオーバーフローしたことを示します。パルス幅カウンタモード(Lowワイズカウンタ)及び単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		

8.110. カウンタ割り込みステータスレジスタ2 [Adr. BAh]

カウンタモジュール2の各種動作ステータスを表示します。
各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 131. カウンタ割り込みステータスレジスタ2

bit	名称	機能	リセット値	R	W
7	CNTAI2	AI(異常遷移入力)を検出したことを示します。2相カウンタモードのときのみセットされます。 1:異常検知 0:正常	0		
6	予約		0		×
5	CNTREDGE2	カウントパルスに立ち上がりエッジが入力されたことを示します。パルス幅カウンタモードのときのみセットされます。 1:立ち上がりエッジ検出 0:立ち上がりエッジ未検出	0		
4	CNTFEDGE2	カウントパルスに立ち下がりエッジが入力されたことを示します。パルス幅カウンタモードのときのみセットされます。 1:立ち下がりエッジ検出 0:立ち下がりエッジ未検出	0		
3	CNTACST2	カウンタモジュール2が設定された周期でカウント値をカウント結果レジスタに格納したことを示します。 1:格納 0:未格納	0		
2	CNTOFST22	カウンタユニット22がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		
1	CNTOFST21	カウンタユニット21がオーバーフローしたことを示します。パルス幅カウンタモード(Highワイズカウンタ)及び単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		
0	CNTOFST20	カウンタユニット20がオーバーフローしたことを示します。パルス幅カウンタモード(Lowワイズカウンタ)及び単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		

8.111. カウンタ割り込みステータスレジスタ3 [Adr. BBh]

カウンタモジュール3の各種動作ステータスを表示します。
各ステータスは“1”にセットされているときに“1”を書くとクリアされます。

表 132. カウンタ割り込みステータスレジスタ3

bit	名称	機能	リセット値	R	W
7	CNTAI3	AI(異常遷移入力)を検出したことを示します。2相カウンタモードのときのみセットされます。 1:異常検知 0:正常	0		
6	予約		0		×
5	CNTREDGE3	カウントパルスに立ち上がりエッジが入力されたことを示します。パルス幅カウンタモードのときのみセットされます。 1:立ち上がりエッジ検出 0:立ち上がりエッジ未検出	0		
4	CNTFEDGE3	カウントパルスに立ち下がりエッジが入力されたことを示します。パルス幅カウンタモードのときのみセットされます。 1:立ち下がりエッジ検出 0:立ち下がりエッジ未検出	0		
3	CNTACST3	カウンタモジュール3が設定された周期でカウント値をカウント結果レジスタに格納したことを示します。 1:格納 0:未格納	0		
2	CNTOFST32	カウンタユニット32がオーバーフローしたことを示します。単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		
1	CNTOFST31	カウンタユニット31がオーバーフローしたことを示します。パルス幅カウンタモード(Highワイズカウンタ)及び単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		
0	CNTOFST30	カウンタユニット30がオーバーフローしたことを示します。パルス幅カウンタモード(Lowワイズカウンタ)及び単相カウンタモードのときのみセットされます。 1:オーバーフロー 0:正常カウント	0		

8.112. カウンタロードデータレジスタ00 [Adr. C0h]

カウンタユニット00にロードする値をセットします。

表 133. カウンタロードデータレジスタ00

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT00	カウンタユニット00にロードする値をセットします。	00000000		

8.113. カウンタロードデータレジスタ01 [Adr. C1h]

カウンタユニット01にロードする値をセットします。

表 134. カウンタロードデータレジスタ01

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT01	カウンタユニット01にロードする値をセットします。	00000000		

8.114. カウンタロードデータレジスタ02 [Adr. C2h]

カウンタユニット02にロードする値をセットします。

表 135. カウンタロードデータレジスタ02

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT02	カウンタユニット02にロードする値をセットします。	00000000		

8.115. カウンタロードデータレジスタ10 [Adr. C4h]

カウンタユニット10にロードする値をセットします。

表 136. カウンタロードデータレジスタ10

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT10	カウンタユニット10にロードする値をセットします。	00000000		

8.116. カウンタロードデータレジスタ11 [Adr. C5h]

カウンタユニット11にロードする値をセットします。

表 137. カウンタロードデータレジスタ11

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT11	カウンタユニット11にロードする値をセットします。	00000000		

8.117. カウンタロードデータレジスタ12 [Adr. C6h]

カウンタユニット12にロードする値をセットします。

表 138. カウンタロードデータレジスタ12

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT12	カウンタユニット12にロードする値をセットします。	00000000		

8.118. カウンタロードデータレジスタ20 [Adr. C8h]

カウンタユニット20にロードする値をセットします。

表 139. カウンタロードデータレジスタ20

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT20	カウンタユニット20にロードする値をセットします。	00000000		

8.119. カウンタロードデータレジスタ21 [Adr. C9h]

カウンタユニット21にロードする値をセットします。

表 140. カウンタロードデータレジスタ21

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT21	カウンタユニット21にロードする値をセットします。	00000000		

8.120. カウンタロードデータレジスタ22 [Adr. CAh]

カウンタユニット22にロードする値をセットします。

表 141. カウンタロードデータレジスタ22

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT22	カウンタユニット22にロードする値をセットします。	00000000		

8.121. カウンタロードデータレジスタ30 [Adr. CCh]

カウンタユニット30にロードする値をセットします。

表 142. カウンタロードデータレジスタ30

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT30	カウンタユニット30にロードする値をセットします。	00000000		

8.122. カウンタロードデータレジスタ31 [Adr. CDh]

カウンタユニット31にロードする値をセットします。

表 143. カウンタロードデータレジスタ31

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT31	カウンタユニット31にロードする値をセットします。	00000000		

8.123. カウンタロードデータレジスタ32 [Adr. CEh]

カウンタユニット32にロードする値をセットします。

表 144. カウンタロードデータレジスタ32

bit	名称	機能	リセット値	R	W
7:0	CNTLDDT32	カウンタユニット32にロードする値をセットします。	00000000		

8.124. カウンタラッチデータレジスタ00 [Adr. D0h]

カウンタユニット00の値を読み出します。

表 145. カウンタラッチデータレジスタ00

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT00	カウンタユニット00のラッチされた値を読み出します。	00000000		×

8.125. カウンタラッチデータレジスタ01 [Adr. D1h]

カウンタユニット01の値を読み出します。

表 146. カウンタラッチデータレジスタ01

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT01	カウンタユニット01のラッチされた値を読み出します。	00000000		×

8.126. カウンタラッチデータレジスタ02 [Adr. D2h]

カウンタユニット02の値を読み出します。

表 147. カウンタラッチデータレジスタ02

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT02	カウンタユニット02のラッチされた値を読み出します。	00000000		×

8.127. カウンタラッチデータレジスタ10 [Adr. D4h]

カウンタユニット10の値を読み出します。

表 148. カウンタラッチデータレジスタ10

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT10	カウンタユニット10のラッチされた値を読み出します。	00000000		×

8.128. カウンタラッチデータレジスタ11 [Adr. D5h]

カウンタユニット11の値を読み出します。

表 149. カウンタラッチデータレジスタ11

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT11	カウンタユニット11のラッチされた値を読み出します。	00000000		×

8.129. カウンタラッチデータレジスタ12 [Adr. D6h]

カウンタユニット12の値を読み出します。

表 150. カウンタラッチデータレジスタ12

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT12	カウンタユニット12のラッチされた値を読み出します。	00000000		×

8.130. カウンタラッチデータレジスタ20 [Adr. D8h]

カウンタユニット20の値を読み出します。

表 151. カウンタラッチデータレジスタ20

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT20	カウンタユニット20のラッチされた値を読み出します。	00000000		×

8.131. カウンタラッチデータレジスタ21 [Adr. D9h]

カウンタユニット21の値を読み出します。

表 152. カウンタラッチデータレジスタ21

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT21	カウンタユニット21のラッチされた値を読み出します。	00000000		×

8.132. カウンタラッチデータレジスタ22 [Adr. DAh]

カウンタユニット22の値を読み出します。

表 153. カウンタラッチデータレジスタ22

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT22	カウンタユニット22のラッチされた値を読み出します。	00000000		×

8.133. カウンタラッチデータレジスタ30 [Adr. DCh]

カウンタユニット30の値を読み出します。

表 154. カウンタラッチデータレジスタ30

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT30	カウンタユニット30のラッチされた値を読み出します。	00000000		×

8.134. カウンタラッチデータレジスタ31 [Adr. DDh]

カウンタユニット31の値を読み出します。

表 155. カウンタラッチデータレジスタ31

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT31	カウンタユニット31のラッチされた値を読み出します。	00000000		×

8.135. カウンタラッチデータレジスタ32 [Adr. DEh]

カウンタユニット32の値を読み出します。

表 156. カウンタラッチデータレジスタ32

bit	名称	機能	リセット値	R	W
7:0	CNTLTDT32	カウンタユニット32のラッチされた値を読み出します。	00000000		×

9. 電気的特性

9.1. 絶対最大定格

表 157. 絶対最大定格($V_{SS} = 0V$)

項目	記号	定格値	単位
電源電圧	V_{DD}	$V_{SS} - 0.5 \sim +4.0$	V
入力電圧	V_{IN}	$V_{SS} - 0.5 \sim V_{DD} + 4.0$ (6.0)	V
出力電圧	V_{OUT}	$V_{SS} - 0.5 \sim V_{DD} + 0.5$ ¹	V
		$V_{SS} - 0.5 \sim V_{DD} + 4.0$ (6.0) ²	V
出力電流 ³	I_{OUT}	-14 ~ +14	mA
保存温度	T_{ST}	-55 ~ +125	
オーバーシュート ⁴	V_{IO}	$V_{DD} + 1.0$	V
アンダーシュート ⁴	V_{IU}	$V_{SS} - 1.0$	V

1 Low / High出力の場合。

2 High - Z状態の場合。

3 1端子1秒間の場合。

4 50ns以内。

9.2. 推奨動作条件

表 158. 推奨動作条件($V_{SS} = 0V$)

項目	記号	最小値	標準値	最大値	単位
電源電圧	V_{DD}	3.0	3.3	3.6	V
動作温度	T_A	0		70	

9.3. 直流特性

 表 159. 直流特性¹

項目	記号	条件	最小値	最大値	単位
高レベル入力電圧	V_{IH}		$V_{DD} \times 0.65$	5.5	V
			$V_{DD} \times 0.8$ ²	5.5	V
低レベル入力電圧	V_{IL}		$V_{SS} - 0.3$	$V_{DD} \times 0.25$	V
			$V_{SS} - 0.3$	$V_{DD} \times 0.2$ ²	V
入力リーク電流	I_{LI}		- 5	5	μA
高レベル出力電圧	V_{OH}	$I_{OH} = - 4mA$	$V_{DD} - 0.5$	V_{DD}	V
低レベル出力電圧	V_{OL}	$I_{OL} = 4mA$	V_{SS}	0.4	V
動作時消費電流 ³	I_{DDO}	CLK = 1MHz		3.0	mA

1 I_{OH} は高レベル出力電流、 I_{OL} は低レベル出力電流を示します。

2 入力バッファがシュミットリガの場合(該当端子はP. 3の表1を参照)。なお、I2C規格ではLレベル入力電圧が $- 0.5$ から $0.3 \times V_{DD}$ (V)、Hレベル入力電圧が $0.7 \times V_{DD}$ から $V_{DDmax} + 0.5$ (V)で規定されています。I2Cの使用にあたっては十分な評価をお願いいたします。

3 動作時消費電流は動作クロック(SCLK、PCLK)の周波数にほぼ比例します。

9.4. 交流特性

表 160. 交流特性(その1)

項目	記号	最小値	最大値	単位
SCLKサイクル時間	$t_{SCLK_{CYC}}$	20		ns
SCLKローパルス幅	$t_{SCLK_{LW}}$	10		ns
SCLKハイパルス幅	$t_{SCLK_{HW}}$	10		ns
PCLKサイクル時間	$t_{PCLK_{CYC}}$	40		ns
PCLKローパルス幅	$t_{PCLK_{LW}}$	20		ns
PCLKハイパルス幅	$t_{PCLK_{HW}}$	20		ns
RESETローパルス幅	$t_{RESETB_{LW}}$	40		ns
HCSBのセットアップ時間(HWRB)	$t_{HCS_{WSU}}$	20		ns
HCSBのホールド時間(HWRB)	$t_{HCS_{WHD}}$	0		ns
HADのセットアップ時間(HWRB)	$t_{HAD_{WSU}}$	20		ns
HADのホールド時間(HWRB)	$t_{HAD_{WHD}}$	0		ns
HDTのセットアップ時間(HWRB)	$t_{HDT_{WSU}}$	20		ns
HDTのホールド時間(HWRB)	$t_{HDT_{WHD}}$	0		ns
HWRBローパルス幅	$t_{HWR_{PW}}$	$SCLK^1 \times 1 + 5$		ns
HWRBリカバリー時間(ライト ライト)	$t_{HWW_{RC}}$	$SCLK \times 1 + 5$		ns
HWRBリカバリー時間(ライト リード)	$t_{HWR_{RC}}$	$SCLK \times 2$		ns
HCSBのセットアップ時間(HRDB)	$t_{HCS_{RSU}}$	0		ns
HCSBのホールド時間(HRDB)	$t_{HCS_{RHD}}$	0		ns
HADのセットアップ時間(HRDB)	$t_{HAD_{RSU}}$	0		ns
HADのホールド時間(HRDB)	$t_{HAD_{RHD}}$	0		ns
HDTの読み出しデータ遅延時間(HRDB)	$t_{HDT_{RDL}}$		$SCLK \times 2 + 18$	ns
HDTの読み出しデータホールド時間(HRDB)	$t_{HDT_{RHD}}$	1	4	ns
HRDBローパルス幅	$t_{HRD_{PW}}$	$SCLK \times 3$		ns
HRDBリカバリー時間(リード リード)	$t_{HRR_{RC}}$	$SCLK \times 1 + 5$		ns
HRDBリカバリー時間(リード ライト)	$t_{HRW_{RC}}$	$SCLK \times 1$		ns
I2C__SDAのセットアップ時間(I2C__SCL) 受信時	$t_{SDA_{RSU}}$	20		ns
I2C__SDAのホールド時間(I2C__SCL) 受信時	$t_{SDA_{RHD}}$	0		ns
SPI__SDIのセットアップ時間(SPI__SCK)	$t_{SDI_{SU}}$	20		ns
SPI__SDIのホールド時間(SPI__SCK)	$t_{SDI_{HD}}$	0		ns
IRRCローパルス幅	$t_{IRRC_{LW}}$	$IRRC^2 \times 1 + 5$		ns
IRRCハイパルス幅	$t_{IRRC_{HW}}$	$IRRC \times 1 + 5$		ns

表 161. 交流特性(その2)

モード	項目	記号	最小値	最大値	単位
2相カウンタモード (AB相)	CNT__A(A相)のサイクル時間	tCA_{CYC}	$CNT^3 \times 4 + 20$		ns
	CNT__A(A相)のハイ/ローレベル幅	tCA_{PW}	$CNT \times 2 + 10$		ns
	CNT__B(B相)のサイクル時間	tCB_{CYC}	$CNT \times 4 + 20$		ns
	CNT__B(B相)のハイ/ローレベル幅	tCB_{PW}	$CNT \times 2 + 10$		ns
	CNT__A(A相)とCNT__B(B相)の位相差時間	$tCAB_{DIF}$	$CNT \times 1 + 5$		ns
	CNT__Z(Z相)のハイパルス幅	tCZ_{PW}	$CNT \times 1 + 5$		ns
2相カウンタモード (アップ/ダウン)	CNT__A(アップ)のサイクル時間	$tCUP_{CYC}$	$CNT \times 2 + 10$		ns
	CNT__A(アップ)のハイ/ローレベル幅	$tCUP_{PW}$	$CNT \times 1 + 5$		ns
	CNT__B(ダウン)のサイクル時間	$tCDN_{CYC}$	$CNT \times 2 + 10$		ns
	CNT__B(ダウン)のハイ/ローレベル幅	$tCDN_{PW}$	$CNT \times 1 + 5$		ns
	CNT__Z(クリア)のハイパルス幅	tCZ_{PW}	$CNT \times 1 + 5$		ns
単相カウンタモード	CNT__A/B/Z(単相)のサイクル時間	$tCSN_{CYC}$	$CNT \times 2 + 10$		ns
	CNT__A/B/Z(単相)のハイ/ローレベル幅	$tCSN_{PW}$	$CNT \times 1 + 5$		ns

- 1 $SCLK$ は $SCLK$ のサイクル時間です。
- 2 $IRRC$ は赤外線リモコンモジュールのクロックサイクル時間です。
- 3 CNT はカウンタモジュールのクロックサイクル時間です。

9.5. タイミングダイアグラム

9.5.1. クロック

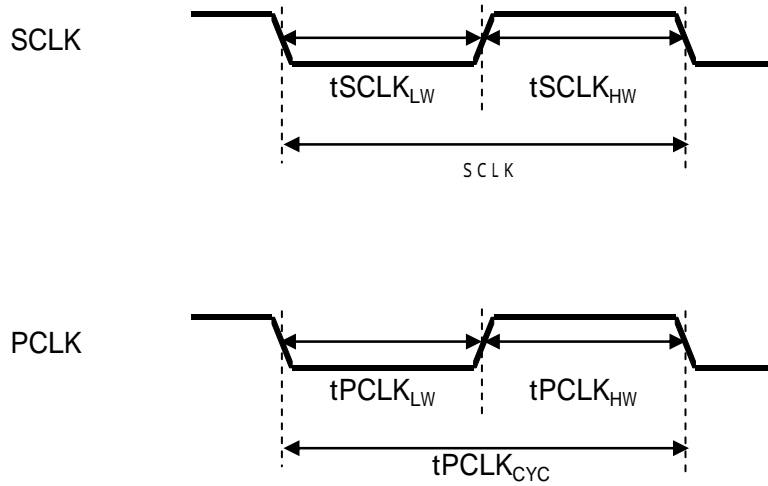


図5. クロック(SCLK、PCLK)タイミング

9.5.2. リセット

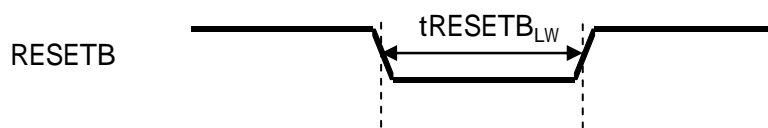


図6. リセット(RESET)タイミング

9.5.3. ホストインタフェース

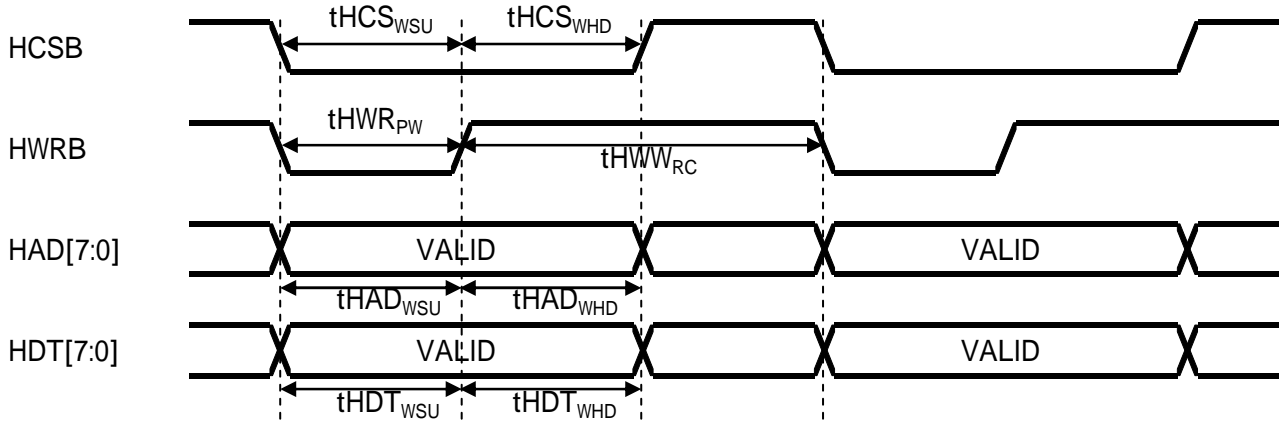


図7. ホストインタフェース(ライト)タイミング

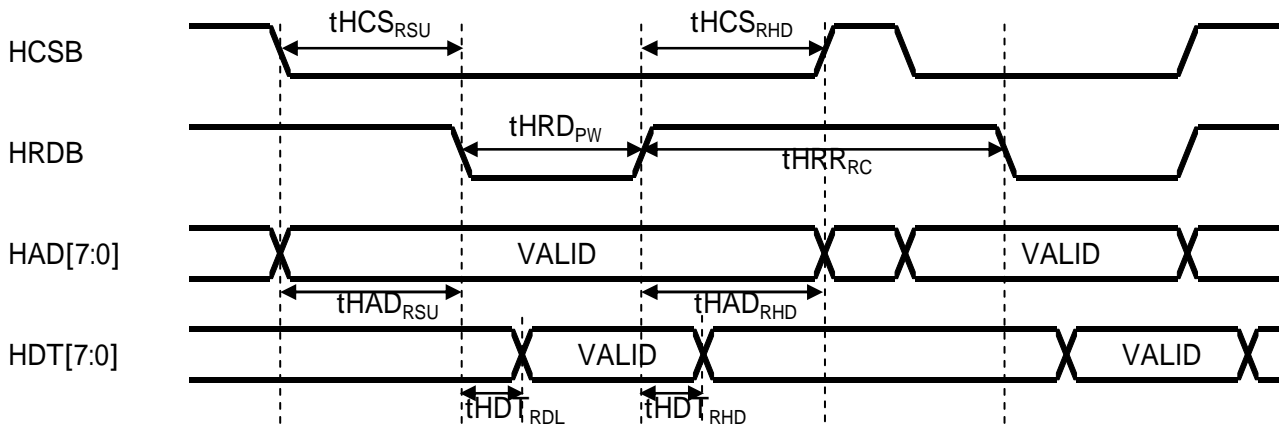
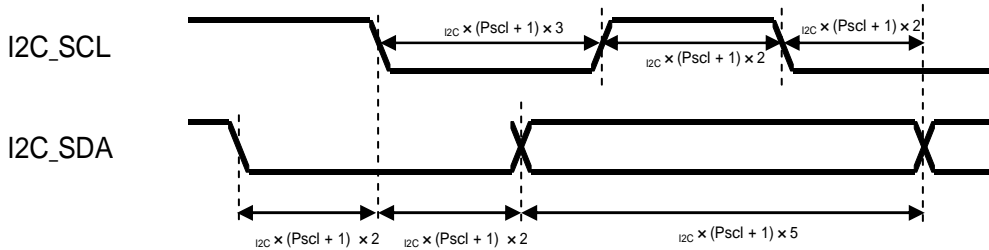


図8. ホストインタフェース(リード)タイミング

9.5.4. I2Cアクセス



Psc1はI2Cプリスケールレジスタ(40h、41h)の設定値です
I2CはI2Cモジュールのクロックサイクル(ns)です

図9. I2Cスタートコンディション、SCLパルス幅、SDAデータ幅及びデータホールドタイミング

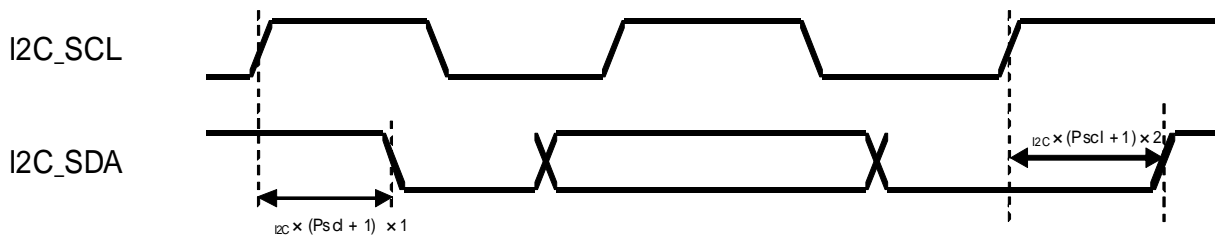


図10. I2Cリスタートコンディション及びストップコンディションタイミング

表 162. リスタートコンディションのセットアップタイミング

データ転送レート	F _{I2C}	Psc1	モード	I2C規格値 (スレーブの セットアップ時間)	ZEN1752F (マスターとしての 出力タイミング)
100KHz	50MHz	63h	標準	min. 4.7us	2.0us
42KHz	50MHz	EDh	標準	min. 4.7us	4.8us
400KHz	50MHz	18h	高速	min. 0.6us	0.5us
330KHz	50MHz	1Dh	高速	min. 0.6us	0.6us

F_{I2C}はI2Cブロックに供給するクロック周波数

リスタートコンディションのセットアップタイミングに関して、I2C規格がスレーブに対して要求しているセットアップタイミングとZEN1752Fがマスターとして出力するタイミング(SCLの立ち上がりからSDAの立ち下がりまでの遅延時間)は異なります。もし、このセットアップタイミングをI2Cのスレーブの規格値に厳密に合わせる必要がある場合は、表162に示すようにデータ転送レートを調整してください。なお、この場合、理論値として標準モードでは42KHz、高速モードでは330KHzが最速設定に

なりますが、プルアップ抵抗及び負荷容量等で各信号の立ち上がり時間は変動しますので、実機での十分な評価をお願いいたします。

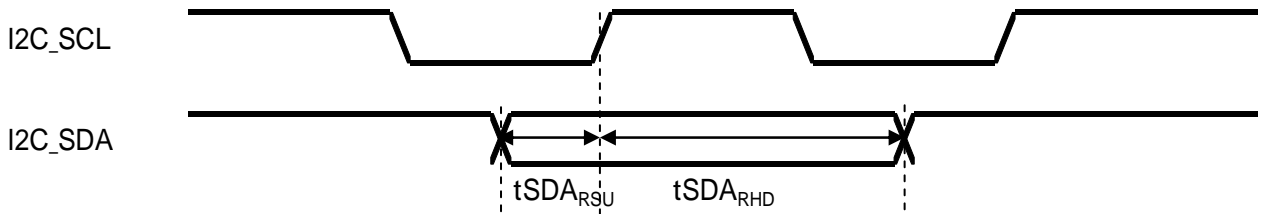


図 11. I2C データリードタイミング

9.5.5. SPIアクセス

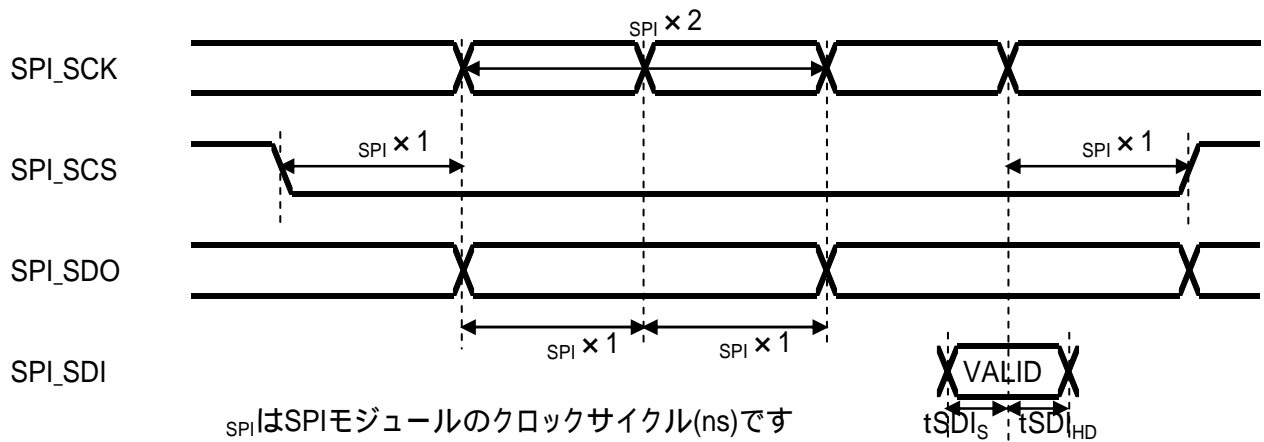
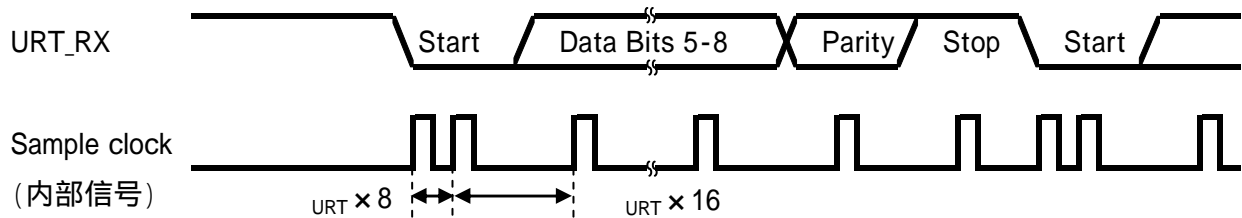


図12. SPIアクセスタイミング

9.5.6. UART



URTはUARTモジュールのクロックからボーレートジェネレータで生成したクロックサイクル(ns)です。このクロックサイクルを基準に入力信号をサンプリングします。

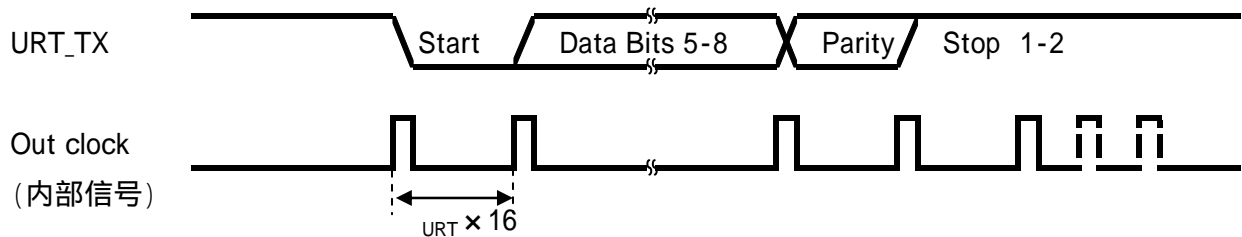
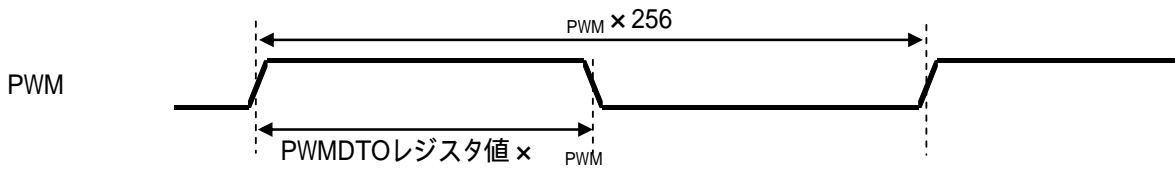


図13. UARTタイミング

9.5.7. PWM



PWM はPWMモジュールのクロックサイクル(ns)です

図 14. PWMタイミング

9.5.8. 赤外線リモコン

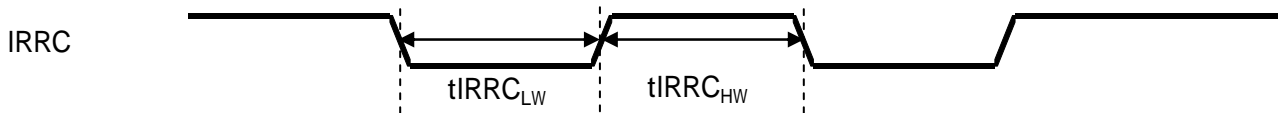


図 15. 赤外線リモコンタイミング

9.5.9. カウンタ

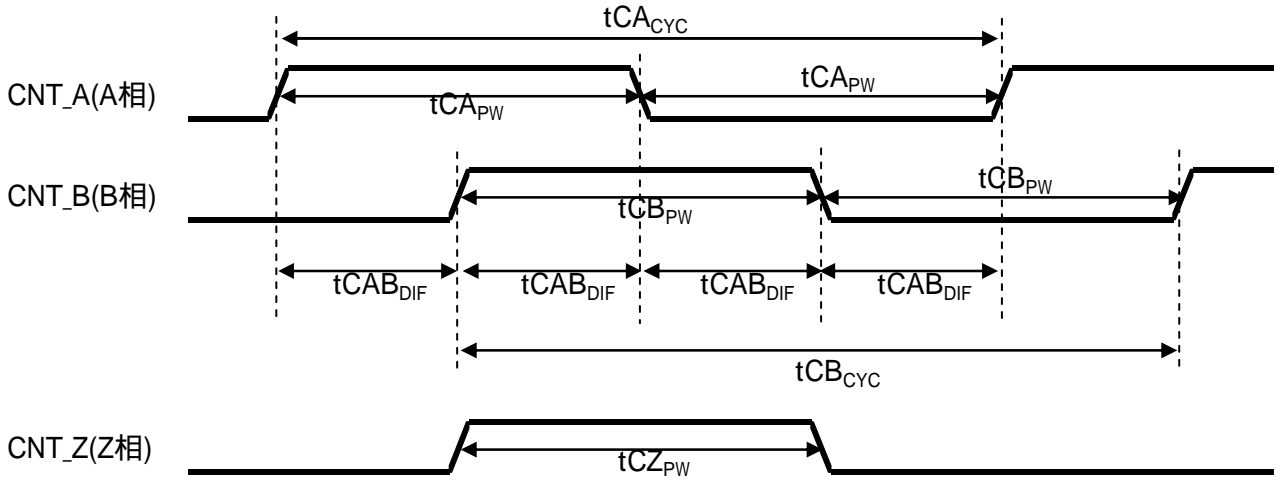


図 16. 2相カウンタモード(A/B相)タイミング

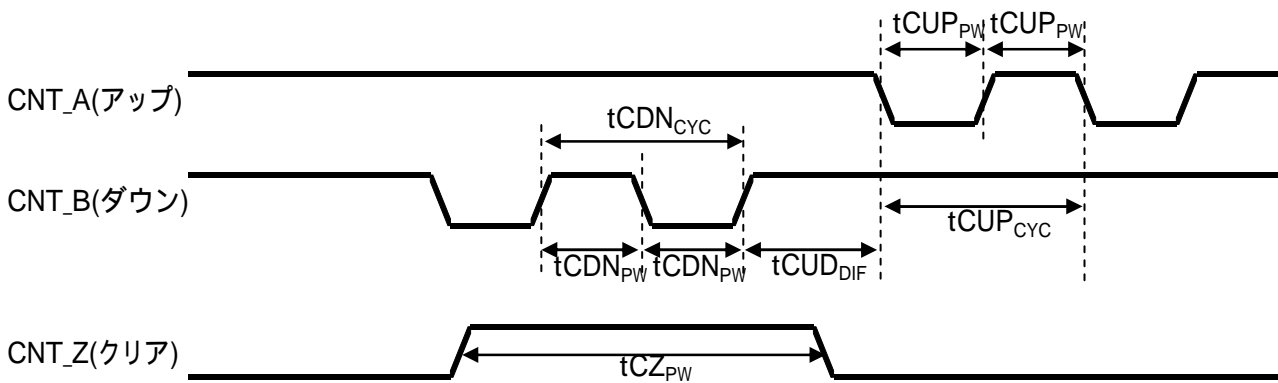


図 17. 2相カウンタモード(アップ/ダウン)タイミング

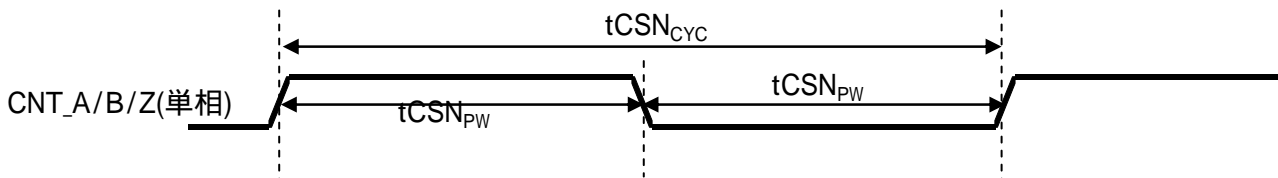
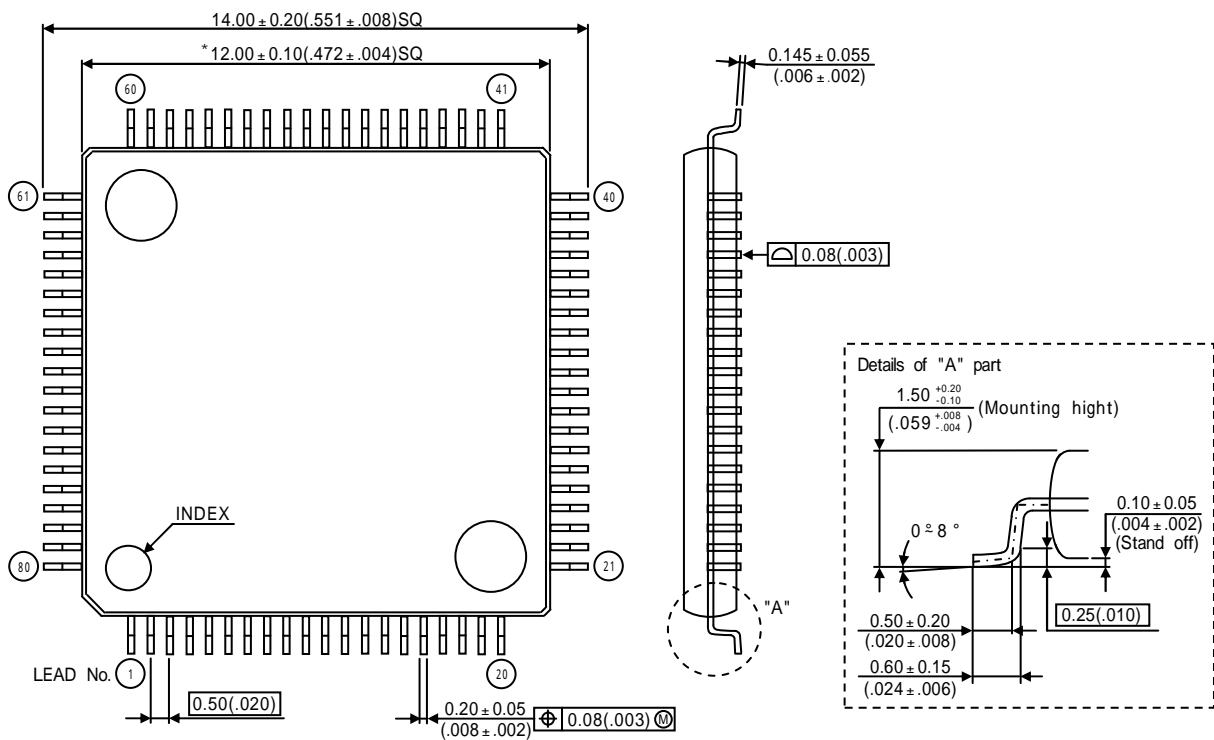


図 18. 単相カウンタモードタイミング

10. パッケージ形状



- 注1) *印寸法はレジン残りを含まず。
- 注2) 端子幅および端子厚さはメッキ厚を含む。
- 注3) 端子幅はタイパー切断残りを含まず。

単位:mm(inches)
注意:括弧内の値は参考値です。

図 19. 外形寸法図

11. 端子配置

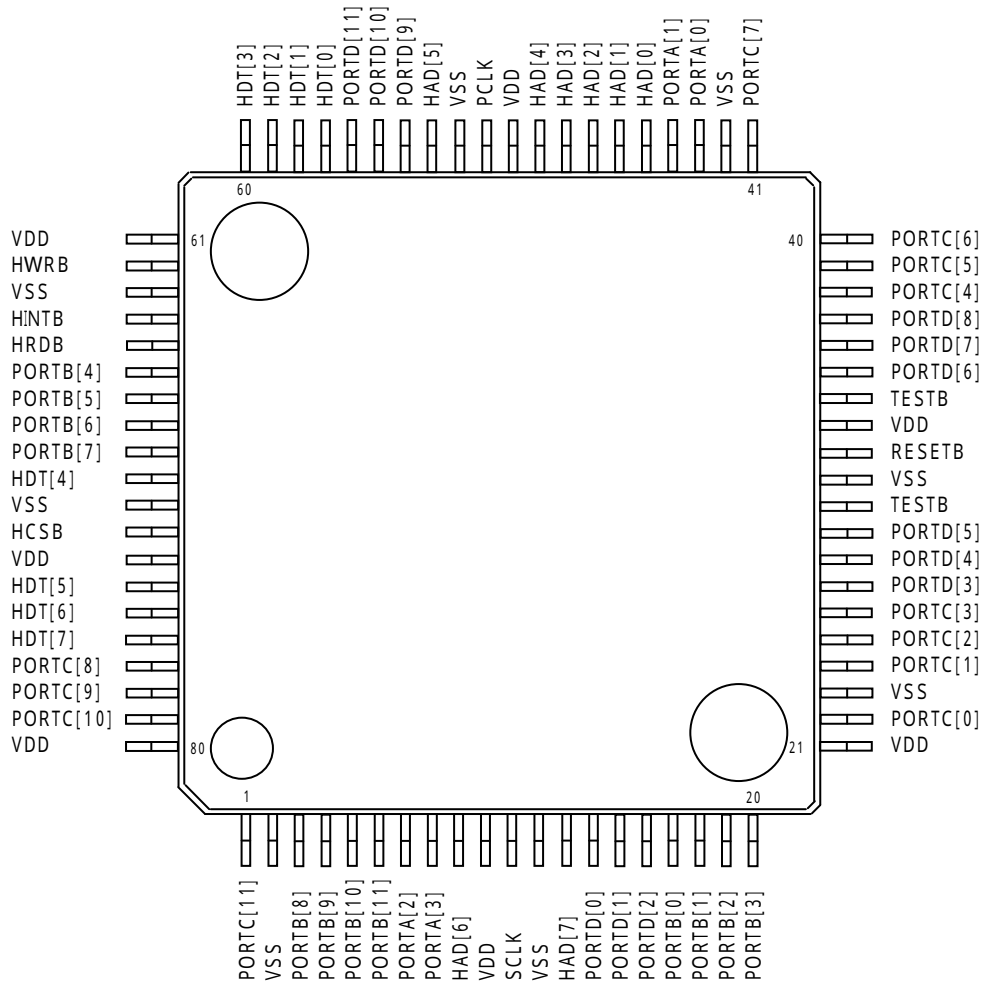


图 20. 端子配置图

12. 改訂履歴

バージョン	日付	内容
1.0	2009 / 07 / 03	正式版発行。

ご注意

- (1)本製品および本資料は株式会社ジーニックの著作物です。
したがって、本資料の全部または一部を無断で複製、転載することはご遠慮ください。
- (2)本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。
ご使用に際しては、最新の資料をご請求願います。
- (3)本資料に記載されております内容は工業所有権、その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- (4)本資料に記載されております応用回路例は基本的な使用方法を示したものであり、
回路の動作を保証するものではありません。
- (5)本製品の具体的な運用の結果、他への影響につきましては責任を負いかねますので、ご了承ください。
- (6)本製品は一般的な電子機器(電算機、計測機器、産業用ロボット、位置決め制御装置 etc.)に
使用されることを前提にしております。したがって、人命に関わる輸送機器、医療機器、航空・宇宙、
原子力関係機器などには使用しないでください。



株式会社 ジーニック

URL <http://www.zenic.co.jp/> / E-mail support@zenic.co.jp
〒520 - 0801 滋賀県大津市におの浜4 - 7 - 5 オプテックスビル8F
TEL:077 - 526 - 2101 / FAX:077 - 526 - 0500