

ZPCI002 (ZEN7251G評価システム)取扱説明書

株式会社ジーニック

Left blank

目次

概要.....	1
1. 特徴.....	1
2. 仕様.....	2
3. ブロック図.....	3
4. アドレスマップ.....	4
4.1. I/O領域.....	4
4.2. メモリ領域.....	5
5. 機能.....	6
5.1. I/Oポート.....	6
5.2. ローカルクロック.....	6
5.3. FPGA用ランド.....	6
5.4. コンフィギュレーションデバイス用ランド.....	6
5.5. ユニバーサルランド.....	6
5.6. 拡張コネクタ用ランド.....	6
5.7. EEPROM.....	7
6. 拡張コネクタ用ランド端子一覧.....	8
7. 付録A (回路図).....	10
8. 付録B (寸法図).....	14
9. 改訂履歴.....	16

Left blank

概要

ZPCI002 はDMA内蔵PCIバス・インタフェースIC ZEN7251G 用の評価ボードです。基本仕様はPCI(Revision 2.2)規格に準拠しています。

I/Oアクセス及びメモリアクセスのターゲットデバイスとして非同期高速SRAMを搭載しています。ボード上にはユニバーサル・ランド及び拡張コネクタ実装用ランドを用意していますので、ローカル側に任意のデバイスを実装してより実使用状態に近い形での評価も可能になっています。

さらに、FPGA実装用ランド及びコンフィギュレーションデバイス実装用ランドも用意していますので、お客様でFPGAとコンフィギュレーションデバイスを実装していただくことにより、拡張基板を作成することなく柔軟な評価作業を行うことができます(対応デバイスは表1を参照してください)。

ZEN7251G のローカルクロック入力(LCLKI)はPCIクロック出力(LCLKO)と水晶発振器(50MHz)の出力とをジャンパピンで切り換え可能です。また、FPGA実装時にはFPGAからの出力をZEN7251G のローカルクロック入力として利用することもできます。

汎用I/Oポートの動作を簡単にチェックできるようにLEDを8個実装しています。

1. 特徴

ローカルクロック入力選択可能

ユニバーサル・ランド、拡張コネクタ実装用ランド、FPGA(ALTERA Cyclone™ EP1C3T144)実装用ランド及びコンフィギュレーションデバイス(ALTERA EPCS1S18)実装用ランドを用意

高速SRAMを対象デバイスとして、DMA及びターゲットアクセスの動作確認が可能

LEDにより汎用I/Oポートの動作確認が可能

評価用ドライバ及び簡易アプリケーション添付

5V PCI準拠

サイズ:174.63mm × 98.41mm

2.仕様

表1.仕様一覧

項目	仕様
最大動作周波数	50MHz
SRAM	I/Oアクセス用:16bit × 64K × 2(内使用可能領域8KByte) メモリアクセス用:16bit × 256K × 2
LED	電源用(赤色 × 1) / 汎用I/Oポート用(緑色 × 8)
拡張コネクタ用ランド	2列60ピン × 2(2.54mmピッチ)
FPGA実装用ランド	ALTERA Cyclone™ EP1C3T144 用
FPGAコンフィギュレーション デバイス用ランド	ALTERA EPCS1S18 用
動作環境条件	温度:0~50、湿度:35~85%
動作電源電圧	+5V ± 5%
消費電流	MAX.670mA
寸法	174.63 × 98.41[mm]

3. ブロック図

ZPCI002 の内部ブロック図を図1に、基板回路図を付録Aに示します。

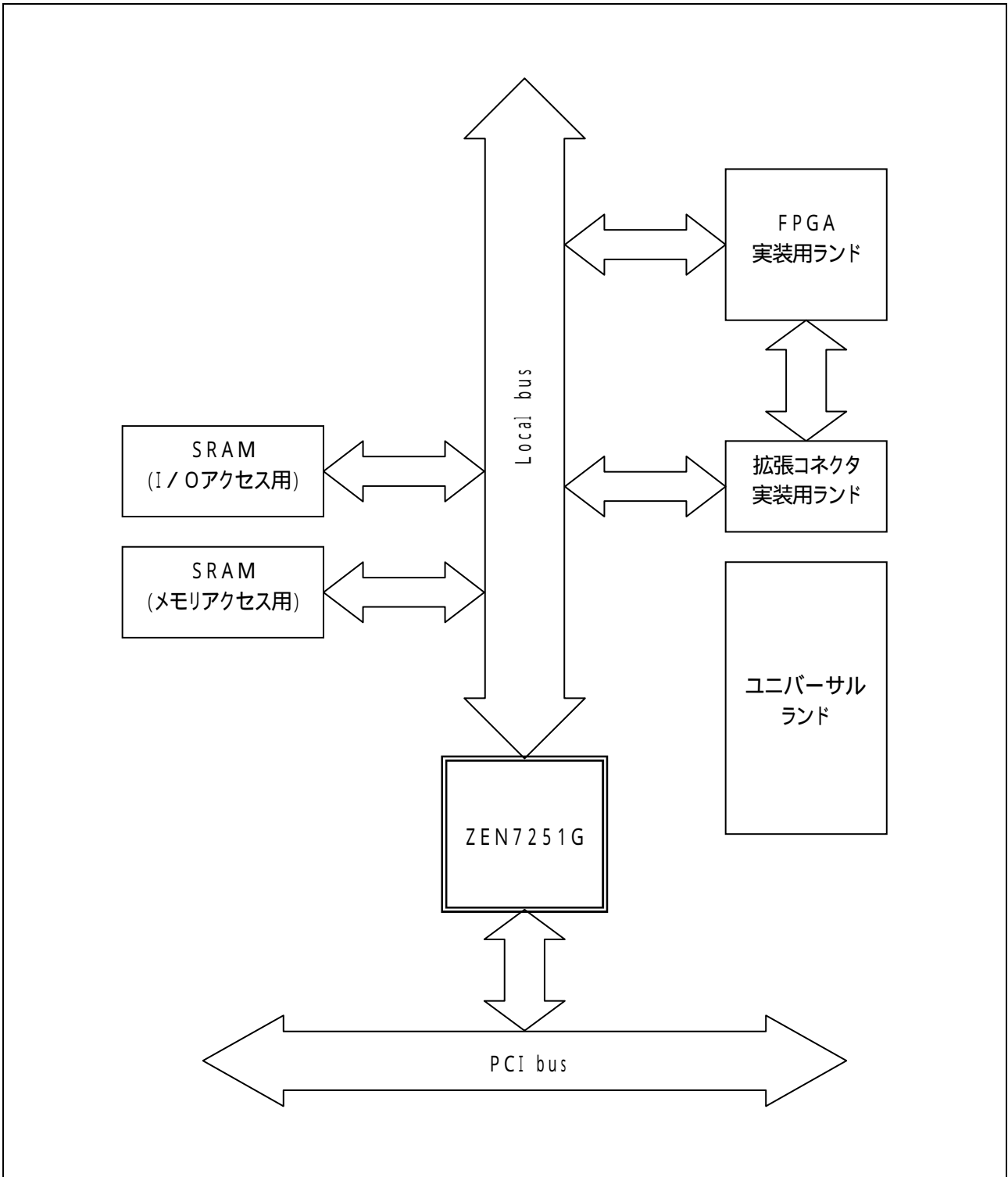


図 1. ブロック図

4. アドレスマップ

4.1. I/O領域

I/Oアクセスのテスト用デバイスとして非同期SRAM[16bit × 64K × 2(内使用可能領域8KByte)]を搭載しています。本SRAMのチップセレクトには、内蔵アドレスデコーダを使用して8分割した領域のうちのLCE#[0]を接続しています。PCIバス側に要求するI/O領域のサイズは512Byteに設定しています。従って、ローカルアドレス(LADDR[15:2])のうち、下位7bit(LADDR[8:2])はPCIからのアドレス、上位7bit(LADDR[15:9])はZEN7251GのI/O用バンクレジスタに設定した値が使われます。

内蔵アドレスデコーダに関して、ZEN7251Gのタイミングコントロールレジスタのbit[26:24]を“111”に設定していますので、アドレスデコードの対象はbit[15:13]になります。

以上より本SRAMを対象として使用可能なアドレス領域は512Byte(PCIバスのリソースとしてリニアに確保) × 16(I/O用バンクレジスタbit[12:9]で指定) = 8KByteになります(このようにZEN7251Gではバンクレジスタを活用することにより、PCIバスのリソース要求を最小限にとどめ広いローカルのアドレス領域を使用することができます。)

なお、拡張コネクタを経由して他のI/Oデバイスを使用する場合はLCE#[1]~[7]をチップセレクトに接続してください。その際、それぞれのデバイスへのアクセスはI/O用バンクレジスタを下表に従って設定してください。

表2. I/O領域アドレスマッピング

LCE #	デバイス	ZEN7251G I/O用バンクレジスタ			PCIアドレス(h)
		bit[15:13]	bit[12:9]	bit[8:0]	
0	SRAM	000	0000 ~ 1111	XXXXXXXX00	BAR + 0000 ~ 01ff
1	未使用	001	0000 ~ 1111		
2	未使用	010	0000 ~ 1111		
3	未使用	001	0000 ~ 1111		
4	未使用	100	0000 ~ 1111		
5	未使用	101	0000 ~ 1111		
6	未使用	110	0000 ~ 1111		
7	未使用	111	0000 ~ 1111		

BAR: ZEN7251G ローカルバスコントロールベースアドレスレジスタ(I/O用) &ffffe00(h)

4.2. メモリ領域

メモリアクセスのテスト用デバイスとして非同期SRAM[16bit × 256K × 2(全領域使用可能)]を搭載しています。本SRAMのチップセレクトには、LADR[25]を接続しています。PCIバス側に要求するメモリ領域は本SRAMのアドレスの全領域をカバーする1MByteに設定しています。従って、I/O領域とは異なり、全領域をリニアにアドレッシングすることができます。ただし、チップセレクトにLADR[25]を使用しているため、本メモリへのアクセスの際にはメモリ用バンクレジスタのbit[25]に“0”を設定する必要があります(他のbitは任意です)。

なお、拡張コネクタを経由して他のメモリデバイスを使用する場合は、表3に示します本SRAMが占有するアドレスと重ならないようにご注意ください。

表3. メモリ領域アドレスマッピング

デバイス	LADR[25]	LADR[24:20](h)	LADR[19:0](h)	PCIアドレス(h)
SRAM	0	XX	00000 ~ ffffc	BAR + 00000 ~ ffffc
未使用	1	0000000 ~ 1ffffc		BAR + 00000 ~ ffffc

BAR: ZEN7251G ローカルバスコントロールベースアドレスレジスタ(メモリ用) &fff00000(h)

5. 機能

5.1. I/Oポート

I/Oポートの出力テスト用にLEDを8個装備しています。

5.2. ローカルクロック

ジャンパポスト(JP5)の設定により、下表のようにクロックを切り換えることができます。

表4. ローカルクロック

JP5	ローカルクロック
1 - 2	ZEN7251G のPCIクロック出力(33MHz)
3 - 4	水晶発振器出力(50MHz)
5 - 6	FPGA出力(最大50MHz)

FPGA実装時

5.3. FPGA用ランド

ALTERA Cyclone™ EP1C3T144 用の実装ランドを用意しています。FPGAを実装すれば子基板を作成することなく、より詳細な評価が可能です。

5.4. コンフィギュレーションデバイス用ランド

上記FPGAをコンフィギュレーションするためのデバイス(ALTERA EPCS1S18)用実装ランドも用意しています。

5.5. ユニバーサルランド

部品用2.54mmピッチのユニバーサルランドを用意しています。

5.6. 拡張コネクタ用ランド

拡張コネクタを実装するためのランドを用意しています(CN2, CN3)。本ランドには ZEN7251G のすべてのローカルバス信号を接続しています。本ランドに基板接続用のコネクタを実装し、子基板を製作・増設することが可能です。なお、それぞれのランドの信号名については表7及び表8を参照してください。

5.7. EEPROM

ZEN7251G の各種レジスタの初期化用にEEPROM(1Kbit MICROWIRE Serial Access EEPROM)を実装しています。ジャンパポスト(JP1)の設定によりEEPROMによる初期化の有効/無効を切り換えることができます。万一、不適当な値をEEPROMに設定し、ホストが立ち上がらなくなった場合はJP1で初期化を無効にしてホストを立ち上げてからEEPROMを書き換えてください。なお、ZEN7251G モードレジスタ経由のEEPROMへのアクセスはJP1の設定に関わらず可能です。

表5. 初期化設定

JP1	EEPROMによる初期化
1 - 2	有効
2 - 3	無効

表6. EEPROM設定値

EEPROM オフセット アドレス(h)	レジスタ	設定値 (h)	設定値の内容
00	予約	0000	
01	クラスコード(プログラミングI/F)、 レビジョンID	0001	レビジョン:01h
02	クラスコード(ベースクラス、サブクラス)	0680	その他のPCIブリッジ
03	予約	0000	
04	サブシステムベンダID	2ec1	ZENIC 製ボード
05	サブシステムID	0003	本評価ボード
06	インタラプトピン、インタラプトライン	0100	インタラプトピンはINTA #
07	Max__Lat、Min__Gnt	0000	Max__Lat、Min__Gntは特に要求しない
08	レンジレジスタ(I/O用)下位ワード	fe01	I/O空間要求:512Byte
09	バンクレジスタ(I/O用)下位ワード	0000	I/O用チップセレクトは搭載SRAMを選択
0a	レンジレジスタ(メモリ用)下位ワード	0000	メモリ空間要求:1MByte
0b	レンジレジスタ(メモリ用)上位ワード	fff0	
0c	バンクレジスタ(メモリ用)下位ワード	0000	メモリテスト用SRAMのチップセレクト有効
0d	バンクレジスタ(メモリ用)上位ワード	0000	
0e	タイミングコントロールレジスタ下位ワード	0010	I/Oアクセスパルスワイズ:2clk
0f	タイミングコントロールレジスタ上位ワード	0f01	内蔵アドレスデコーダ有効、LADR [15:13]でデコード メモリアクセスパルスワイズ:2clk
10	デバイスコントロールレジスタ下位ワード	0014	デフォルト値
11	デバイスコントロールレジスタ上位ワード	0001	デフォルト値
12	I/Oポートコントロールレジスタ	ff00	デフォルト値

注意)メモリ空間およびI/O空間を未使用(0バイトの空間)にすることはできません。

6. 拡張コネクタ用ランド端子一覧

表7にCN2、表8にCN3の各端子の信号名を示します。なお、印のついた信号はFPGA実装時のみ有効です。

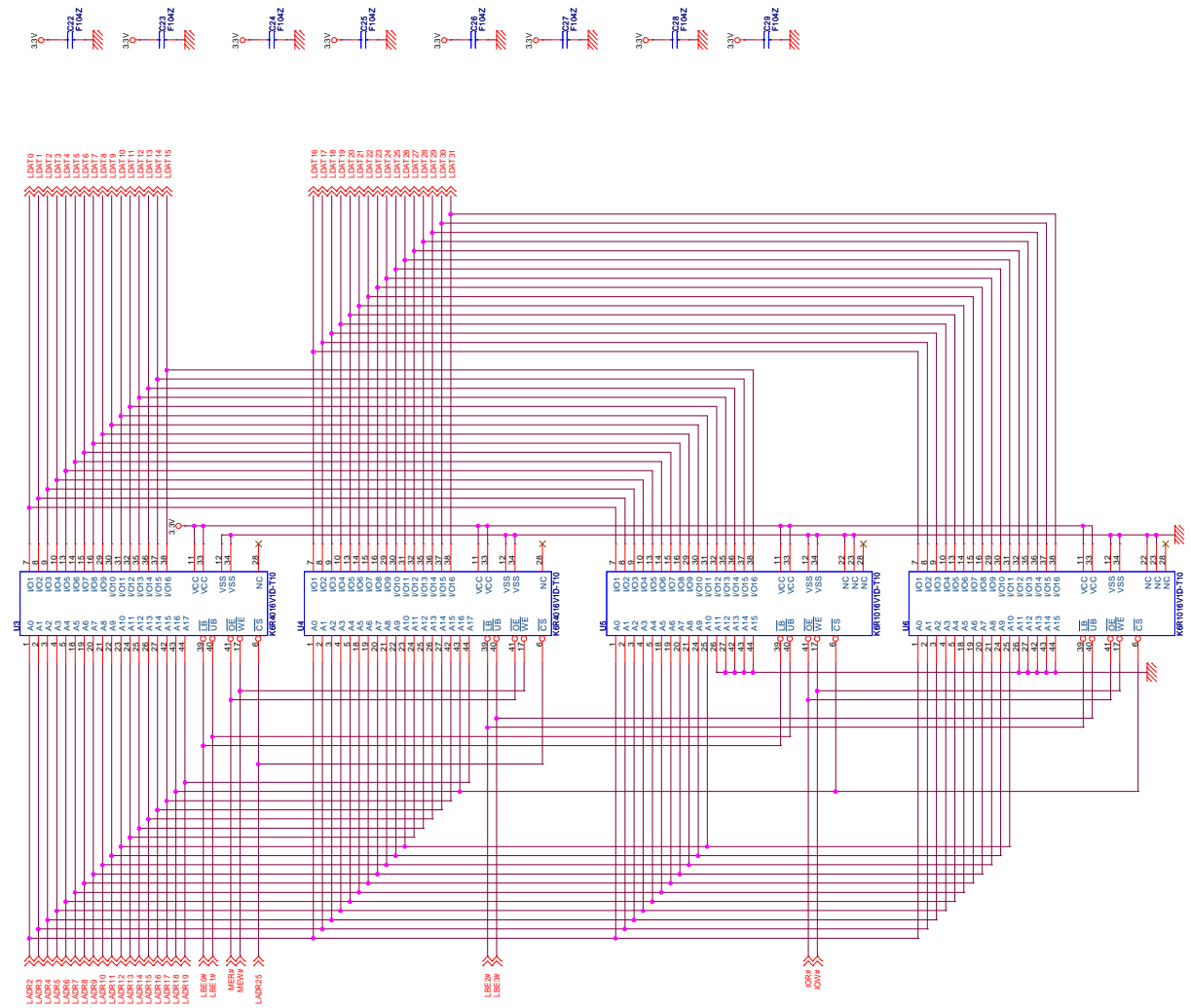
表7. 拡張コネクタ用ランド(CN2)端子一覧表

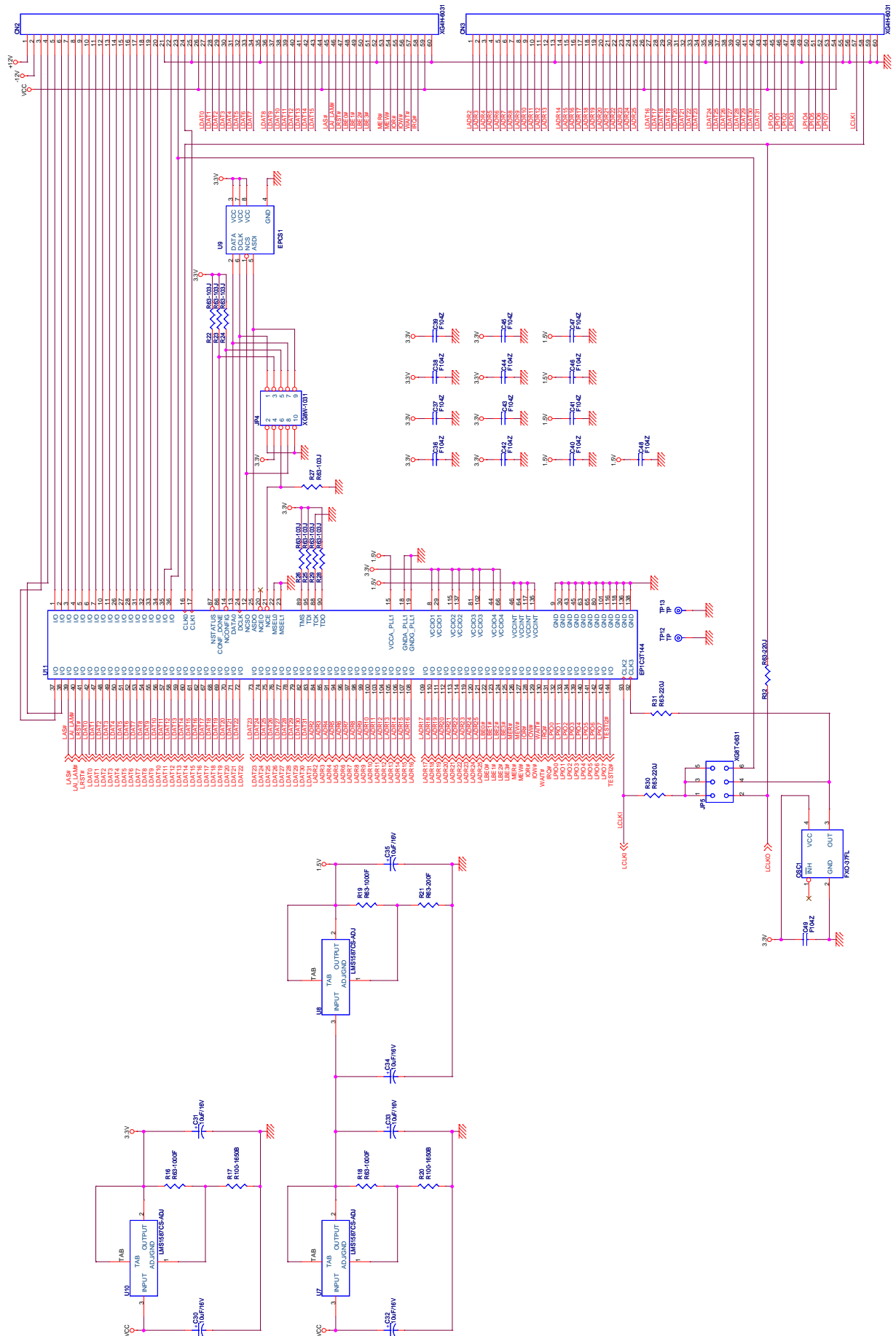
信号名	No.		信号名
+12V	1	2	-12V
FPGA__37pin	3	4	FPGA__38pin
FPGA__1pin	5	6	FPGA__2pin
FPGA__3pin	7	8	FPGA__4pin
FPGA__5pin	9	10	FPGA__6pin
FPGA__7pin	11	12	FPGA__10pin
FPGA__11pin	13	14	FPGA__26pin
FPGA__27pin	15	16	FPGA__28pin
FPGA__31pin	17	18	FPGA__32pin
FPGA__33pin	19	20	FPGA__34pin
GND	21	22	FPGA__35pin
FPGA__36pin	23	24	FPGA__17pin
GND	25	26	+5V
LDAT[0]	27	28	LDAT[1]
LDAT[2]	29	30	LDAT[3]
LDAT[4]	31	32	LDAT[5]
LDAT[6]	33	34	LDAT[7]
GND	35	36	LDAT[8]
LDAT[9]	37	38	LDAT[10]
LDAT[11]	39	40	LDAT[12]
LDAT[13]	41	42	LDAT[14]
LDAT[15]	43	44	+5V
LAS#	45	46	LAI__LAM#
LRST#	47	48	LBE#[0]
LBE#[1]	49	50	LBE#[2]
LBE#[3]	51	52	GND
MER#	53	54	MEW#
IOR#	55	56	IOW#
WAIT#	57	58	IRQ#
+5V	59	60	GND

表8. 拡張コネクタ用ランド(CN3)端子一覧表

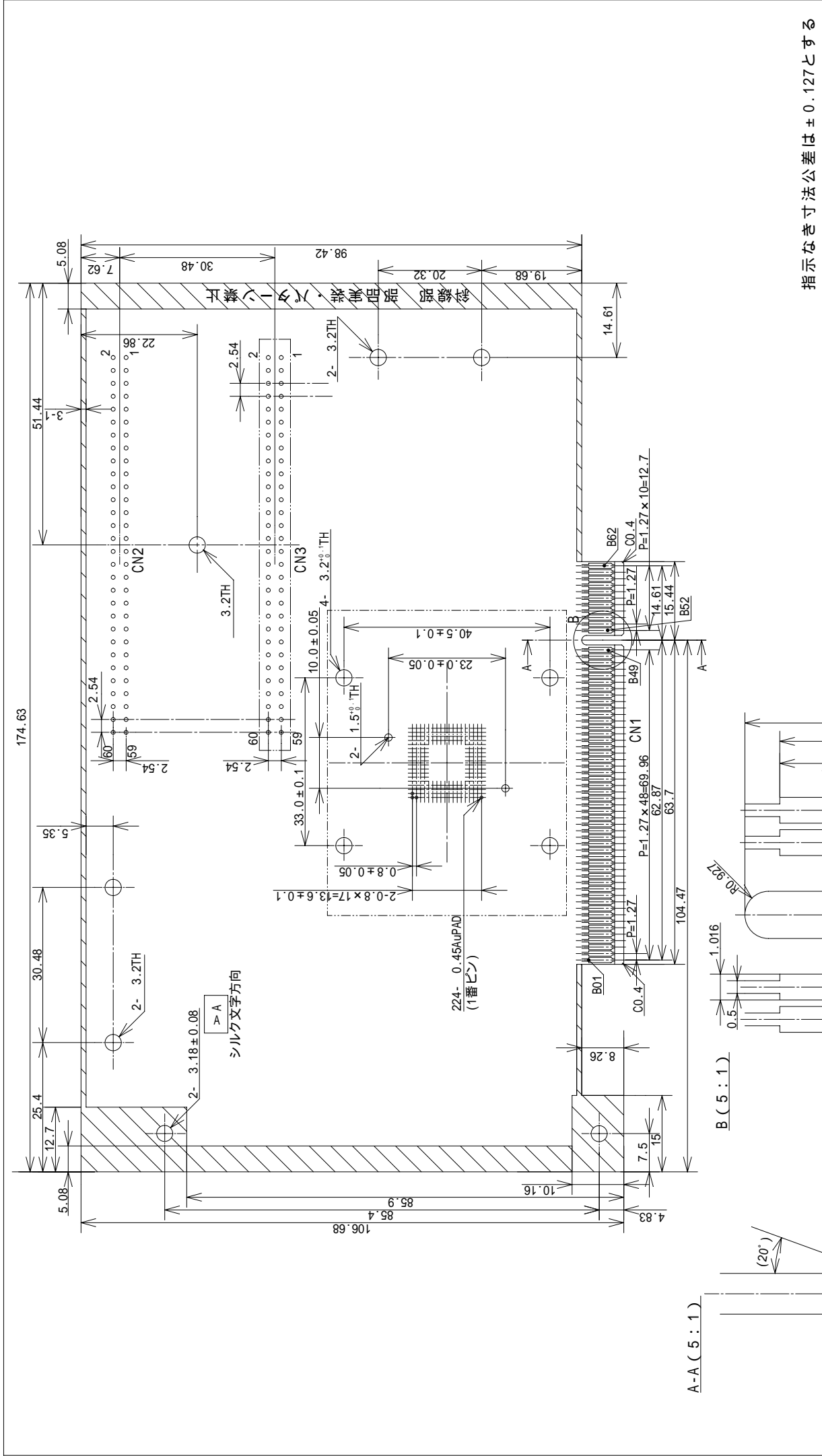
信号名	No.		信号名
LADR[2]	1	2	LADR[3]
LADR[4]	3	4	LADR[5]
LADR[6]	5	6	LADR[7]
LADR[8]	7	8	LADR[9]
LADR[10]	9	10	LADR[11]
LADR[12]	11	12	LADR[13]
GND	13	14	LADR[14]
LADR[15]	15	16	LADR[16]
LADR[17]	17	18	LADR[18]
LADR[19]	19	20	LADR[20]
LADR[21]	21	22	LADR[22]
LADR[23]	23	24	LADR[24]
LADR[25]	25	26	+ 5V
LDAT[16]	27	28	LDAT[17]
LDAT[18]	29	30	LDAT[19]
LDAT[20]	31	32	LDAT[21]
LDAT[22]	33	34	LDAT[23]
GND	35	36	LDAT[24]
LDAT[25]	37	38	LDAT[26]
LDAT[27]	39	40	LDAT[28]
LDAT[29]	41	42	LDAT[30]
LDAT[31]	43	44	+ 5V
LPIO[0]	45	46	LPIO[1]
LPIO[2]	47	48	LPIO[3]
GND	49	50	LPIO[4]
LPIO[5]	51	52	LPIO[6]
LPIO[7]	53	54	+ 5V
GND	55	56	GND
LCLKI	57	58	LCLKO
GND	59	60	GND

7. 付録A (回路図)



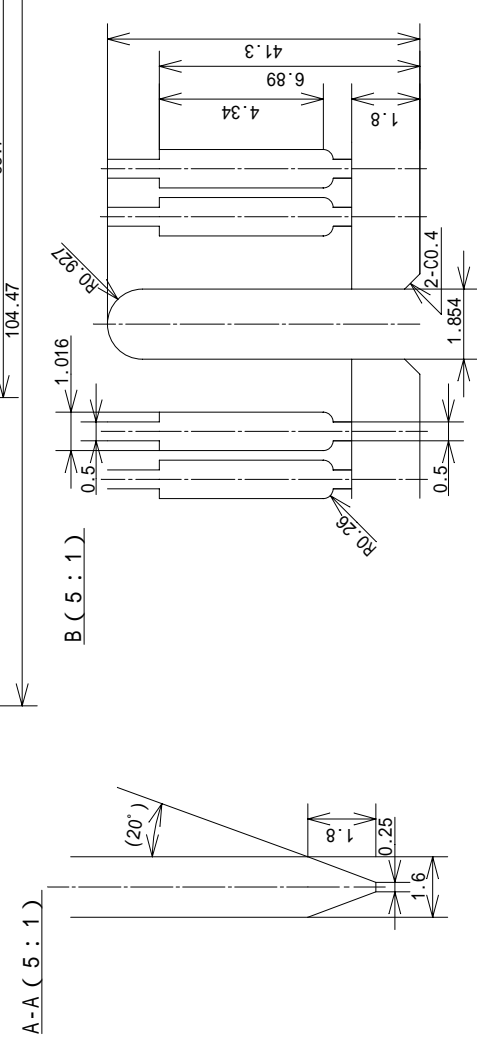


8. 付録B (寸法図)



指示なき寸法公差は ± 0.127とする

記号	訂正記事		日付	担当	承認	員数
FR-4	材質	板厚	仕上	名称	ZPC1002寸法図	
T=1.6	6層	スルホール	1:1 (5:1)	図番	ZPC1002	
設計	作図	検図	承認	作成日付	2005.1.20	
適応機種			ZPC1002			
ZPC1002.JWW			株式会社ジーン			



9. 改訂履歴

バージョン	改訂日付	内容
1.0	05 / 05 / 13	初版発行
1.1	05 / 05 / 17	寸法図修正
1.2	05 / 05 / 23	一部フォント修正
1.3	05 / 07 / 19	サブシステムID修正
1.4	09 / 02 / 25	住所変更

Left blank

ご注意

- (1) 本製品および本資料は株式会社ジーニックの著作物です。
したがって、本資料の全部または一部を無断で複製、転載することはご遠慮ください。
- (2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。
ご使用に際しては、最新の資料をご請求願います。
- (3) 本資料に記載されております内容は工業所有権、その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- (4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、
回路の動作を保証するものではありません。
- (5) 本製品の具体的な運用の結果、他への影響につきましては責任を負いかねますので、ご了承ください。
- (6) 本製品は一般的な電子機器(電算機、計測機器、産業用ロボット、位置決め制御装置 etc.)に
使用されることを前提にしております。したがって、人命に関わる輸送機器、医療機器、航空・宇宙、
原子力関係機器などには使用しないでください。



株式会社 ジーニック

URL <http://www.zenic.co.jp/> / E-mail support@zenic.co.jp
〒520 - 0801 滋賀県大津市におの浜4 - 7 - 5 オプテックスビル8F
TEL:077 - 526 - 2101 / FAX:077 - 526 - 0500

(MZPCI002C09B)ZENIC INC.