

---

**プログラマブル・ユニバーサル・カウンタ**


---

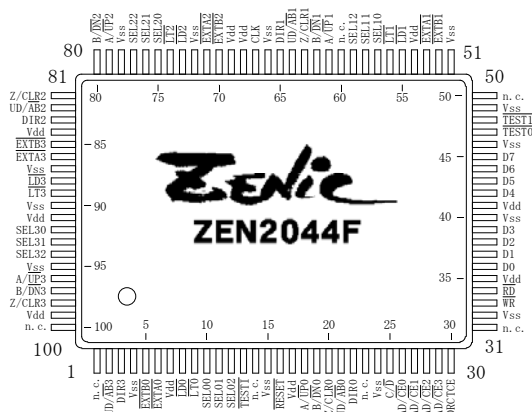
ZEN2044Fは24ビット × 4チャンネルのプログラマブル・ユニバーサル・カウンタLSIです。ロータリーエンコーダ、リニアスケール等から出力される2相パルス信号やアップダウン・パルス信号のカウントが可能です。

汎用型カウンタZEN2011Pのカウンタ応答速度を33Mbps(Max)と約4倍に高速化し、4チャンネル化したLSIです。各チャンネルはZEN2011Pの機能を完全に独立してもっており、ZEN2011Pと機能互換、ソフトウェア互換となっています。したがって、ZEN2011Pのソフトウェア資産を継承しつつ、多チャンネル化や高速化に対応する事ができます。

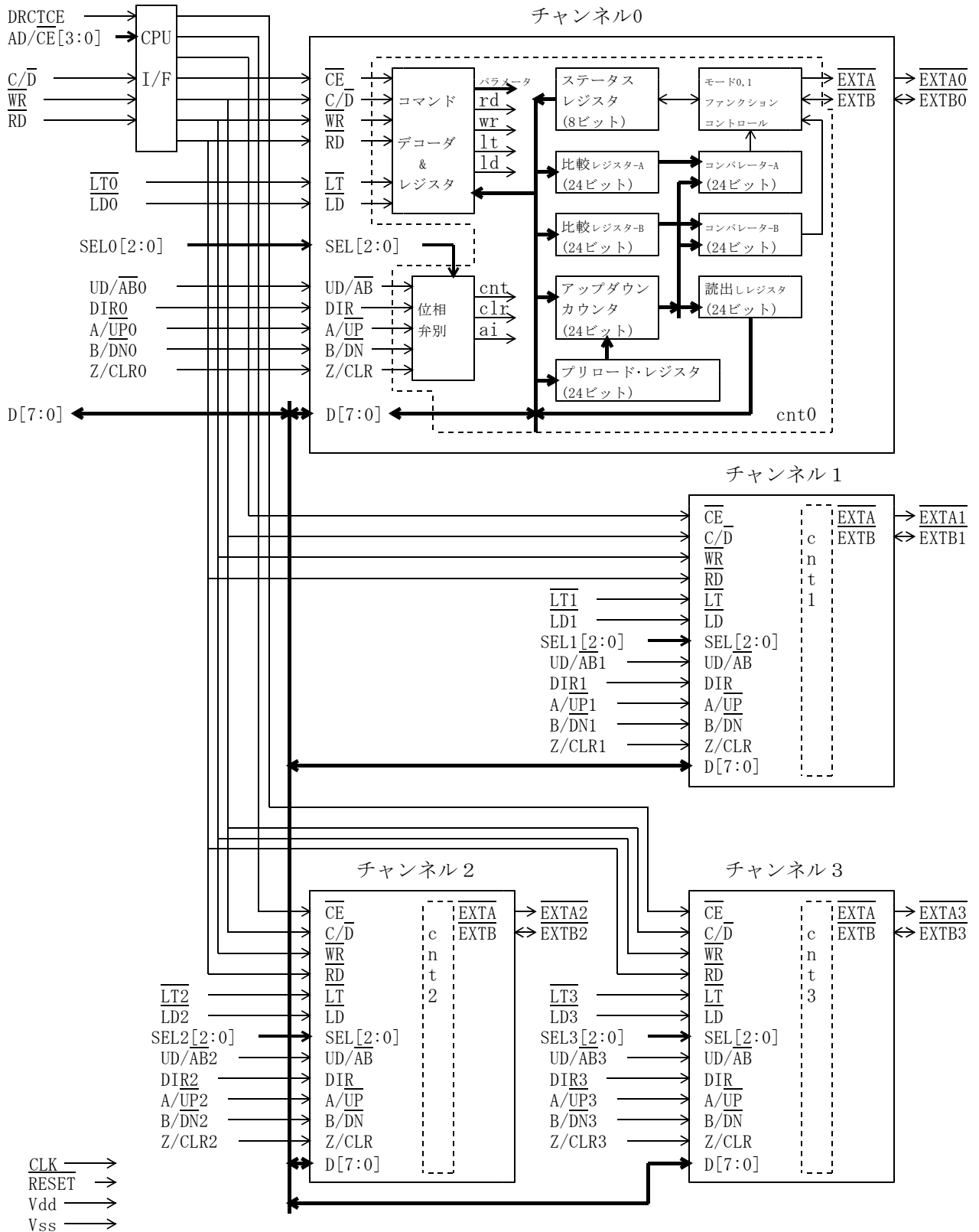
**1. 特徴**

- 24ビット・バイナリ・アップダウン・カウンタ [× 4ch]
- カウンタ応答速度 33Mbps MAX (クロック  $f_0=33\text{MHz}$  Max, デューティ50% 動作時)
- カウント・パルス入力周波数
  - ・2相パルス信号入力モード時 : DC~ 8.25MHz Max ( $f_0 \times 1/4$ 以内)
  - ・アップダウン・パルス信号入力モード時 : DC~16.50MHz Max ( $f_0 \times 1/2$ 以内)
- 2相パルス入力位相弁別回路内蔵 [× 4ch]
- 異常入力検出機能 (2相パルス信号入力モード時) [× 4ch]
- カウンタ動作モード切替可能
  - ・逡倍切換 1/2/4倍 (2相パルス信号入力時)
  - ・カウント方向切換
  - ・カウンタ・クリア制御 同期/非同期クリア
- 24ビットの比較レジスタ値とカウンタ値の一致検出機能 [× 4ch]
- コマンドモード切替可能 [× 4ch]
  - ・モード0
    - ・各chに1組の比較レジスタ、コンパレータ
    - ・ロードコマンド
    - ・ラッチコマンド
    - ・クリア回数設定
  - ・モード1
    - ・モード0のすべての命令セット
    - ・各chに2組の比較レジスタ、コンパレータ
    - ・2つのコンパレータのOR出力設定
    - ・各種要因の割り込み出力設定
- カウンタ値の一括24ビットデータラッチ機能 [× 4ch]
- カウンタへの一括24ビットデータロード機能 [× 4ch]
- チップ内部ステータス読み出し可能 [× 4ch]
- 8ビット双方向データバス
- CMOSプロセス採用による低消費電力
- +5V 単一電源
- QFP100PIN
- ZEN2011Pソフトウェア互換
- ZEN2011P機能互換

端子配置図(Top View)



## 2. ブロック図



株式会社ジーニック

URL <http://www.zenic.co.jp/> E-mail [support@zenic.co.jp](mailto:support@zenic.co.jp)

〒520-0801 滋賀県大津市におの浜4-7-5 オプテックスビル8F TEL 077-526-2101 FAX 077-526-0500