

ZEN3001F データシート

株式会社ジーニック

目次

概略	1
機能概略	1
機能説明	2
システム構成例	3
ブロック図	3
ピン配置図	4
端子アサイン表	5
基本端子説明	9
電気的特性	10
AC特性タイミングチャート	11
ACタイミングスペック	13
入出力信号説明	15
入力マルチ接続制御仕様	18
機能一覧	20
パラメータ抽出機能説明	25
画像調整機能説明	27
センサー処理機能説明	31
Micon ノーマル I/F タイミングチャート(レジスタ、メモリR/W)	33
Micon ファースト I/F タイミングチャート(メモリR/W)	33
Micon DMA I/F タイミングチャート(メモリR/W)	34
割り込み制御機能	34
SDRAMデータアクセス制御フロー	36
外部メモリマップ	37
SDRAMデータフォーマット及びマイコンアクセス順序	39
PLL制御仕様	41
レジスタマップ	44
外形図	86
改版履歴	87

[制限事項]

ZEN3001Fを使用される際に、以下の制限事項があります。

1. J P E G 圧縮機能

インターレース入力時、スルーモードでの J P E G エンコード処理ができません。

[対応策]

1. プログレッシブ入力にする。
2. 圧縮、圧縮スルー、拡大またはモザイクモードにする。

[概略]

ZEN3001Fは入力に汎用的なCMOSイメージセンサのインターフェイスポートを備え、入力される画像に対し、情報抽出、センシング、画像圧縮をリアルタイムに処理できる画像センシングコントローラです。従来の画像センサシステムで独立に制御が必要であった3大要素を1チップで実現した事により大幅にシステム効率が改善できます。また、豊富に準備された各種機能の組み合わせにより多様な製品展開への移行を容易に行う事ができます。

画像入力ポートはプロダクトレップ、インターレース両インターフェイスに対応しております。最大4ポートの非同期画像入力を個別ポート単位で制御する事ができます。入力画像情報の抽出機能により現在の入力画像状態を容易に把握する事ができますので、環境変化に伴う画像変動とセンシング対象物による変動を容易に区別する事が可能です。また、センサ自身のゲイン調整と内蔵された輝度補正を組み合わせる事によりセンサ自身の照度限界を超えた環境下であっても画像再現性を向上させる事ができます。

センシング及び圧縮を始めとする画像処理はリアルタイム処理が可能でありストリムは割り込み、ステータスリソクなどにより最新の情報及び状態を取り出す事ができます。JPEG処理は通常入力画像に対する圧縮処理を行います。予め準備したデータに対するコーデック処理もできますので画像送信側では圧縮、受信側では伸張といった用途に対して同一レベルで構築する事ができます。

外付けメモリは標準128Mbで12フレーム分の画像情報とJPEG圧縮データを32枚同時処理しますが小規模なシステムに対しては64Mbを使用しシステムコストを低減する事ができます。

出力インターフェイスとして動画、静止画表示の他に、最大4画面のマルチ画面表示、入力画像に対するインボーズ表示など多様な表示機能を内蔵していますので入力のマルチ画像入力と合わせて様々な表示システムを容易に構築できます。

[機能概略]

入力インターフェイス

- CMOSイメージセンサ直結可能(プロダクトレップ I/F制御)
- 対応データフォーマット: YUV(YCbCr)4:2:2ストリム(8bit)フォーマット
- 同期モード: Sync同期 I/F (CCIR601) 及び DE同期 I/F
- 入力データスクランブル: (MSB<->LSB変更、データ入力順序変更)
- データオフセット制御
- 最大処理解像度: 約30万画素 (VGAクラス)
- 最大処理フレームレート: 30Hz (Progressive) / 60Hz (Interlace)
- Sync欠落、ノイズ保証機能及び入力クロック位相調整機能
- 処理レート変換
- マスター/スレーブ SYNC制御
- 最大4ポートの非同期入力制御調停機能

入力画像パラメータ抽出機能

- 最大、最小、差分及び平均レベル及び検出座標の自動抽出
- 指定色の自動検出
- 指定フレーム間での画像安定度判定
- 領域指定パラメータ抽出
- 輝度分布解析機能

入力画像調整機能

- 輝度補正

画像処理機能

- 任意フレームとの比較演算機能
- 指定色抽出機能
- 各種センサ用2値フィルタ(ノイズ、シャドウキャンセラ)
- JPEGコーデック内蔵による画像圧縮伸張機能
- 縮小、拡大、モザイク画像生成機能
- 比較、指定色抽出結果のXY2次元射像演算
- 領域指定射像演算機能
- 射像面積演算機能
- 固定ウィンドウ処理機能
- ユーザープロダクトレップな画像挿入機能(プレント)

SDRAM I/Fポート

- 32bitデータバス及び自動パースペクティブトレジョン機能
- 自動初期化シーケンス、Autoリフレッシュ機能
- セルフリフレッシュ、パワードアウン制御機能
- マルチバンク(4バンク)パースペクティブ
- 最大12フレームデータ及び32JPEGストリムデータ処理 (@64Mb SDRAM 2個外付け時)

出力 I/Fポート

- 対応データフォーマット: YUV(YCbCr)4:2:2ストリム(8bit)フォーマット
- 同期モード: Sync同期 I/F (CCIR601) 及び DE同期 I/F
- 出力データスクランブル: (MSB<->LSB変更)
- データオフセット制御
- 最大処理フレームレート: 60Hz (Interlace)
- 拡大、縮小(センタリング)、モザイク機能
- マルチ画面表示制御
- 子画面挿入表示機能
- 動画、静止画出力選択

マイコン I/Fポート

- 汎用的な16bitデータバス(NEC製V850シリーズ直結)
- CPUアクセスタイミング調整機能
- WAIT制御機能
- 割り込み制御機能
- メモリアクセス高速モード対応

RoHS対応

- CMOS 0.25umプロセス
- 全入出力LVTTTLインターフェイス
- 2.5/3.3V電源
- 184pinLQFPパッケージ (0.4mmピッチ)

[機能説明]

入力インターフェース

ZEN3001Fでは「DVI-D」で30Hz、インターレースで60HzのVGA画像出力に対応したイメージセンサー並びにNTSCコーダに直結可能なインターフェースを採用しています。

入力ソースとしてYUV(YCbCr)4:2:2フォーマットの8bitデータを処理します。グラフィックデータの取り込みはCCIR601に代表されるVSYNC、HSYNC信号からの遅延制御方式とSYNCIN信号に同期したデータ依存的制御方式に対応しています。また、Y及びUV独立のガット制御機能、エンベロープ制御機能、入力スキャンル機能並びにSYNC信号は勿論、4つの画像成分に対しても個別に極性反転機能を内蔵していますので前段データの出力形式やシグナル特性に合わせ選択する事ができます。

入力フレームデータバース機能による有効フレームの操作、最大4フレームのシフト調整機能によるマルチ入力管理、マルチ入力に対するマスター/スレーブセレクション選択など多様化する入力形式にも柔軟に対応できる為、様々なアプリケーションに応用できます。

また、同期信号へのノイズ、欠落保証機能によりシステムの安定性を向上させるとともにPLLによる入力タイミング調整機能の内蔵により従来外部にて調整が必要であった入力タイミング制御をZEN3001F側で対応できる為、ご使用になる環境やシステム構成に合わせ柔軟な対応ができます。

入力画像パラメータ抽出機能

入力画像データの輝度、色差成分個別に最大、最小、差分値、トータル値の抽出及び特定色の抽出ができます。これらのパラメータは範囲指定ができますので特異点によるばらつきを取り除く事ができます。

画像センシングにおいて重要な輝度情報については任意タイミングで基準値として保存できます。保存された情報を現在入力されている画像情報との比較対象として扱う事により簡易な画像変化検出を行い変化状態を割り込みにて通知する事ができます。また、輝度情報ヒストグラム生成機能により入力画像の輝度分布を容易に把握できますので画像データのゲイン、シャープネスなど外部状態の変化に対してシステムの状態を容易に追従させる事が可能になります。

入力画像調整機能

原画用データ及びセンシング用データ個別にデータサイザを内蔵していますので、限られたストレージ資源、システムサイクルをユーザーの仕様に合わせて最適なシステム構成を容易に実現できます。

また、パナトリックな輝度補正機能を使用する事により撮像照度の低下などによる現画像のゲイン低下をゲイン的に回復させる事ができますので、前述パラメータ抽出機能との組み合わせにより撮像媒体への依存度を大幅に低減できます。

画像処理機能

輝度情報を扱う比較演算機能、色情報を扱う指定色抽出演算機能を内蔵しています。ZEN3001Fではこれらの機能により判定された結果に対し、ノイズなどにより発生する特異結果をリジェクトするノイズキャンセル、影や光などの外乱をリジェクトするシャドウキャンセルなどの各種フィルタを併用する事により安定したセンシング環境を提供できます。

また、上述判定結果に対するシステム側の負荷を軽減する為、XY2次元射像集計や射像面積抽出、マルチポイント集計などセンシング判定に最適なパラメータも多数準備されていますので画像状態の判定を容易に行う事ができます。

センシング処理とは独立に入力画像をVGA画像で標準時30fps以上処理できる高速JPEGエンコーダを搭載しています。豊富な実績に基づくJPEGエンコーダは入力画像に対するエンコード処理、JPEGストリームを伸張するデコード処理両機能を実現するコーデックを採用しておりますので送信側、受信側は勿論、双方向システムへも対応できます。また、入力原画に対する任意キャラクタ情報の挿入及びプレント機能と組み合わせる事によりタイムスタンプや指定コード情報などを含めたJPEGストリームを生成する事もできます。

SDRAMインターフェースポート

各種画像データの保存及びデータ処理として最大12フレーム、JPEG圧縮データは最大32フレームの空間処理機能を備え、煩雑なタイミング調整及びフレーム情報管理を行います。

また、自身の内蔵タイマによりAutoリフレッシュを自動生成しますのでホスト側は外部SDRAMを制御する必要はありません。

出力インターフェースポート

外部メモリに格納されたデータをインターレースフォーマットにて表示用に出力します。各種同期信号及びデータ出力タイミングはプログラムに変更できますので様々な後段デバイスに直結ができます。

出力画像データも入力画像の静止画、動画モードの他に指定画像の挿入機能や4分割表示機能などマルチ入力システムに対応し表示モードも内蔵していますので豊富な表示イメージを簡単に実現できます。

マイコンインターフェース機能

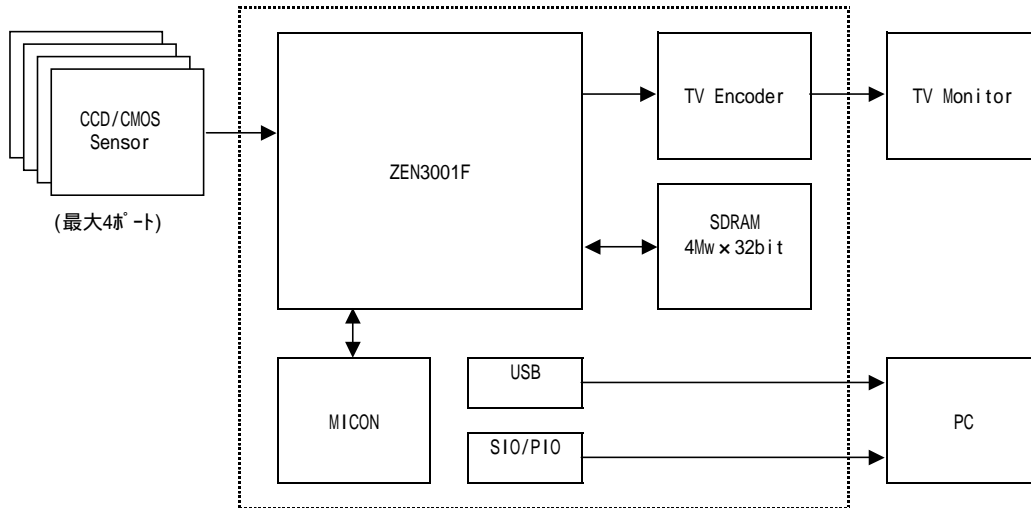
16bitデータバスインターフェースポートです。NEC社製V850Eシリーズを始めとする86系のインターフェースを持つホストへの直結が可能です。タイミングも外部仕様に合わせ調整できますので多種多様なシステムソリューションに簡単に組み込む事ができます。

DMAモードとしてはホストからは1/0データバス対応として機能します。自身で転送長を制御し、転送終了時には割り込みにて通知します。画像状態により非定期に発生するセンシング判定やフレーム処理完了タイミングなどは全て割り込みにて制御できますのでシステム制御に於けるマイコンの比重を大幅に軽減できます。

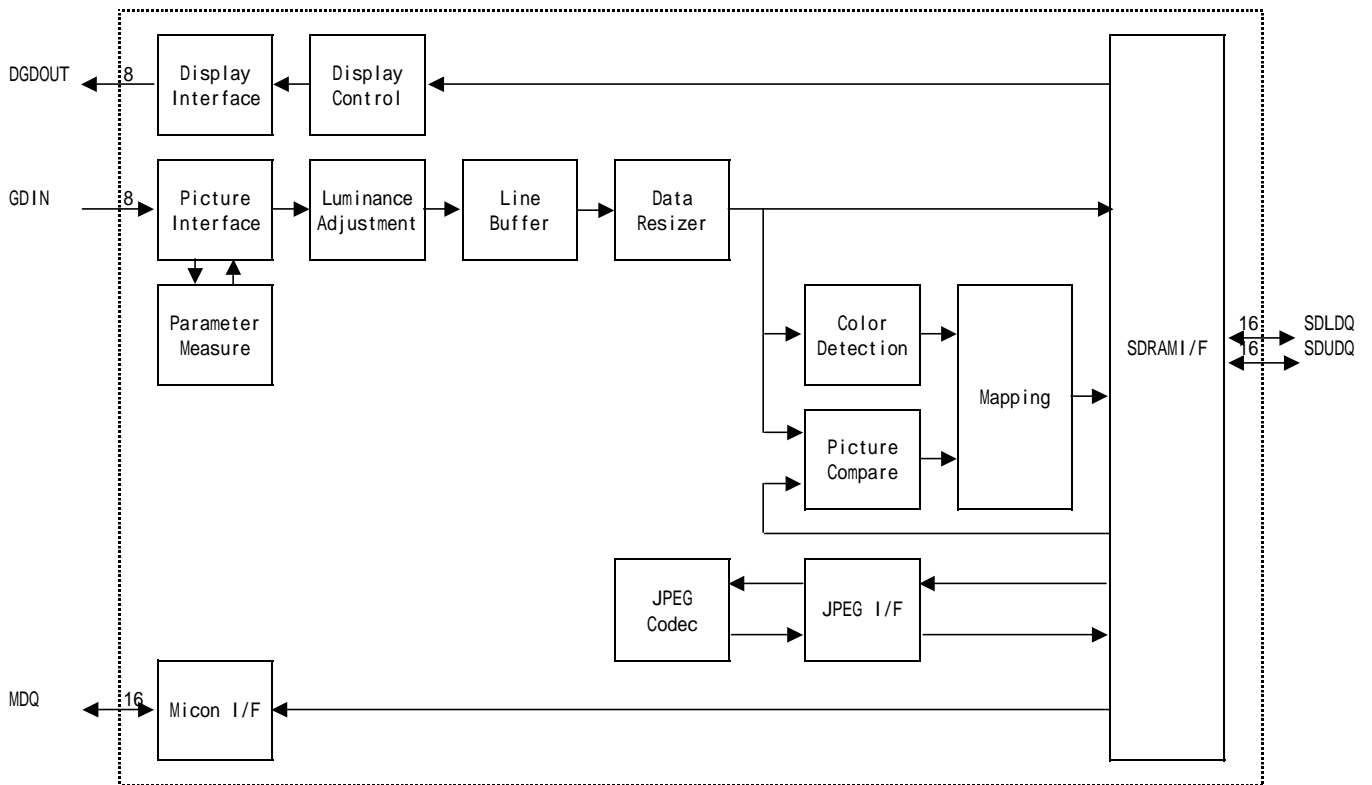
その他

全入出力とも完全LVTTLコンパチで接続できます。

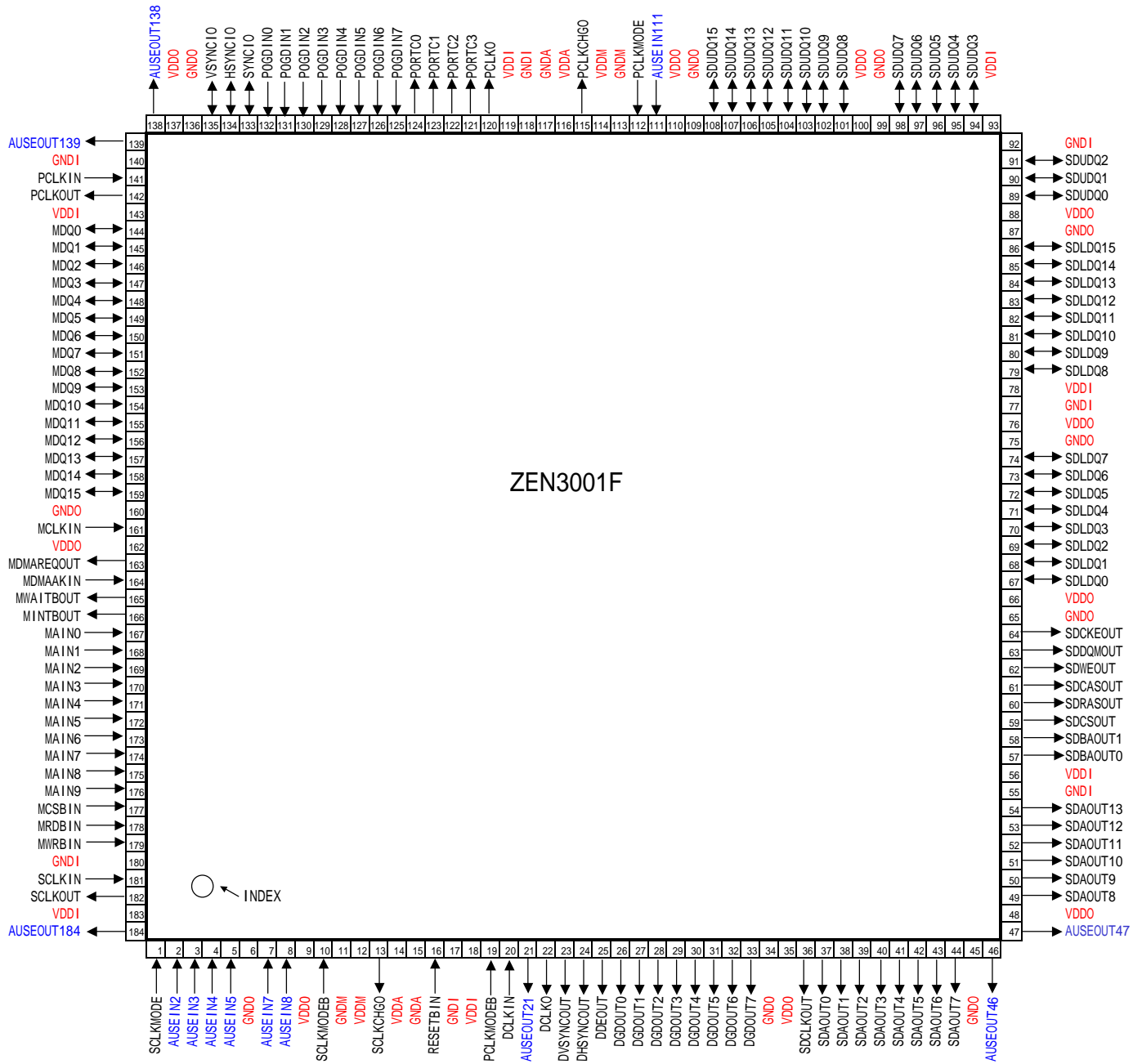
[システム構成例]



[ブロック図]



[ピン配置図]



[端子アサイン表]

Pin No.	Pin Name	Dir.	Buffer Characteristic
1	SCLKMODE	I	3.3V CMOS Interface Input Buffer
2	AUSEIN2	I	3.3V CMOS Interface Input Buffer(Use "L" level only)
3	AUSEIN3	I	3.3V CMOS Interface Input Buffer(Use "L" level only)
4	AUSEIN4	I	3.3V CMOS Interface Input Buffer(Use "L" level only)
5	AUSEIN5	I	3.3V CMOS Interface Input Buffer(Use "L" level only)
6	GNDO	G	IO GND(Paired VDDO)
7	AUSEIN7	I	3.3V CMOS Shmitt Interface Input Buffer
8	AUSEIN8	I	3.3V CMOS Shmitt Interface Input Buffer
9	VDDO	P	3.3V(IO) VCC(Paired GNDO)
10	SCLKMODEB	I	3.3V CMOS Interface Input Buffer
11	GNDM	G	Core GND(Paired VDDM)
12	VDDM	P	2.5V(Core) VCC(Paired GNDM)
13	SCLKCHGO	-	LPF for SCLK PLL
14	VDDA	P	2.5V(Analog) VCC(Paired GNDA)
15	GNDA	G	Analog GND(Paired VDDA)
16	RESETBIN	I	3.3V CMOS Shmitt Interface Input Buffer
17	GNDI	G	Core GND(Paired VDDI)
18	VDDI	P	2.5V(Core) VCC(Paired GNDI)
19	PCLKMODEB	I	3.3V CMOS Interface Input Buffer
20	DCLKIN	I	3.3V CMOS Shmitt Interface Input Buffer
21	AUSEOUT21	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
22	DCLKO	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
23	DVSYNCOUT	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
24	DHSYNCOUT	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
25	DDEOUT	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
26	DGDOUT0	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
27	DGDOUT1	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
28	DGDOUT2	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
29	DGDOUT3	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
30	DGDOUT4	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
31	DGDOUT5	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
32	DGDOUT6	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
33	DGDOUT7	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
34	GNDO	G	IO GND(Paired VDDO)
35	VDDO	P	3.3V(IO) VCC(Paired GNDO)
36	SDCLKOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
37	SDAOUT0	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
38	SDAOUT1	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
39	SDAOUT2	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
40	SDAOUT3	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
41	SDAOUT4	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
42	SDAOUT5	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
43	SDAOUT6	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
44	SDAOUT7	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
45	GNDO	G	IO GND(Paired VDDO)
46	AUSEOUT46	O	3.3V CMOS Interface Output Buffer(IOL=3mA)

Pin No.	Pin Name	Dir.	Buffer Characteristic
47	AUSEOUT47	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
48	VDD0	P	3.3V(I/O) VCC(Paired GND0)
49	SDAOUT8	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
50	SDAOUT9	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
51	SDAOUT10	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
52	SDAOUT11	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
53	SDAOUT12	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
54	SDAOUT13	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
55	GND1	G	Core GND(Paired VDD1)
56	VDD1	P	2.5V(Core) VCC(Paired GND1)
57	SDBAOUT0	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
58	SDBAOUT1	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
59	SDCSOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
60	SDRASOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
61	SDCASOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
62	SDWEOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
63	SDDQMOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
64	SDCKEOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
65	GND0	G	IO GND(Paired VDD0)
66	VDD0	P	3.3V(I/O) VCC(Paired GND0)
67	SDLQ0	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
68	SDLQ1	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
69	SDLQ2	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
70	SDLQ3	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
71	SDLQ4	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
72	SDLQ5	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
73	SDLQ6	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
74	SDLQ7	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
75	GND0	G	IO GND(Paired VDD0)
76	VDD0	P	3.3V(I/O) VCC(Paired GND0)
77	GND1	G	Core GND(Paired VDD1)
78	VDD1	P	2.5V(Core) VCC(Paired GND1)
79	SDLQ8	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
80	SDLQ9	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
81	SDLQ10	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
82	SDLQ11	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
83	SDLQ12	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
84	SDLQ13	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
85	SDLQ14	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
86	SDLQ15	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
87	GND0	G	IO GND(Paired VDD0)
88	VDD0	P	3.3V(I/O) VCC(Paired GND0)
89	SDUDQ0	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
90	SDUDQ1	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
91	SDUDQ2	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
92	GND1	G	Core GND(Paired VDD1)

Pin No.	Pin Name	Dir.	Buffer Characteristic
93	VDD1	P	2.5V(Core) VCC(Paired GND1)
94	SDUDQ3	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
95	SDUDQ4	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
96	SDUDQ5	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
97	SDUDQ6	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
98	SDUDQ7	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
99	GNDO	G	IO GND(Paired VDD0)
100	VDD0	P	3.3V(IO) VCC(Paired GND0)
101	SDUDQ8	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
102	SDUDQ9	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
103	SDUDQ10	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
104	SDUDQ11	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
105	SDUDQ12	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
106	SDUDQ13	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
107	SDUDQ14	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
108	SDUDQ15	B	3.3V CMOS Interface Input with Pullup 50K & Output Buffer(IOL=6mA)
109	GNDO	G	IO GND(Paired VDD0)
110	VDD0	P	3.3V(IO) VCC(Paired GND0)
111	AUSEIN111	I	3.3V CMOS Interface Input Buffer with Pulldown 50K
112	PCLKMODE	I	3.3V CMOS Interface Input Buffer
113	GNDM	G	Core GND(Paired VDDM)
114	VDDM	P	2.5V(Core) VCC(Paired GNDM)
115	PCLKCHG0	-	LPF for PCLK PLL
116	VDDA	P	2.5V(Analog) VCC(Paired GNDA)
117	GNDA	G	Analog GND(Paired VDDA)
118	GND1	G	Core GND(Paired VDD1)
119	VDD1	P	2.5V(Core) VCC(Paired GND1)
120	PCLKO	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
121	PORTC3	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
122	PORTC2	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
123	PORTC1	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
124	PORTC0	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
125	POGDIN7	I	3.3V CMOS Interface Input Buffer
126	POGDIN6	I	3.3V CMOS Interface Input Buffer
127	POGDIN5	I	3.3V CMOS Interface Input Buffer
128	POGDIN4	I	3.3V CMOS Interface Input Buffer
129	POGDIN3	I	3.3V CMOS Interface Input Buffer
130	POGDIN2	I	3.3V CMOS Interface Input Buffer
131	POGDIN1	I	3.3V CMOS Interface Input Buffer
132	POGDIN0	I	3.3V CMOS Interface Input Buffer
133	SYNCIO	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
134	HSYNCIO	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
135	VSYNCIO	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
136	GNDO	G	IO GND(Paired VDD0)
137	VDD0	P	3.3V(IO) VCC(Paired GND0)
138	AUSEOUT138	O	3.3V CMOS Interface Output Buffer(IOL=3mA)

Pin No.	Pin Name	Dir.	Buffer Characteristic
139	AUSEOUT139	O	3.3V CMOS Interface Output Buffer(IOL=3mA)
140	GND1	G	Core GND(Paired VDD1)
141	PCLKIN	I	Input Buffer(For Oscillator)
142	PCLKOUT	O	Output Buffer (For Oscillator)
143	VDD1	P	2.5V(Core) VCC(Paired GND1)
144	MDQ0	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
145	MDQ1	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
146	MDQ2	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
147	MDQ3	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
148	MDQ4	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
149	MDQ5	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
150	MDQ6	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
151	MDQ7	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
152	MDQ8	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
153	MDQ9	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
154	MDQ10	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
155	MDQ11	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
156	MDQ12	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
157	MDQ13	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
158	MDQ14	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
159	MDQ15	B	3.3V CMOS Interface Input & Output Buffer(IOL=6mA)
160	GND0	G	IO GND(Paired VDD0)
161	MCLKIN	I	3.3V CMOS Shumitt Interface Input Buffer
162	VDD0	P	3.3V(IO) VCC(Paired GND0)
163	MDMAREQOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
164	MDMAKIN	I	3.3V CMOS Interface Input
165	MWAITBOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
166	MINTBOUT	O	3.3V CMOS Interface Output Buffer(IOL=6mA)
167	MAIN0	I	3.3V CMOS Interface Input Buffer
168	MAIN1	I	3.3V CMOS Interface Input Buffer
169	MAIN2	I	3.3V CMOS Interface Input Buffer
170	MAIN3	I	3.3V CMOS Interface Input Buffer
171	MAIN4	I	3.3V CMOS Interface Input Buffer
172	MAIN5	I	3.3V CMOS Interface Input Buffer
173	MAIN6	I	3.3V CMOS Interface Input Buffer
174	MAIN7	I	3.3V CMOS Interface Input Buffer
175	MAIN8	I	3.3V CMOS Interface Input Buffer
176	MAIN9	I	3.3V CMOS Interface Input Buffer
177	MCSBIN	I	3.3V CMOS Interface Input Buffer
178	MRDBIN	I	3.3V CMOS Interface Input Buffer
179	MWRBIN	I	3.3V CMOS Interface Input Buffer
180	GND1	G	Core GND(Paired VDD1)
181	SCLKIN	I	Input Buffer(For Oscillator)
182	SCLKOUT	O	Output Buffer (For Oscillator)
183	VDD1	P	2.5V(Core) VCC(Paired GND1)
184	AUSEOUT184	O	3.3V CMOS Interface Output Buffer(IOL=3mA)

[基本端子説明]

Pin数	端子分類	端子名	Dir	初期値	機能	動作周波数	外部負荷		
21	グラフィックデータ入力I/F	VSYNCIO	B	-	VSYNC信号入出力	60Hz	50p		
		HSYNCIO	B	-	HSYNC信号入出力	15KHz	50p		
		SYNCIO	B	-	データストrobe信号入出力	15KHz	50p		
		POGDINO ~ 7	I	-	グラフィックデータ入力(ホート)	13.5MHz			
		PORTCO ~ 3	O	L	入力ポート制御/テスト出力	13.5MHz	20p		
		PCLKIN	I	-	入力データ同期加ック入力	27MHz			
		PCLKOUT	O	*PCLKIN	入力データ同期加ック出力	27MHz	10p		
		PCLKCHGO	-	-	PCLKPLL用Low Pass Filter接続端子				
		PCLKO	O	PCLKIN	マスターモード時入力データ同期用加ック出力	27MHz	50p		
		PCLKMODEB	I	-	ビッチャー加ック選択信号1(L:PLL/H:SLR)	DC			
		PCLKMODE	I	-	ビッチャー加ック選択信号2(L:SLR/H:PLL)	DC			
		13	グラフィックデータ出力I/F	DVSYNCOUT	O	L	VSYNC信号出力	60Hz	30p
				DHSYNCOUT	O	L	HSYNC信号出力	15KHz	30p
DDEOUT	O			L	データストrobe信号出力	15KHz	30p		
DGDOUTO ~ 7	O			L	グラフィックデータ出力	13.5MHz	30p		
DCLKIN	I			-	表示用加ック入力	27MHz			
DCLKO	O			DCLKIN	表示用出力加ック	27MHz	30p		
55	SDRAM I/F			SDCSOUT	O	H	SDRAMへのチップセレクト出力	23MHz	30p
		SDRASOUT	O	H	SDRAMへのRAS出力	23MHz	30p		
		SDCASOUT	O	H	SDRAMへのCAS出力	23MHz	30p		
		SDWEOUT	O	H	SDRAMへのWE出力	23MHz	30p		
		SDDMOUT	O	H	SDRAMへのDINマック/出力データストrobe出力	23MHz	30p		
		SDCKEOUT	O	H	SDRAMへの加ックイネブル出力	23MHz	30p		
		SDCLKOUT	O	L	SDRAMへの加ック出力	46MHz	30p		
		SDAOUTO ~ 13	O	L	SDRAMへのアドレス出力0 ~ 13	23MHz	30p		
		SDBAOUTO ~ 1	O	L	SDRAMへのバツク出力	23MHz	30p		
		SDLDOO ~ 15	B	-	SDRAMへの下位データ入出力	23MHz	30p		
		SDLDOO ~ 15	B	-	SDRAMへの上位データ入出力	23MHz	30p		
		34	マイコンI/F	MCSBIN	I	-	チップセレクト入力(アクティブ"L")	33MHz	
				MWRBIN	I	-	ライトストrobe入力(アクティブ"L")	33MHz	
MRDBIN	I			-	リードストrobe入力(アクティブ"L")	33MHz			
MAINO ~ 9	I			-	アドレス入力	17MHz			
MDQO ~ 15	B			-	データ入出力	17MHz	100p		
MDMAREGOUT	O			H	DMAマックアウト出力	17MHz	30p		
MDMAAKIN	I			-	DMAマック入力	17MHz			
MWAITBOUT	O			H	WAIT出力	5MHz	30p		
MINTBOUT	O			H	割り込み出力	5MHz	30p		
MCLKIN	I			-	マイコン加ック入力	33MHz			
RESETBIN	I			-	リセット入力(アクティブ"L")				
6	チップ制御			SCLKIN	I	-	システム加ック入力	20/40MHz	
				SCLKCHGO	-	-	SCLKPLL用Low Pass Filter接続端子		
		SCLKOUT	O	*SCLKIN	システム加ック出力	20MHz	10p		
		SCLKMODEB	I	-	システム加ック選択信号1(L:PLL/H:SLR)	DC			
		SCLKMODE	I	-	システム加ック選択信号2(L:SLR/H:PLL)	DC			
		13	テスト	AUSEIN2	I	-	"L"固定		
AUSEIN3	I			-	"L"固定				
AUSEIN4	I			-	"L"固定				
AUSEIN5	I			-	"L"固定				
AUSEIN7	I			-	10kΩの抵抗でプルアップ願います。				
AUSEIN8	I			-	10kΩの抵抗でプルアップ願います。				
AUSEIN111	I			-	"L"固定				
AUSEOUT*	O			-	不定				
42	電源			VDDO	P	-	周辺用電源(3.3V)		
		GND0	G	-	周辺用GND				
		VDDI	P	-	コア用電源(2.5V)				
		GNDI	G	-	コア用GND				
		VDDM、VDDA	P	-	周辺用およびコア用電源(2.5V)				
		GNDM、GNDA	G	-	VDDIとは分離して使用されることを推奨します。 周辺用およびコア用GNDとは分離して使用されることを推奨します。				

*表中

(初期値欄)

-:入力又は不定

L:"L"出力

H:"H"出力

*加ック端子名:加ック端子入力の反転出力

(動作周波数)

基本設定使用時の暫定周波数で、動作の限界及び内容を示すものではありません。

(外部負荷)

基本使用時の標準最大負荷容量で、動作の限界を示すものではありません。

[電気的特性]

絶対最大定格 (GNDI=GND0=GND A=0V)

記号	項目	条件	定格値		単位
			最小	最大	
VDDI	コア電源電圧		-0.3	3.0	V
VDD0	周辺電源電圧		-0.3	4.0	V
VDDA	アナログ電源電圧		-0.3	3.0	V
VI	入力電圧		-0.5	VDD0+0.5	V
VO	出力電圧		-0.5	VDD0+0.5	V
IO	出力電流			20	mA
TST	保存周囲温度		-40	150	

各項目のうちいずれか1項目且つ瞬間でも絶対最大定格を超えるとデバイスを破壊する可能性があります。必ず上記定格値を超えない範囲で使用願います。

推奨動作範囲 (特に指定がない場合はVDDI=VDDA=2.5V±0.2V、VDD0=3.3V±0.3V、TA=0~70℃、GND*=0V)

記号	項目	条件	定格値		単位
			最小	最大	
VDDI	コア電源電圧		2.3	2.7	V
VDD0	周辺電源電圧		3.0	3.6	V
VDDA	アナログ電源電圧		2.3	2.7	V
VIH_N	"H"入力電圧(ノーマル)		2.2	VDD0+0.3	V
VIL_N	"L"入力電圧(ノーマル)		-0.3	0.8	V
VT+	"H"トリガ電圧(シュミット)		1.4	2.7	V
VT-	"L"トリガ電圧(シュミット)		0.6	1.8	V
VTH	ヒステリシス電圧(シュミット)		0.3		V
TT_N	入力遷移時間(ノーマル)			30	ns
TT_S	入力遷移時間(シュミット)			1	ms
FR_M	入力周波数(MCLKIN)		1	40	MHz
FR_P	入力周波数(PCLKIN)		20	30	MHz
FR_D	入力周波数(DCLKIN)		20	30	MHz
FR_S1	入力周波数(SCLKIN)	PLL使用時	15	20	MHz
FR_S2	入力周波数(SCLKIN)	PLL未使用時	FR_P or FR_D	40	MHz
TA	動作周囲温度		0	70	

(Note) GND*=GNDI, GND A, GND0

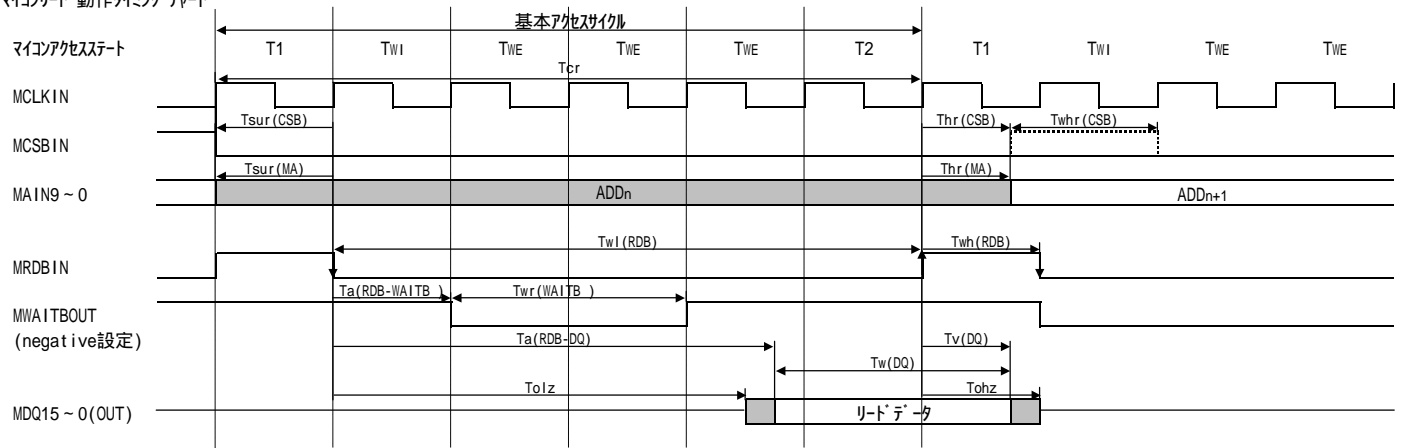
電気的特性特に指定がない場合はVDDI=VDDA=2.5V±0.2V、VDD0=3.3V±0.3V、TA=0~70℃、GND*=0V)

記号	項目	条件	定格値		単位
			最小	最大	
IL	入力リーク電流	VI=GND0 or VI=VDD0		±5	uA
IOZ	出力リーク電流			±5	uA
VOH2(3mA)	"H"出力電圧2(3mA系)	IOH=-3mA	VDD0-0.4		V
VOL2(3mA)	"L"出力電圧2(3mA系)	IOL=3mA		0.4	V
VOH3(6mA)	"H"出力電圧3(6mA系)	IOH=-6mA	VDD0-0.4		V
VOL3(6mA)	"L"出力電圧3(6mA系)	IOL=6mA		0.4	V
RIU	プルアップ入力抵抗	VI=GND0	30	120	K
RID	プルダウン入力抵抗	VI=VDD0	30	120	K
PAVE	平均消費電力	VDDI=VDDA=2.5, VDD0=3.3 FR_* = MAX、丸演算ON		600	mW
CI	入力端子容量	f=1MHz, VDD0=0V		8	pF
CO	出力端子容量	f=1MHz, VDD0=0V		8	pF
CIO	入出力端子容量	f=1MHz, VDD0=0V		8	pF

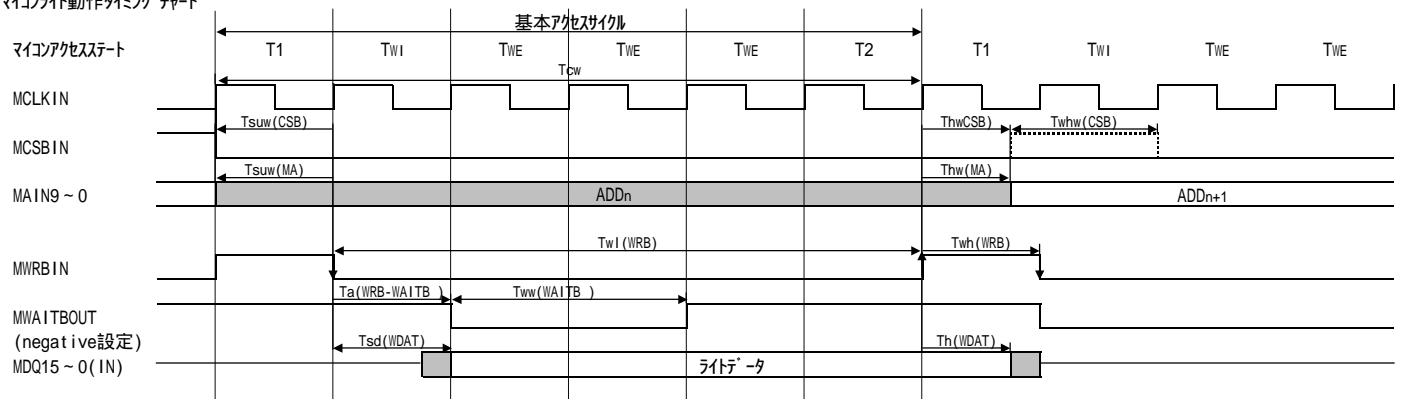
 (Note) GND*=GNDI, GND A, GND0
FR_* = FR_M, FR_P, FR_D, FR_S2

[AC特性タイミング チャート]

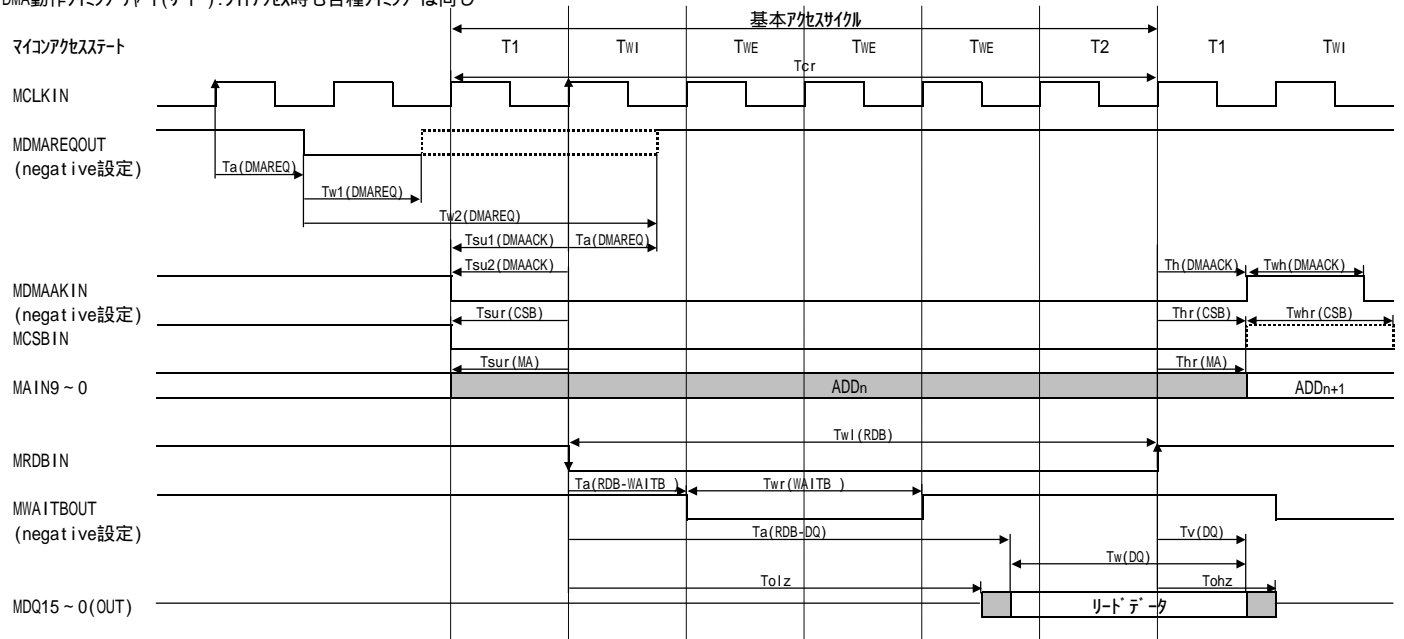
マイクロリド 動作タイミング チャート



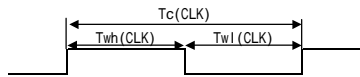
マイコンライト動作タイミング チャート



DMA動作タイミング チャート(リド):ライトアクセス時も各種タイミングは同じ



クロック系



CLK:
 MCLKIN:マイコンクロック
 PCLKIN:入力画像クロック
 DCLKIN:出力表示クロック
 SCLKIN:システムクロック

入力画像信号系 (PLL未使用時)

(入力タイミング)

PCLKIN

VSYNCIO(IN)

(positive設定)

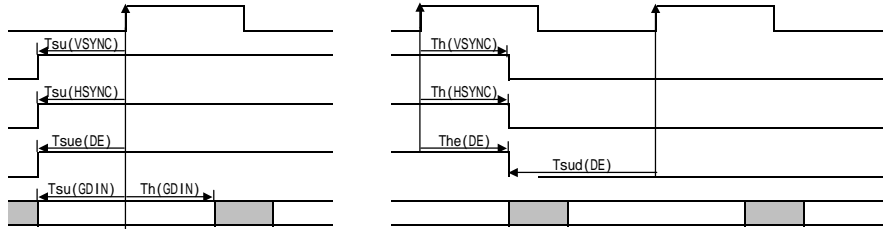
HSYNCIO(IN)

(positive設定)

SYNCIO(IN)

(positive設定)

GDIN



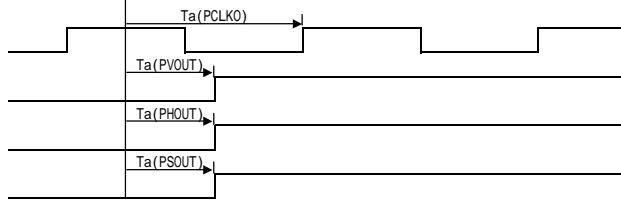
(出力タイミング)

DCLKO

VSYNCIO(OUT)

HSYNCIO(OUT)

SYNCIO(OUT)



出力表示信号系

DCLKIN

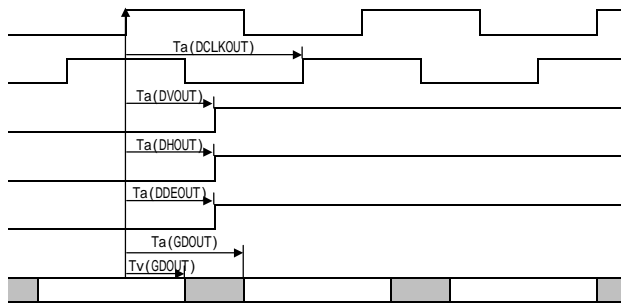
DCLKO

DVSYNCOUT

DHSYNCOUT

DDEOUT

DGDOUT



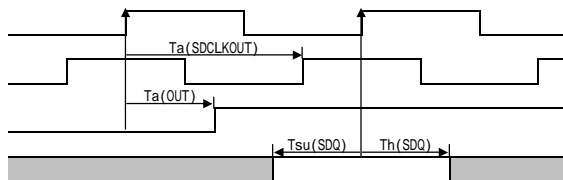
SDRAM I/F信号系 (PLL未使用時)

SCLKIN

SDCLKOUT

OUT

IN



OUT: SDCSOUT, SDRASOUT, SDCASOUT, SDWEOUT, SDDQMOUT, SDCKEOUT
 SDBAOUT1 ~ 0, SDAOUT13 ~ 0, SDLQ15 ~ 0 (OUT), SDUDQ15 ~ 0 (OUT)
 IN: SDLQ15 ~ 0 (IN), SDUDQ15 ~ 0 (IN)

[ACタイミング スペック]

	記号	内容	MIN	MAX	備考
リードサイクル	Tcr	リード サイクルタイム	260 .0ns		
	Tsur (CSB)	CSBセットアップ タイム (RDB)	1 .0ns		
	Thr (CSB)	CSBホールド タイム (RDB)	1 .0ns		
	Tsur (MA)	アド レセットアップ タイム (RDB)	1 .0ns		
	Thr (MA)	アド レセットホールド タイム (RDB)	1 .0ns		
	Ta (RDB-WAITB)	WAITBアセタイム (RDB)		1MCLK+15 .0ns	
	Twr (WAITB)	WAITB出力バ ルス幅		7SCLK+1MCLK+15ns	REG291[9:5]で変更可
	Ta (RDB-DQ)	データアセタイム (RDB)		7SCLK+2MCLK+15ns	
	Tw (DQ)	データ出力幅	REG291[4:0]設定値		*REG291[15]=1'b0時のREG291[4:0]で変更可
	Tv (DQ)	データ有効期間	3ns		*REG291[15]=1'b1,1'b0時はREG291[4:0]による
	ToIz	低レベル データアセタイム	6SCLK+1MCLK		
	Tohz	高レベル データアセタイム		15 .0ns	*REG291[15]=1'b1,1'b0時はREG291[4:0]による
	Twl (RDB)	RDB出力バ ルス幅	7SCLK+3MCLK		
	Twh (RDB)	RDB"H"幅	1SCLK+2 .0ns		
Twhr (CSB)	リード サイクルCSB"H"幅	1MCLK			

*MCLK=MCLKIN周期

*SCLK=SCLKIN周期 (PLL未使用時) / 2SCLKIN周期 (PLL使用時)

	記号	内容	MIN	MAX	備考
ライトサイクル	Tcw	ライトサイクルタイム	260 .0ns		
	Tsuw (CSB)	CSBセットアップ タイム (WRB)	1 .0ns		
	Thw (CSB)	CSBホールド タイム (WRB)	1 .0ns		
	Tsuw (MA)	アド レセットアップ タイム (WRB)	1 .0ns		
	Thw (MA)	アド レセットホールド タイム (WRB)	1 .0ns		
	Ta (WRB-WAITB)	WAITBアセタイム (WRB)		1MCLK+15 .0ns	
	Tww (WAITB)	WAITB出力バ ルス幅		7SCLK+1MCLK+15ns	REG291[9:5]で変更可
	Tsd (WDAT)	ライトデータアセタイム (WRB)		1 .5SCLK	
	Th (WDAT)	ライトデータホールド タイム (WRB)	1 .0ns		
	Twl (WRB)	WRB出力バ ルス幅	7SCLK+3MCLK		
	Twh (WRB)	WRB"H"幅	1SCLK+2 .0ns		
	Twhw (CSB)	ライトサイクルCSB"H"幅	1MCLK		

*MCLK=MCLKIN周期

*SCLK=SCLKIN周期 (PLL未使用時) / 2SCLKIN周期 (PLL使用時)

	記号	内容	MIN	MAX	備考
DMA関連	Ta (DMAREQ)	DMAREQアセタイム		15ns	
	Tw1 (DMAREQ)	DMAREQバ ルス幅1	REG294[6:2]設定値		*REG294[7]=1'b1時のREG294[6:2]で変更可
	Tw2 (DMAREQ)	DMAREQバ ルス幅2	1 .0ns		*REG294[7]=1'b0時
	Tsu1 (DMAACK)	DMAREQセットアップ タイム1 (MCLK)	1 .0ns		*REG294[7]=1'b0時のTa (DMAREQ)規定クロック用
	Tsu2 (DMAACK)	アド レセット タイム (RDB)	1 .0ns		
	Th (DMAACK)	ライトデータホールド タイム (RDB)	3 .0ns		
	Twh (DMAACK)	DMAACK"H"幅	1SCLK+2 .0ns		

*SCLK=SCLKIN周期 (PLL未使用時) / 2SCLKIN周期 (PLL使用時)

	記号	内容	MIN (ns)	MAX (ns)	備考
クロック関連	Tc (MCLKIN)	メインクロック周期	25	1000	
	Twh (MCLKIN)	メインクロック"H"バ ルス幅	12	400	
	Twl (MCLKIN)	メインクロック"L"バ ルス幅	12	400	
	Tc (SCLKIN)	システムクロック周期	25	1000	PLL使用時 (REG2E2参照)の入力範囲は25NS ± 2ns
	Twh (SCLKIN)	システムクロック"H"バ ルス幅	12	400	
	Twl (SCLKIN)	システムクロック"L"バ ルス幅	12	400	
	Tc (PCLKIN)	入力画像クロック周期	30	1000	PLL使用時 (REG2E0参照)の入力範囲は37NS ± 2ns
	Twh (PCLKIN)	入力画像クロック"H"バ ルス幅	14	400	
	Twl (PCLKIN)	入力画像クロック"L"バ ルス幅	14	400	
	Tc (DCLKIN)	出力表示クロック周期	30	1000	PLL使用時 (REG2E1参照)の入力範囲は40NS ± 2ns
	Twh (DCLKIN)	出力表示クロック"H"バ ルス幅	14	400	
	Twl (DCLKIN)	出力表示クロック"L"バ ルス幅	14	400	
	T(jitter)	クロックジッタ		0 .1	

*:PLL使用において上記以外の周波数を使用される場合は弊社が トセタにご確認願います。

	記号	内容	MIN (ns)	MAX (ns)	備考
入力I/F関連	Ta (PCLKO)	PCLKO遅延時間		30	Cout=50pF及び (REG20F[6]=1'h1&®2E0[10:8]=3'h0)
	Ta (PVOU)	VSYNClO遅延時間		30	Cout=50pF及び (REG20F[6]=1'h1&®2E0[10:8]=3'h0)
	Ta (PHOUT)	HSYNCIO遅延時間		30	Cout=50pF及び (REG20F[6]=1'h1&®2E0[10:8]=3'h0)
	Ta (PSOUT)	SYNClO遅延時間		30	Cout=50pF及び (REG20F[6]=1'h1&®2E0[10:8]=3'h0)
	Tsu (VIN)	VSYNClOセットアップ タイム	10		
	Th (VIN)	VSYNClOホールド タイム	5		
	Tsu (HIN)	HSYNCIOセットアップ タイム	10		
	Th (HIN)	HSYNCIOホールド タイム	5		
	Tsue (SIN)	DE(イネーブル)セットアップ タイム	10		
	The (SIN)	DE(イネーブル)ホールド タイム	5		
	Tsud (SIN)	DE(ディセーブル)セットアップ タイム	10		
	Tsu (GDIN)	クラッキングデータセットアップ タイム	10		
	Th (GDIN)	クラッキングデータホールド タイム	5		

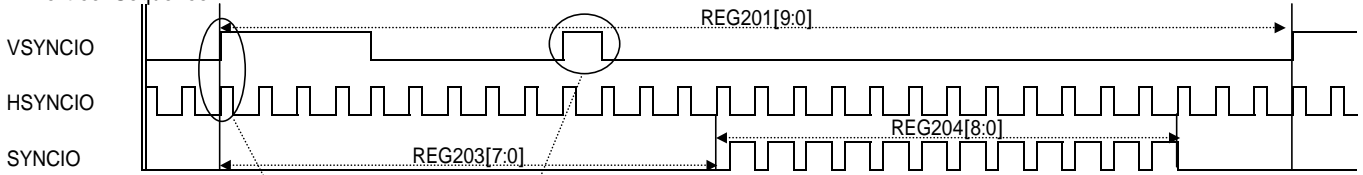
	記号	内容	MIN(ns)	MAX(ns)	備考
出力I/F関連	Ta(DCLKO)	DCLKO遅延時間		30	Cout=50pF及び(REG2E0[10:8]=3'h0)
	Ta(DVOUT)	DVSYNCOUT遅延時間		30	Cout=50pF
	Ta(DHOUT)	DHSYNCOUT遅延時間		30	Cout=50pF
	Ta(DDEOUT)	DDEOUT遅延時間		30	Cout=50pF
	Ta(GDOUT)	GDOUT遅延時間		30	Cout=50pF
	Tv(GDOUT)	GDOUT有効時間	3		Cout=10pF

	記号	内容	MIN(ns)	MAX(ns)	備考
SDRAM I/F関連	Ta(SDCLKOUT)	SDCLKOUT遅延時間		30	Cout=50pF
	Ta(OUT)	SDRAM I/F(OUT)遅延時間		30	Cout=50pF
	Tsu(SDQ)	SDDQセットアップタイム	10		
	Th(SDQ)	SDDQホールドタイム	5		

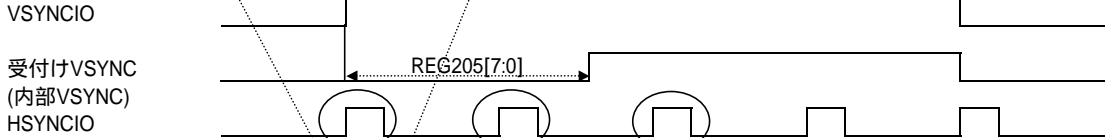
[入出力信号説明]

入力信号インターフェース

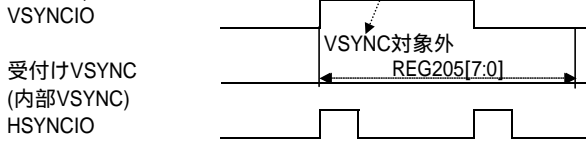
Vertical Sequence



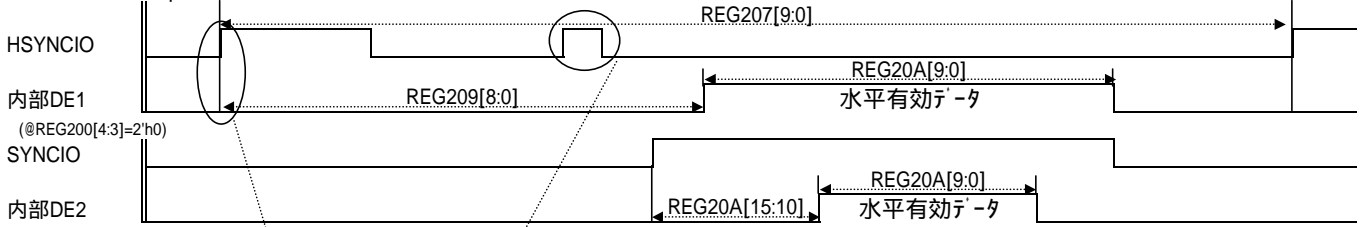
(垂直開始タイミング調整)



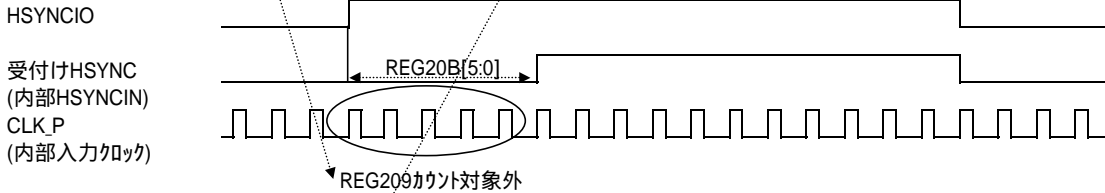
(フィルタリング)



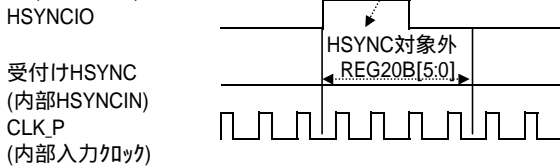
Horizontal Sequence



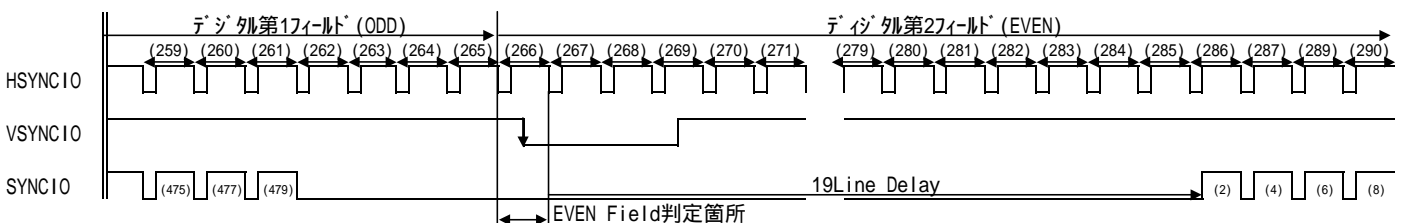
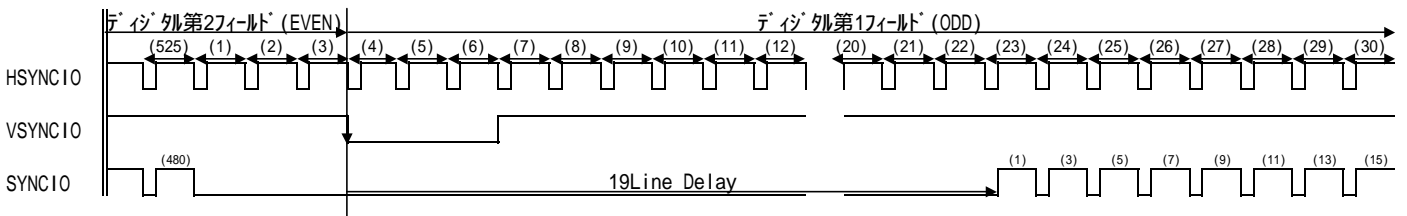
(水平開始タイミング調整)



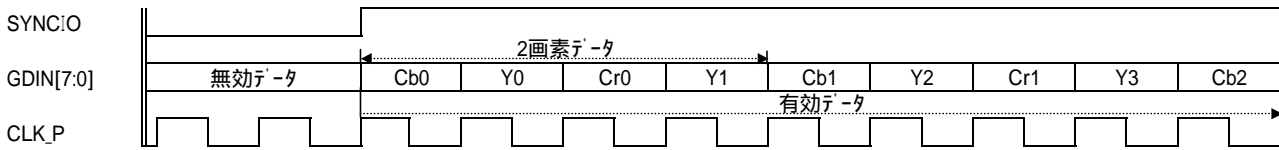
(フィルタリング)



Interlace input Vertical Sequence



入力データ基本フォーマット(4:2:2フォーマットのみ対応)



128オフセット処理(REG200[15:14])

ZEN3001Fでは入力は全て整数で扱いますので必要に応じて128オフセット処理をかける必要があります

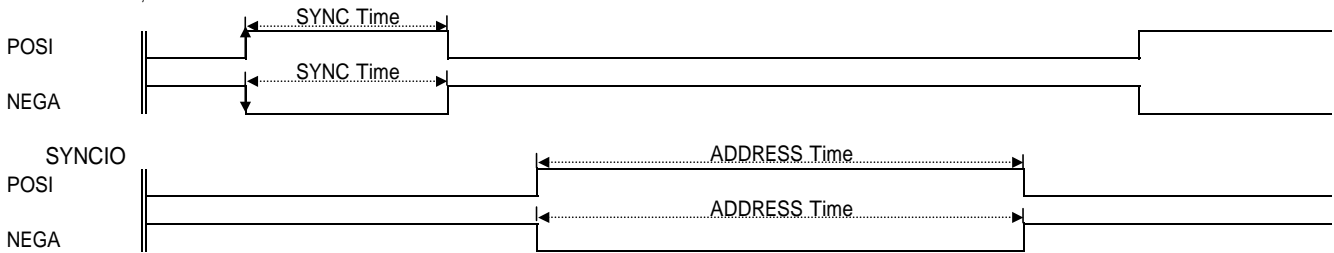
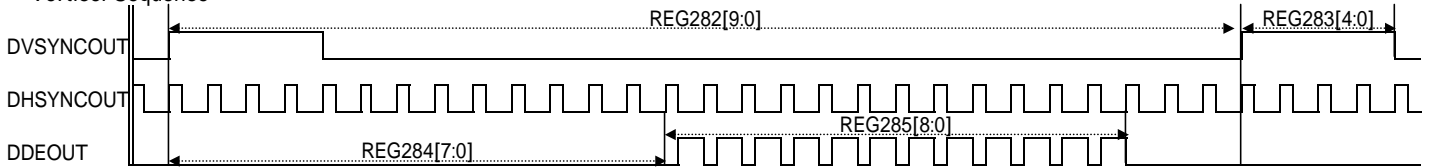
(128オフセット処理) 外部入力 + 128 = 内部処理データ

他の入力データ処理

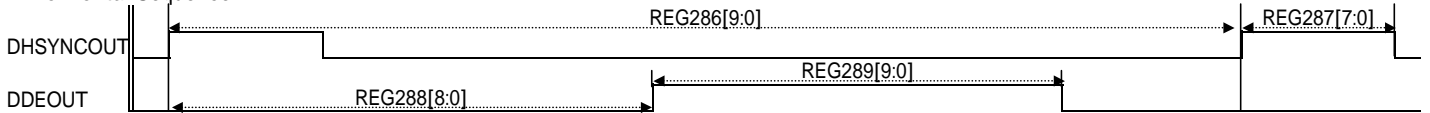
2画素データの入力順序 REG200[8:7]
 インデียน変更 REG200[6]

入力信号極性

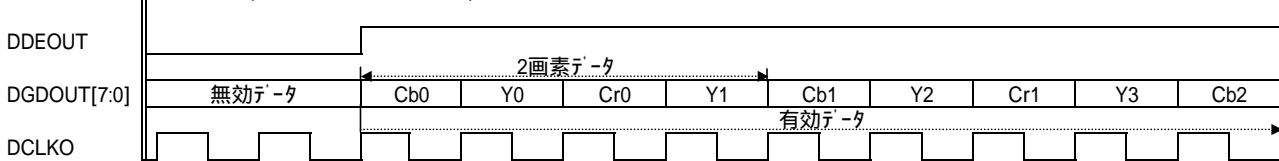
VSYNCIO, HSYNCIO


 出力信号インターフェイス
 Vertical Sequence


Horizontal Sequence



出力データ基本フォーマット(4:2:2フォーマットのみ対応)



128オフセット処理(REG280[15:14])

ZEN3001Fでは入力と同様出力データに対して128オフセット処理をかける事ができます。(処理内容は入力と同じ)

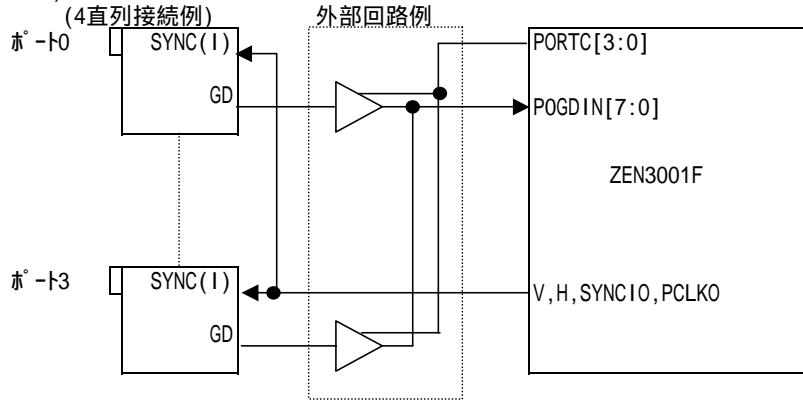
他の入力データ処理

インデียน変更 REG280[4]

入力ポート制御

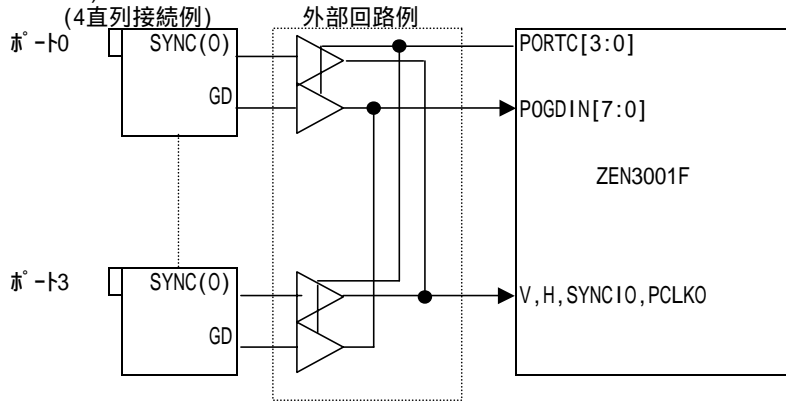
ZEN3001Fでは前段デバウンスの仕様に合わせ入力信号の同期方式をZEN3001Fが制御するマスターモードと外部ソースに合わせるスレプモードがあります。4台直列制御実施時の接続様相図を以下に示します。

(マスターモード)



マスターモード時のポート制御接続例

(スレプモード)



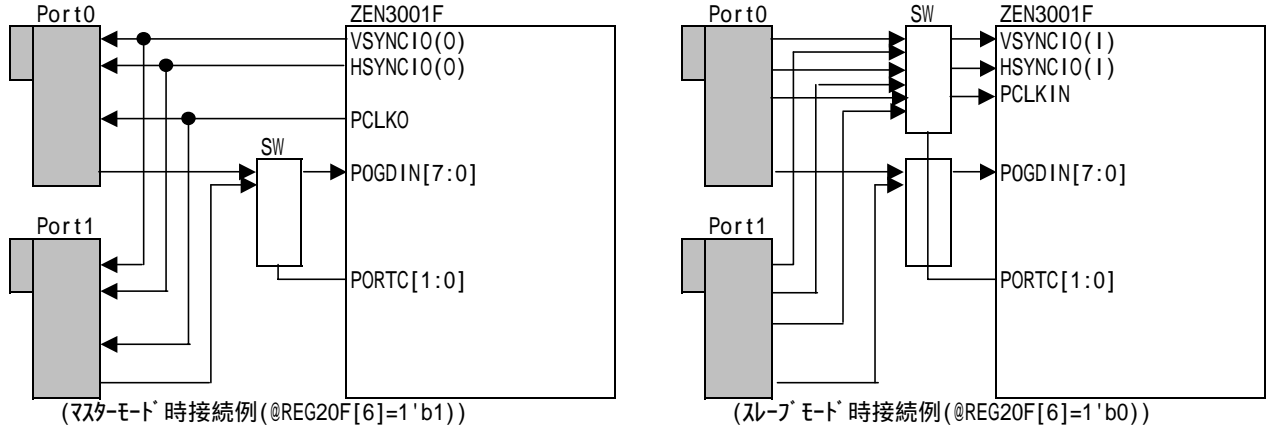
スレプモード時のポート制御接続例

[入力マルチ接続制御仕様]

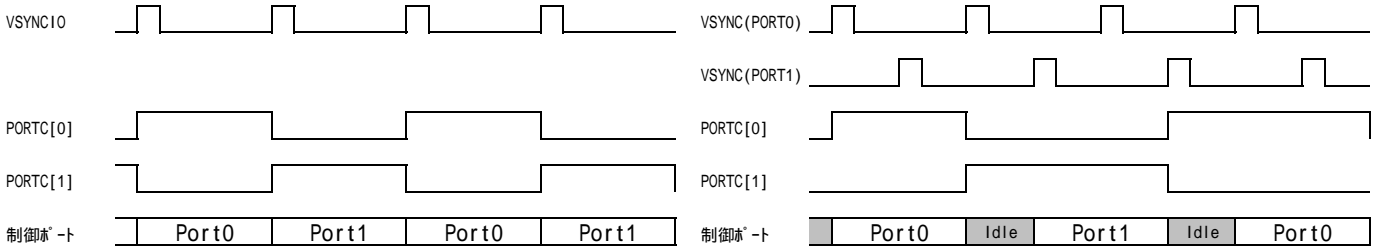
直列入力制御時の動作仕様

ZEN3001Fでは内蔵した最大4ポートの時分割シリアル制御機能によりマルチ画像処理システムの構築を容易に実現する事ができます。そのシステム構成及び制御方式によって動作が変わりますので注意が必要です。

シリアル制御を行う場合、システム構成として前述マスターモードでの構成を推奨しますが外部ポートが仕様のスレープ動作できない場合、ZEN3001Fをスレープとしてシステムを構成する事が可能です。2ポートをそれぞれのモードで使用する場合の構成例を以下に示します。



マスターモードではZEN3001Fから出力される同期信号に複数の外部システムは同期化されますので入力データの位相関係は保証されたシステムを構築できます。対してスレープモードではそれぞれのポートが独立で動作しますので位相関係が保証できません。ZEN3001Fはそのようなシステムに対してそれぞれの垂直同期信号を起点に各ポートのフレーム処理後次の制御ポートに対して同期がとれるまで一定のIdle期間を持つ事により対応しています。これらの動作の違いによる制御ポートの違いをAuto切り替えモード (REG20F[5]=1'b1)を例に以下のタイムチャートに示します。



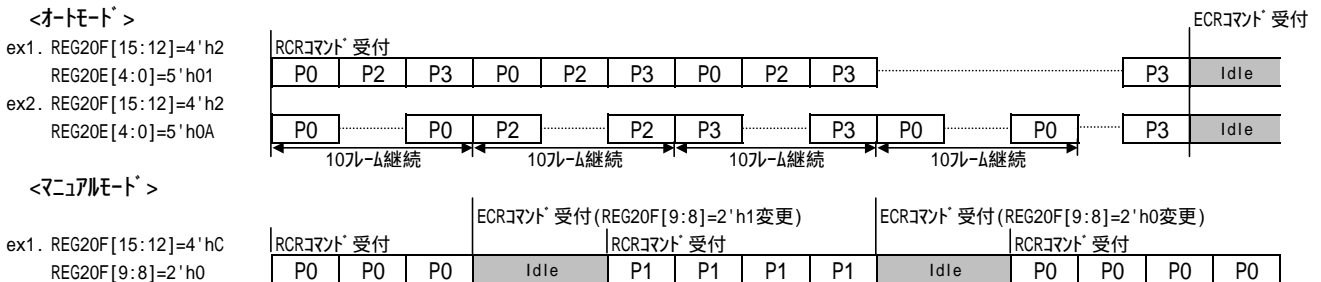
(マスターモード 概略タイミングチャート(REG20F[6]=1'b1))
*REG20F[5]=1'b1, REG20E[4:0]=5'h01設定時

(スレープモード 概略タイミングチャート(REG20F[6]=1'b0))
*REG20F[5]=1'b1, REG20E[4:0]=5'h01設定時

直列入力制御を実行する際にそのポート選択方式としてZEN3001Fが自動的に切り替えるオートモードとMPUがレジスタ制御にてその制御ポートを指定するマニュアルモードがあります。

オートモードでは予めレジスタ設定 (REG20F[15:12])された外部ポートを指定した切り替え間隔 (REG20E[4:0])で自動的に切り替えます。マニュアルモードでは選択ポートを指定 (REG20F[9:8])する事により切り替えます。

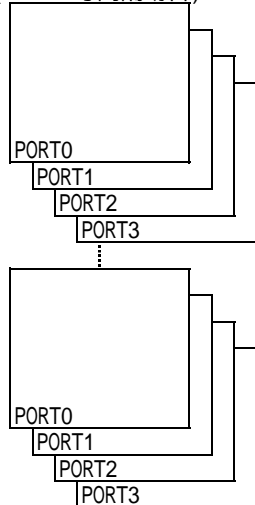
それぞれの処理はRCRコマンド (REG295[5]=1'b0)発行から有効でECRコマンド (REG295[6]=1'b0)発行まで続きます。モードの変更及び設定の変更は必ずECRコマンド発行後行ってください。発行前に行った場合動作は保証できなくなります。それぞれのモードでの処理フレームの推移を以下に示します。



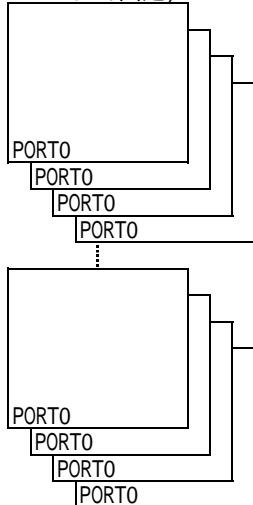
ポート選択方式別処理フレーム推移例

直列入力制御時の処理に関して表示処理及びセンシング処理の処理フロー概要を以下に説明します。
 (4ポート直列入力制御時の代表処理例)

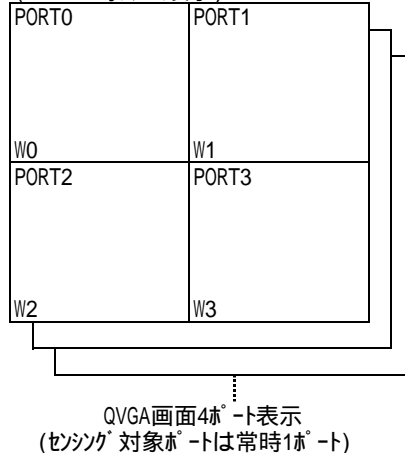
シングルフレームセンシング、表示
 (CASE1: 等間隔切替)



シングルフレームセンシング、表示
 (CASE2: ポート固定)



シングルフレームセンシング、マルチ表示
 (CASE3: 毎フレーム表示)



(オートモード)
 制御手順

ECR(REG295[6]=1'b0)発行 割り込み(ECR解除確認) Autoモード 有効 (REG20F[5]) PORT 有効 (REG20F[15:12]) (複数ポート) ポート変更間隔設定 (REG20E[4:0]) (REG20E[4:0]!=5'h00) RCR(REG295[5]=1'b0)発行	ECR(REG295[6]=1'b0)発行 割り込み(ECR解除確認) Autoモード 有効 (REG20F[5]) PORT 有効 (REG20F[15:12]) (単一ポート) ポート変更間隔設定 (REG20E[4:0]) (REG20E[4:0]==5'h00) RCR(REG295[5]=1'b0)発行	ECR(REG295[6]=1'b0)発行 割り込み(ECR解除確認) Autoモード 有効 (REG20F[5]) PORT 有効 (REG20F[15:12]) (複数ポート) ポート変更間隔設定 (REG20E[4:0]) (REG20E[4:0]!=5'h00) 各画面の表示内容設定 (REG281) 4画面モード設定 (REG28E[14]=1'b1) RCR(REG295[5]=1'b0)発行
--	--	---

センシング、表示処理

(スレプトモード) 対象フレーム 有効フレーム 処理インターバル1 (次ポート間) 3~4フレームに1回 (@REG20E[4:0]=5'h01) (他のREG20E設定時は設定値+3~4) 処理インターバル2 (同一ポート間) 処理インターバル1 x PORT 有効数	センシング フレーム 毎フレーム固定ポートセンシング	センシング フレーム 有効フレームセンシング センシング インターバル1 (次ポート間) 3~4フレームに1回 (@REG20E[4:0]=5'h01) (他のREG20E設定時は設定値+3~4) センシング インターバル2 (同一ポート間) センシング インターバル1 x PORT 有効数
(マスターモード) 対象フレーム 毎フレーム 処理インターバル1 (次ポート間) REG20E[4:0]設定フレーム毎 処理インターバル2 (同一ポート間) 処理インターバル1 x PORT 有効数	センシング フレーム 毎フレーム固定ポートセンシング	センシング フレーム 毎フレームセンシング センシング インターバル1 (次ポート間) REG20E[4:0]設定フレーム毎 センシング インターバル2 (同一ポート間) センシング インターバル1 x PORT 有効数

(マニュアルモード)
 制御手順

ECR(REG295[6]=1'b0)発行 割り込み(ECR解除確認) マニュアルモード 有効 (REG20F[5]) PORT 有効 (REG20F[15:12]) (複数ポート) 対象ポート選択 (REG20F[9:8]) RCR(REG295[5]=1'b0)発行 RCR発行後1V期間以内にECR 発行時は1フレームのみ取込み ます。(完全1フレーム処理) 任意タイミングで を繰り返す	ECR(REG295[6]=1'b0)発行 割り込み(ECR解除確認) マニュアルモード 有効 (REG20F[5]) PORT 有効 (REG20F[15:12]) (単一ポート指定) 対象ポート選択 (REG20F[9:8]) RCR(REG295[5]=1'b0)発行 任意タイミングで を繰り返す	ECR(REG295[6]=1'b0)発行 割り込み(ECR解除確認) マニュアルモード 有効 (REG20F[5]) PORT 有効 (REG20F[15:12]) (複数ポート) 対象ポート選択 (REG20F[9:8]) 各画面の表示内容設定 (REG281) 4画面モード設定 (REG20E[14]=1'b1) RCR(REG295[5]=1'b0)発行 RCR発行後1V期間以内にECR 発行時は1フレームのみ取込み ます。(完全1フレーム処理) 任意タイミングで を繰り返す
---	---	--

センシング、表示処理

RCR, ECR発行タイミング 次第なので特に規定はできないが前述完全1フレーム処理実行時は処理インターバル1と同等

[機能一覧]

基本機能	要因	制御レジスタ
入力インターフェース制御	入力データ制御	オフセット制御 (REG200[15:14]) 入力順序スワップ (REG200[8:7]) MSB<->LSBスワップ (REG200[6]) データ極性制御 (REG20F[3:0]) 入力FRC制御 (REG200[13:9])
	輝度補正	ゲイン補正 (REG246[0]) 補正レンジポイント設定 (REG2D0[15:0]) Upperレンジパラメータ設定 (REG2D1[15:0]) Middleレンジパラメータ設定 (REG2D2[15:0]) Lowerレンジパラメータ設定 (REG2D3[15:0])
	入力信号情報設定	インターフェースモード (REG20F[6]) 走査方式 (REG200[5]) 同期モード (REG200[4:3]) インターレース信号フィルタ判定方法 (REG201[13]) インターレース信号フィルタ判定内容 (REG201[15]) 同期信号極性 (REG200[2:0]) Vsync周期 (REG201[9:0]) Vsync幅 (REG202[5:0]) Vsync有効期間テイル (REG203[7:0]) Vertical有効期間 (REG204[8:0]) Vsync検出スレッショルド (REG205[7:0]) Hsync周期 (REG207[9:0]) Hsync幅 (REG208[7:0]) Hsync有効期間テイル (REG209[8:0]) Horizontal有効期間 (REG20A[9:0]) Hsync検出スレッショルド (REG20B[5:0]) DE水平有効期間テイル (REG20A[15:10]) DE垂直有効期間テイル (REG20D[15:8], REG20D[7:0])
	入力シリアライズポート制御	切り替え後ウェイトフレーム (REG20E[11:8]) 切り替え間隔 (REG20E[4:0]) 切り替え方法 (REG20F[5]) ポートゲイン (REG20F[15:12]) ポート選択 (REG20F[9:8]) ポート制御信号フォーマット (REG20E[5]) ポート制御信号極性 (REG20F[7]) 切り替え許可要求 (REG295[6]) 再処理開始要求 (REG295[5])
	入力Sync保証	REG201[14]
モニター制御	モニター制御	基準保存ゲイン (REG210[15]) ステータス内容選択 (REG210[14]) ポート選択 (REG210[10:9]) 常時モニター (REG210[1]) 単発モニター開始 (REG210[0]) 割り込みスレッショルド最大 (REG217[15:8]) 割り込みスレッショルド最小 (REG217[7:0]) 割り込みスレッショルド差分 (REG218[7:0]) 割り込みスレッショルド座標 (REG219[9:0]) クリア機能 (REG211[4:0])
	Yモニター結果	最大、最小、差分、座標、トータル (REG220 ~ REG229) ヒストグラム (REG22A ~ REG22D, REG23A ~ REG23D)
	UVモニター結果 領域指定機能	最大、最小、差分、トータル (REG230 ~ REG237) ゲイン (REG210[4]) 範囲設定 (REG212 ~ REG215)
	指定色検出機能	ゲイン (REG210[3]) 指定色フォーマット選択 (REG210[2]) 指定色範囲設定 (REG21A ~ REG21C) 検出割り込みスレッショルド (REG21E[7:0], REG21D[15:0]) 検出回数 (REG239[7:0], REG238[15:0])

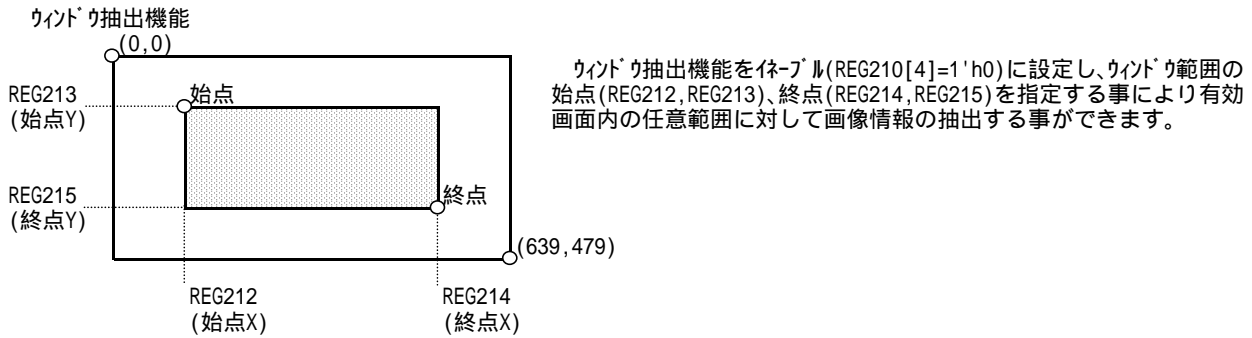
基本機能	要因	制御レジスタ
比較演算	演算制御 比較方式	データ間引き (REG241[4:0]) 自動ホート制御時の比較対象レベル設定 (REG244[15:0]) 演算係数 (REG246[5]) マニュアルホート制御時の基準比較対象レベル (REG24A[14:11]) マニュアルホート制御時の比較モード設定 (REG24A[10]) 処理内容設定 (REG24A[9:8]) シャットウルシヨルト指定 (REG2B8[7:0]) 相違判定閾値 (REG24A[7:0]) キャンセルモード設定 (REG24F[5:4]) キャンセルノイズ幅指定 (REG24F[3:0]) 相違判定割り込みスレシヨルト (REG24F[15:6])
指定色抽出演算	演算制御	データ間引き (REG241[4:0]) 指定色設定 (REG247 ~ REG249)
データ集計演算	2値化演算 射像演算 面積演算 マルチポイント演算	2値化データ対象データ選択 (REG246[9]) 射像演算対象データ選択 (REG24B[1]) 演算係数 (REG246[6]) 範囲設定 (REG242[15:0], REG243[15:0]) 演算係数 (REG246[10]) 最大幅対象ドット数スレシヨルト指定 (REG24B[15:6]) 検出面積割り込みスレシヨルト指定 (REG24C[15:0]) X射像面積 (REG24D[15:0]) Y射像面積 (REG24E[15:0]) 演算係数 (REG2B0[15]) 処理対象データ選択 (REG2B7[15]) ポイント分割数指定 (REG2C1[14:8], REG2C1[6:0]) ポイント内エラースレシヨルト指定 (REG2C0[13:0]) マルチポイント演算スタート (REG2B3 ~ REG2B6) マルチポイント割り込みスレシヨルト (REG2C2[5:0])
タイミング調整	ラインメモリ 比較受信バッファ OSDデータ受信バッファ 表示受信バッファ 2値化データ送信バッファ 射像データ送信バッファ 原画送信バッファ 輝度データ送信バッファ ラインI/F送受信バッファ JPEGデータ送信バッファ JPEGデータ受信バッファ	リード開始タイミング (REG250[9:0]) タイミング補正用バースト回数 (REG252[7:0]) リードバースト長 (REG251[4:0]) リードバースト間隔 (REG251[15:5]) 受信トリガタイミング (REG253[15:8]) 受信バースト長 (REG253[7:0]) 受信トリガタイミング (REG25F[15:8]) 受信バースト長 (REG25F[7:0]) 受信トリガタイミング (REG25B[15:8]) 受信バースト長 (REG25B[7:0]) Vsync後初期受信データ長 (REG25C[7:0]) 送信トリガタイミング (REG254[15:8]) 送信バースト長 (REG254[7:0]) 送信係数 (REG25E[2]) 送信トリガタイミング (REG255[15:8]) 送信バースト長 (REG255[7:0]) 送信係数 (REG25E[4]) 送信トリガタイミング (REG257[15:8]) 送信バースト長 (REG257[7:0]) 送信係数 (REG25E[0]) 送信トリガタイミング (REG258[15:8]) 送信バースト長 (REG258[7:0]) 送信係数 (REG25E[1]) 送受信トリガタイミング (REG25D[15:8]) 送受信バースト長 (REG25D[7:0]) 送信バースト長 (REG259[1:0]) 送信係数 (REG25E[7]) 受信開始タイミング (REG271[8:0]) 受信トリガタイミング (REG25A[8:7], REG25A[5:3]) 受信バースト長 (REG25A[1:0])

基本機能	要因	制御レジスタ
原画制御	処理方法指定 縮小、モザイク 拡大 OSD機能	処理モード指定 (REG260[2:1]) 比率指定 (REG260[3]) 1/2縮小対象データ選択 (REG260[4]) 1/4縮小対象データ選択 (REG260[6:5]) 背景色設定 (REG264[7:0], REG265[15:0]) 拡大ウィンドウ指定 (REG261[9:0], REG262[8:0]) レベル指定 (REG2D8[1]) 領域分割レベル指定 (REG2D8[2]) OSD挿入レベル指定 (REG2D8[0]) OSD挿入開始位置指定 (REG2D9[15:8], REG2D9[7:0]) OSD有効範囲指定 (REG2DA[15:8], REG2DA[7:0]) OSD領域分割位置指定 (REG2DB[15:8], REG2DB[7:0]) 分割領域0OSD内容指定 (REG2DC[14:0]) 分割領域1OSD内容指定 (REG2DD[14:0]) 分割領域2OSD内容指定 (REG2DE[14:0]) 分割領域3OSD内容指定 (REG2DF[14:0])
JPEG処理	処理方法指定 リアル/ユーザータイミング リアルタイミング処理 ユーザータイミング処理 WDT	処理モード指定 (REG263[1:0]) 入力データフォーマット設定 (REG25A[2]) 縮小データ処理選択 (REG263[2]) カラー選択 (REG263[7]) ストリーム長表示対象JPEGフレーム (REG273[4:0]) ストリーム長ステータス (REG274[11:0]) マクロソフトリセット (REG001[7]) 量子化レベル設定 (REG277[2:0]) 圧縮画像サイズ指定 (REG007 ~ REG00A) DR1マーカー位置指定 (REG005[7:0], REG006[7:0]) 制御シグナール(F9)リセット (REG25E[14]) 制御インターフェイス(F10)リセット (REG25E[13]) モード指定 (REG270[0]) 間隔設定 (REG270[15:8]) レベル (REG270[1]) 処理開始設定 (REG276[7]) 対象JPEGフレーム (REG276[12:8]) 対象ノーマルフレーム (REG276[3:0]) 伸張データ長ステータス (REG278[8:0], REG279[8:0]) 伸張フォーマット指定 (REG259[3], REG259[2]) 圧縮、伸張指定 (REG000[3]) レベル (REG27A[15]) 設定値 (REG27A[11:0]) ステータス (REG27B[0])

基本機能	要因	制御レジスタ
表示用出力データ制御	表示データ制御	オブジェクト制御 (REG280[15:14]) 表示画像設定 (REG280[12]) 静止画画像指定 (REG281[3:0]) Sync信号制御 (REG280[11:8]) 表示データ制御 (REG280[7], REG264[7:0], REG265[15:0]) 表示イネーブル (REG280[5]) MSB<->LSBスワップ (REG280[4]) 同期信号極性 (REG280[3:1]) 表示ポート指定 (REG283[7], REG283[6:5]) フィールド出力データ選択 (REG28F[15]) 処理モード指定 (REG28E[13:12]) 有効画像表示位置指定 (REG28A[7:0], REG28B[9:0]) 画面分割指定 (REG28E[14]) インポート指定 (REG28E[15]) ウィンドウ表示イネーブル指定 (REG283[15:12]) 各ウィンドウへの表示画像設定 (REG281[15:0]) インポートウィンドウ指定 (REG283[11:10]) インポート画像指定 (REG281[7:4], REG283[9])
	処理方法指定 縮小表示	Vsync周期 (REG282[9:0]) Vsync幅 (REG283[4:0]) Vsync有効期間テール (REG284[7:0]) Vertical有効期間 (REG285[8:0]) Hsync周期 (REG286[9:0]) Hsync幅 (REG287[7:0]) Hsync有効期間テール (REG288[8:0]) Horizontal有効期間 (REG289[9:0]) 水平方向有効原画数 (REG28E[9:0]) 垂直方向有効原画数 (REG28F[9:0])
	マルチ画面モード	
	インポートモード	
	表示用出力信号情報設定	

基本機能	要因	制御レジスタ
マイコンインターフェース関連	ホストインターフェース制御	ウェイト制御イネーブル (REG290[14]) ウェイト挿入期間指定 (REG291[9:5]) メモリアクセスモード指定 (REG290[5]) 極性指定 (REG290[4:1]) ソフトリセット (REG290[0]) リードデータ有効期間指定 (REG291[15], REG291[4:0]) リードデータ取りこみタイミング指定 (REG26E[1:0]) アクセス方式指定 (REG26A[1:0]) アクセス許可ステータス (REG26E[3]) アクセス先頭番地指定 (REG26D[8:0], REG26C[15:0]) データ入出力ポート (REG26B[15:0])
	DMA関連	DMA転送長指定 (REG293[15:0]) DMA転送開始指定 (REG294[0]) DMA転送モード指定 (REG294[1]) DMAREQ出力方法指定 (REG294[8:2]) DMA強制終了指定 (REG294[9])
	割り込み制御	イネーブル設定 (REG2A4[15:1]) 連続割り込みインターバル指定 (REG2A0[15:8]) 基本処理割り込み (FC1) 内容指定 (REG2A0[7]) 割り込みクリア指定 (REG2A0[1:0]) ペンシクステータス (REG2A2[3:0]) フラッシュステータス (REG2A3[15:7], REG2A3[6:0])

基本機能	要因	制御レジスタ
メモリマネージメント機能	保存制御	保存イネーブル指定 (REG295[15:8]) 保存フレーム指定 (REG266[15:0], REG267[15:0]) タミ保存機能イネーブル (REG26E[2]) 外部メモリ容量指定 (REG26F[13:12]) フレームIPステータス (REG268[11:0]) 最新ノーマルフレーム番号ステータス (REG269[15:12]) ホットステータス制御 (REG263[9]) 最新ホット番号ステータス (REG269[7:6]) 最新JPEGフレーム番号ステータス (REG269[11:8]) ノーマル->JPEGフレーム変換番号指定 (REG263[6:3]) 変換後JPEGフレーム番号ステータス (REG269[5:0]) フレームアサインクリア指定 (REG295[7]) マントセットイネーブル (REG295[4])
クロックマネージメント機能	PCLKマネージメント DCLKマネージメント SCLKマネージメント	PCLK入力エッジ選択 (REG2E0[0]) PCLKPLLパワーダウン制御 (REG2E0[1]) 位相調整用FFセットアップ選択 (REG2E0[2]) 内部クロックPLLモード位相選択 (REG2E0[5:3]) 内部クロックスルモード位相選択 (REG2E0[15]) 内部クロック源振選択 (REG2E0[6]) 出力クロック位相選択 (REG2E0[9:7]) 出力クロック源振選択 (REG2E0[10]) DCLK入力エッジ選択 (REG2E1[0]) SDCLKOUT出力イネーブル (REG2E2[3]) 位相調整用FFセットアップ選択 (REG2E2[2]) SDCLKOUTPLLモード位相選択 (REG2E2[5:4]) SDCLKOUT源振選択 (REG2E2[6]) SDCLKOUTスルモード位相選択 (REG2E2[11])



マジックリア機能

個々の抽出結果については随時個別にクリアする事ができます。(REG211[4:0])本クリアコマンドは最新、基準の両結果について有効です。クリアにより基準データは初期化されます。割り込みについては基準データの保存イネブル(REG210[15]=1'h0)コマンド発行し、基準データを保存した後有効になります。

マジック方法

入力される全フレームに対して抽出を行う常時マジック(REG210[1])と任意タイミングのフレームに対して抽出を行うシングルマジック(REG210[0])の2種類の抽出方式を備えています。

- 常時マジック 全フレームがマジック対象で常時抽出を行います。
- シングルマジック イネブルコマンド(REG210[0]=1'h0)発行した次のフレームのみ抽出を行います。

関連レジスタ

- REG210[15] 基準保存イネブル
イネブルコマンド発行時の抽出情報を基準情報として保存します。
- REG210[14] 表示ステータスの選択
REG22X, 23X系ステータスの表示情報を基準、最新結果から選択できます。
- REG210[12:11] インターレース入力時のマジック対象フレーム選択
ODD/EVEN/1フレームから選択できます。
- REG210[10:9] マジック対象ポート選択
複数カメラ使用時のマジック対象の入力ポートを指定します。

[画像調整機能説明]

1. 輝度補正(ブロードマップ)

画像処理前の入力データ輝度に対してレベル変換を行います。255階調の輝度レベルに対して最大3分割しおのおのに対して変換係数を割り振る事ができますので画像状態に合わせた補正ができます。

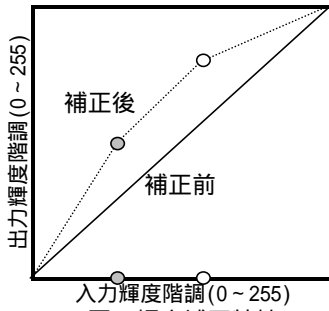


図2 輝度補正特性

- 分割下位レベル(REG2D0[7:0])
- 分割上位レベル(REG2D0[15:8])

基本処理演算

$$Y_f = A \times Y_{org} + B$$

Y_f : 補正後のY

Y_{org} : 補正前のY

A, B: 各レベルに対応した係数
(REG2D1, REG2D2, REG2D3)

選択係数(A, B)

REG2D3 : IN ≤ REG2D0

REG2D2 : REG2D0 < IN ≤ REG2D2

REG2D1 : IN > REG2D0

2. 間引き処理

入力データに対して各種データを独立に間引き処理を行い必要に応じたデータ量での画像処理を行う事ができます。間引きモードとして1/1(等倍)、1/2、1/4の3モードがありそれぞれは元データに対して等倍、1/4倍、1/16倍のデータ量に減らします。(図3参照)

間引き処理は純粋にデータを削除し所定の間引きデータを生成しますが4:2:2フォーマットの入力データの関係上、2:1:1を1データとして処理します。独立に間引き処理可能なデータを下記に示します。

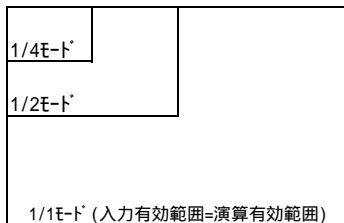


図3 間引きモード別データ量

画像処理用データ間引き(REG241[1:0])

対象データ: フィルタデータ、2値化データ、射像データ

原画用データ間引き(処理: REG260[2:1], 間引きレート: REG260[3])

対象データ: 原画データ、JPEG用データ

本間引き処理はJPEGエンコードデータ、表示データを生成する機能と関連していますので合わせて処理を決める必要があります。

原画間引き処理と関連処理機能の組み合わせ

JPEGエンコード処理 : 縮小(スル/等倍センタリング)又はザイウ

表示処理 : 縮小(マルチ/等倍センタリング)又はザイウ

3. 拡大、縮小処理

拡大処理

指定座標(REG261, REG262)を起点に入力有効期間の1/2データを拡大します。

拡大モードは2倍モードのみ対応しています。入力データに対する対象データを図4-1に示します。

縮小処理

間引き処理と同じく入力有効期間の全てのデータから1/2, 1/4間引いたデータを使用します。

縮小時、基本的に等倍センタリング(背景色はレジスタ(REG264, REG265)指定)しますが縮小データのままで処理する事もできます。(JPEGエンコード及びマルチ画面表示制御)

縮小センタリング、縮小スルモードでの処理画面例を図4-2, 4-3に示します。

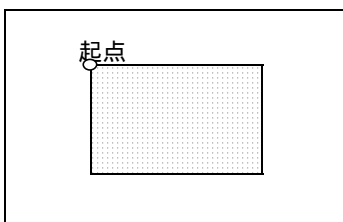


図4-1 拡大モード時拡大対象データ

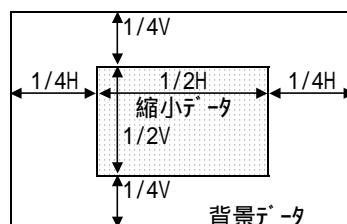


図4-2 縮小センタリング(1/2モード時)

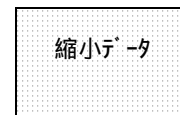


図4-3 縮小スルデータ

4. 2倍処理

3項にて間引き処理されたデータをモードに合わせ拡張します。拡張の様子を図5-1, 5-2に示します。

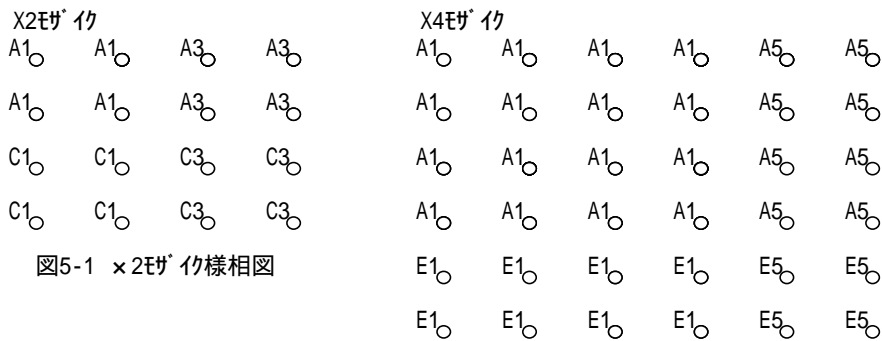


図5-1 ×2倍処理様相図

図5-2 ×4倍処理様相図

5. JPEGコーデック処理

静止画の圧縮処理を行なうJPEG方式にほぼ準拠したコアを使用しています。圧縮処理にはDCT (離散コサイン変換)、量子化、ハフマン符号方式を採用しそれぞれ独自のアルゴリズムを採用することにより高速処理 (30Hz@VGA, SCLK=40MHz) を実現しています。

演算精度に関しても、JPEG Part2 (ISO/IEC 10918-2) で要求される適合性試験の結果を満足しています。ハフマンテーブルは、勧告書 (ISO/IEC IS 10918-1 付属書K.3) の4テーブル (AC, DC各テーブル) を使用しています。テーブルデータは予め記憶されており、変更出来ません。

マーカー処理は自動でSOI、SOF0、SOS、DQT、DHT、DRI、RSTM、EOIを生成します。

基本仕様

圧縮方式	: JPEG Baseline方式にほぼ準拠。
演算精度	: JPEG Part2 (ISO/IEC 10918-2) 準拠。
画像サイズ	: 最小80×60～最大640×480内で任意。但し、MCU単位で割り切れるサイズ。
量子化テーブル	: 勧告書 (ISO/IEC IS 10918-1 付属書K.1,2) の2テーブル。 テーブルはレジスタにて8段階設定可能
ハフマンテーブル	: 勧告書 (ISO/IEC IS 10918-1 付属書K.3,4,5,6) の4テーブル。 (AC, DC各テーブル) を使用しています。
マーカー	: 自動生成 処理対象マーカー (SOI、SOF0、SOS、DQT、DHT、DRI、RSTM、EOI)

通常、入力画像データのデータ圧縮に使用しますが専用モードとしてマイコンから準備されたデータに対してエンコード/デコードのみを行うJPEG専用モードも有ります。また、異常ストリーム受信時のデコードハングアップ対策にWDTも準備していますので安定したシステムが構築できます。

通常画像処理モード (REG270[0]=1'b0)

入力インターフェースから入力される画像データをREG270[15:8]に設定されたフレーム間隔でエンコード処理するモードです。エンコード後のストリーム長はREG274で表示されます。

JPEG専用モード (REG270[0]=1'b1)

REG276[12:8], REG276[3:0]で指定されたJPEGフレーム及びノーマルフレームのデータをJPEG処理モード (REG000[3]) の指定内容に基づきエンコード/デコード処理します。演算は開始命令 (REG276[7]) 発行により実行されます。エンコード後のストリーム長はREG274で表示され、デコードデータサイズはREG278, REG279で指定されます。本モードでJPEG処理を行う場合、必ずREG002[1]=1'b0を確認した上で開始命令を発行する必要があります。

尚、ZEN3001F搭載JPEGエンジンの量子化テーブルは勧告書 (ISO/IEC IS 10918-1 付属書K.1,2) のテーブルを標準 (×1) としそのテーブル値に係数掛け (REG277[2:0]) で8段階調整方式としていますのでユーザーはその中から設定値を選択する必要があります。関連して、デコード時もそのテーブルを使用しますのでデコード前にも必ず設定値 (REG277[2:0]) を合わせて下さい。

(ウォッチドッグタイマ(WDT))

JPEGデコード処理中に異常ストリーム (EOIマーカー消失etc.) を受信しますと内蔵エンジンはまだ、ストリーム受信中和判断しハングアップする可能性があります。ZEN3001Fではある一定時間経過してもJPEG処理が完了しない場合、WDT機能にて強制的に処理を終了させる事ができます。

WDTでの強制終了時、外部には通常と同じくJCI割り込みにて通知しますがその場合REG00F[4]にて伸張時のエラー発生を示していますのでJCI割り込み処理にて常に確認願います。

(JPEG専用モードの制限事項)

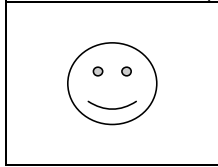
JPEG専用モードで使う場合、以下のような制限事項がありますのでご注意ください。

- ・エンコード/デコードとも、YUVの間引きモードはYUV=4:2:2のみ対応します (REG000[2:0])。
- ・出力の表示モードは静止画のみ対応します (REG280[12])。
- ・静止画の画像出力の際、使用可能なノーマルフレームは偶数のみとなります (REG281[3:0])。
- ・JPEG専用モードであっても、画像出力を行いかつ0以外のノーマルフレームを使用する場合はPCLKを供給しSYNCのディレクションをマスターモードに設定する必要があります。
- ・画像出力の表示処理モードはスルーと拡大のみ対応します (REG28E[13:12])。
- ・マルチ4分割表示には対応しません (REG28E[14])。

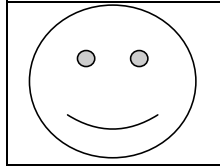
6. マルチ画面表示

3項にて1/2間引き処理された原画像の表示方法を選択できます。

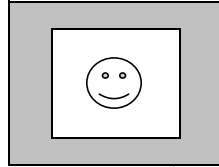
(シングル画面表示モード)



原画



拡大



縮小センタリング

設定時間関連レジスタ

REG28E[14]=1'h0

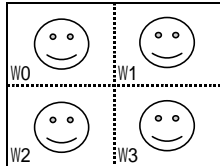
シングル画面モード

前述4,5項は本設定の時に有効

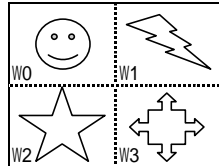
■:背景色

(マルチ画面表示モード)

マルチ画面内表示データは静止画、動画どちらでも可能。



同一4画面表示



マルチ4画面表示

設定時間関連レジスタ

REG28E[14]=1'h1

マルチ画面モード

REG281[15:0]

4ウィンドウ表示フレーム指定

4'h0 ~ hB (指定フレーム)

4'hC ~ hF (C:ポート3)

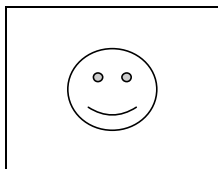
(D:ポート2)

(E:ポート1)

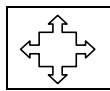
(F:ポート0)

7. 画像インポート機能

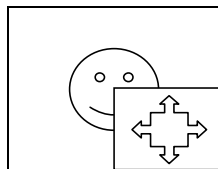
前述マルチ画面表示機能は個々に独立した4画像を1画面に表示する機能ですが本機能は通常のシングル画面表示の中で任意の1/4ウィンドウに画像を表示する事ができます。



原画



挿入画像



インポート画像

設定時間関連レジスタ

REG28E[15]=1'h1

インポート可能な

REG283[11:10]

インポートウィンドウ指定

REG283[9]

インポートフレーム指定

REG281[7:4]

インポートフレーム指定

挿入画像は必ずQVGAサイズで表示は1画面表示指定が必要です。関連レジスタは上述の通りです。挿入するフレームはREG281[7:4]にて指定しますがサブ指定としてREG281[7:4]フレーム又はREG281[7:4]+1フレームから挿入画像を選択する事ができます。挿入画像を外部から入力する場合、書き換えタイミングによる画像の乱れ防止に使用します。インポートフレーム及びインポートデータライト用フレームは保存処理(REG266, REG267, REG295[15:8])して通常画像処理では使用しない設定にしておく必要があります。

8. JPEG専用モードの制限事項

JPEG専用モードで使う場合、以下のような制限事項がありますのでご注意ください。

- ・エンコード/デコードとも、YUVの間引きモードはYUV=4:2:2のみ対応します(REG000[2:0])。
- ・出力の表示モードは静止画のみ対応します(REG280[12])。
- ・静止画の画像出力の際、使用可能なノーマルフレームは偶数のみとなります(REG281[3:0])
- ・JPEG専用モードであっても、画像出力を行いかつ0以外のノーマルフレームを使用する場合はPCLKを供給しSYNCのディレクションをマスターモードに設定する必要があります。
- ・画像出力の表示処理モードはスルーと拡大のみ対応します(REG28E[13:12])。
- ・マルチ4分割表示はできません(REG28E[14])。

9. OSD機能

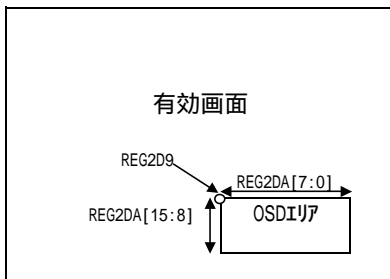
ZEN3001Fでは最大32Kドット分のデータを入力画像の任意領域に挿入することができます。挿入データはJPEGエンコードデータ、表示データに反映されますのでタイムスタンプや画像履歴情報ははじめとした文字情報を画像中に埋め込むことができます。



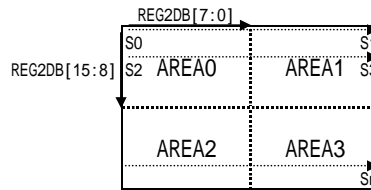
有効画面内にOSDフィールドを設定しそのフィールド内OSD情報を予め外部メモリの決められた領域(OSDデータ設定領域)に格納しておきます。OSDテーブルを指定しますとその領域の原画情報をOSD情報と指定されたプリント内容(REG2DC~REG2DF)にてプリントデータを生成します。OSD領域は分割指定により4領域に分割し独立にプリント内容を選択することができます。

- 設定時間関連レジスタ
- REG2D8[1]=1'b1
OSDテーブル
 - REG2D8[0]
OSD用テーブルセレクト
 - REG2D9, REG2DA
OSD領域設定
 - REG2D8[2]
OSD領域分割テーブル
 - REG2DB
分割ポイント設定
 - REG2DC ~ REG2DF
分割領域別キャラクタ、背景設定

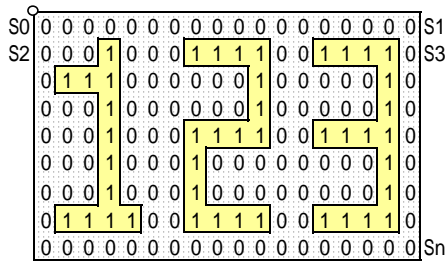
OSDIリア(最大32Kドット)



OSDIリア分割様相図



OSD情報例



キャラクタ 背景
 SDRAMのノーマルメモリー領域に格納
 上図中0, 1はOSD情報として設定するデータを示す。
 OSD情報の解像度
 垂直: 1ドット/情報データ
 水平: 2ドット/情報データ

左図にOSD情報例及び外部メモリへの設定情報を示します。設定順序はS0->S1, S2->S3--->Snの順に外部メモリの指定領域に設定しておきます。指定領域は以下に示す4領域がありますので必要領域に設定願います。

対象アドレス領域	開始アドレス
フィールドテーブル0(Progressive, Interlace(ODD))	78000
フィールドテーブル0(Interlace(EVEN))	78800
フィールドテーブル1(Progressive, Interlace(ODD))	79000
フィールドテーブル1(Interlace(EVEN))	79800

開始アドレス: {REG26D[9:0], REG26C[15:0]} 指定アドレス
 *: Interlace(EVEN)領域への設定データはODDデータ設定アドレスの次のアドレス+オフセット(800h)に設定願います。
 Progressive時
 $S2 = (S1 + 1)$ アドレス
 Interlace時
 $S2 = (S1 + 1) + 20'h00800$ アドレス

4. 指定色抽出

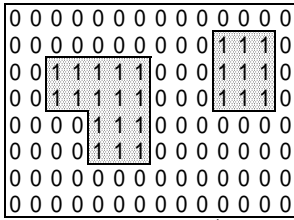


図4 指定色テーブル

Y, U, V独立に抽出範囲を指定し有効画面内の特定色の抽出を行う事ができます。

最初に各ドットに対してY, U, V独立にYq, Uq, Vqを求め

- Yq $\left\{ \begin{array}{l} Y_{THL} \ Y \ Y_{THU} \ 1 \ Y_{THL}: \text{下位判定スレッシュホールド}^* \text{ (REG247[7:0])} \\ \text{以外} \ 0 \ Y_{THU}: \text{上位判定スレッシュホールド}^* \text{ (REG247[15:8])} \end{array} \right.$
- Uq $\left\{ \begin{array}{l} U_{THL} \ U \ U_{THU} \ 1 \ U_{THL}: \text{下位判定スレッシュホールド}^* \text{ (REG248[7:0])} \\ \text{以外} \ 0 \ U_{THU}: \text{上位判定スレッシュホールド}^* \text{ (REG248[15:8])} \end{array} \right.$
- Vq $\left\{ \begin{array}{l} V_{THL} \ V \ V_{THU} \ 1 \ V_{THL}: \text{下位判定スレッシュホールド}^* \text{ (REG249[7:0])} \\ \text{以外} \ 0 \ V_{THU}: \text{上位判定スレッシュホールド}^* \text{ (REG249[15:8])} \end{array} \right.$

その結果から以下の条件にて画面全体の2値化テーブルを生成します。

- テーブル内容 $\left\{ \begin{array}{l} Yq \ \& \ Uq \ \& \ Vq \ 1 \\ \text{以外} \ 0 \end{array} \right.$

5. 射像演算

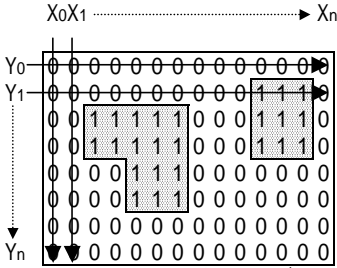


図5 比較(指定色)テーブル

前述の画像比較、指定色抽出にて作成されたテーブルに対して各XY(行列)レベルで独立した分割情報にまとめる事ができます。(射像データX, Y)

各行(列)単位で"1"として2値化されたデータの総数を外部メモリに格納します。行方向の処理をY射像処理、列方向の処理をX射像処理として扱い、外部メモリへ個別にマップされていますのでアプリケーションに応じて必要なデータを選択する事ができます。本演算対象データはMSA (REG24B[1])にて比較、指定色抽出結果から選択できます。また、ウィンドウの指定 (REG242, REG243)によりフル画面だけでなく有効画像中の任意領域のみを対象とする事もできます。

6. 面積演算

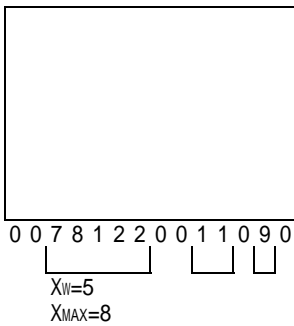


図6 面積算出例

前述の画像比較処理及びその射像演算結果のX射像(X0 ~ Xn), Y射像結果(Y0 ~ Yn)に対して

- $X_{AREA} = X_W \times X_{MAX}$ X_W : X最大連続幅
- $Y_{AREA} = Y_W \times Y_{MAX}$ X_{MAX} : X最大連続幅内における最大値
- $D_{AREA} = \text{MAX}(Y_{AREA}, X_{AREA})$ Y_W : Y最大連続幅
- Y_{MAX} : Y最大連続幅内における最大値

を求め、面積スレッシュホールドATH (REG24C)を比較し越えた場合には割り込みにて通知する事ができます。

- $D_{AREA} > A_{TH}$ (REG24C)
- 最大幅でないのでYw, YMAXではない
- 最大幅でないのでXw, XMAXではない

7. マルチウィンドウ処理

前述の比較、指定色抽出結果に対して以下に示すマルチウィンドウ処理を行う事ができます。予め準備したウィンドウ内のデータに対して射像演算を行います。(REG2C1:最大64ウィンドウ対象データの選択はSCS (REG2B7[15])にて制御できます。

有効画像範囲をm x n (MAX: 64, (m, n=1, 2, 4, 8, 16, 32, 64))のマルチウィンドウに分割しそれぞれのウィンドウ毎に射像演算(Ywsumの抽出)を行いその結果をレジスタ (REG2B3 ~ REG2B6)に格納します。

設定ウィンドウ数に関して基本的に以下の条件を成立させる必要があります。

- 水平有効画素数 = $(2 \times A) \times m$ $(2 \times A)$: 1ウィンドウ辺りの画素数(偶数)
- 垂直有効画素数 = $B \times m$ B : 1ウィンドウ辺りの画素数(整数)

上記関係が成立しない場合、内部では端数を切り捨て処理しますので処理範囲、生成ウィンドウ数が変わりますので注意が必要です。

X, Y分割数はREG2C1にて指定しウィンドウ番号は列方向に昇順で扱います。(図7-1参照)

- 設定 (REG2B0[15]=1'h1)
- 量子化条件

$$Y_{wsum} > Y_{THsum} \quad Y_{THsum} : \text{REG2C0[13:0]}$$

また、処理ルール内で $(Y_{wsum} > Y_{THsum})$ を示すウィンドウ数が Y_{THW} を越えた場合は割り込み(MW1)にて通知する事ができます。

- 割り込み条件 $(Y_{wsum} > Y_{THsum}) \text{ウィンドウ数} > Y_{THW} \text{(REG2C2[5:0])}$

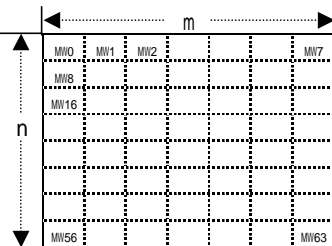


図7-1 マルチウィンドウ

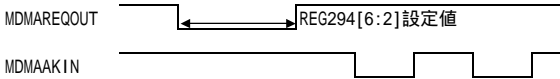
[Micon DMA I/F タイミング チャート(メモリ/W)]

DMA転送概略

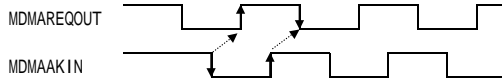
基本的に通常マイコンI/Fと同様のアクセスを行います。DMAREQ \bar{t} の指定によりDMAREQ,ACK信号のホドリングが異なりますので注意が必要です。転送開始命令を受けて所定タイミングでDMAREQを出力します。その際に開始時のみDMAREQを出力する場合は、DT0(REG294[8])=1'b0に設定します。以降、DMAACK信号にてアドレスを自動インクリメントし転送長に達するまで繰り返します。

DT0=1'b1設定時はDMAREQのイネブル方法は同じですがDMAACK信号がイネブル後解除し、デイネブル後自動的にイネブルにします。(それぞれnegative設定時のホドリングの違いを下記に示します。)

(DT0=1'b0)



(DT0=1'b1)



DMA転送動作開始前処理フロー(予めマイコンI/F関連のタイミングはセットされているものとします)

アクセスの指定(REG26C,26D)

DMAREQ, DMAACK極性指定(REG290[2:1])

DMA転送長の指定(REG293[15:0])

DMAREQ \bar{t} の指定(REG297[8:7])

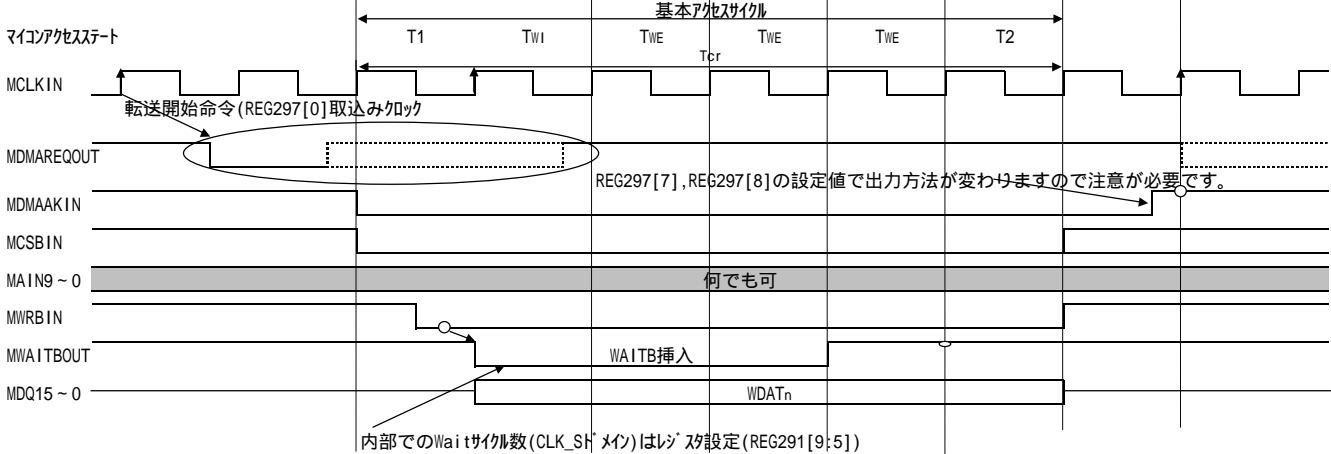
DMAREQ長の指定(REG297[6:2])

DMA \bar{t} (R/W)の指定(REG297[1])

DMA転送開始命令発行(REG297[0])

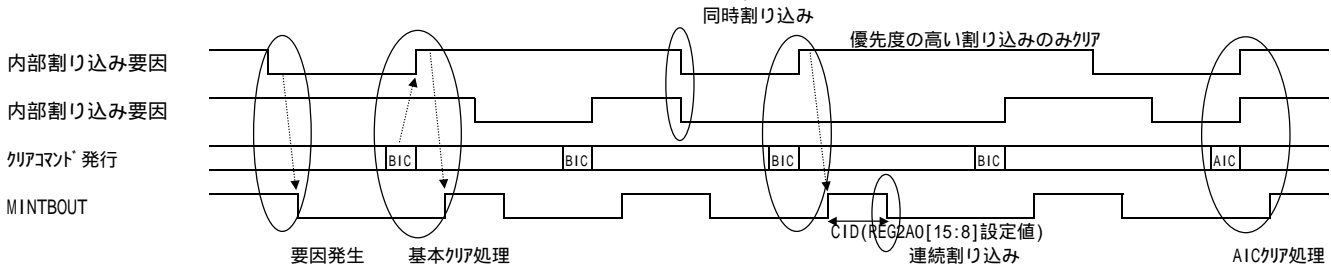
同時設定可

DMA動作タイミングチャート(リード): ライトアクセス時も各種タイミングは同じ(MDMAACKINはnegative設定)



[割り込み制御機能]

ZEN3001Fでは各種内部状態の変化を割り込みとしてマイコンに伝える事ができます。



基本タイムチャート 割り込みの優先順位(要因 > 要因)

動作概要

基本タイムチャートにて割り込みシーケンス例を示します。内部にてイネブル設定(REG2A4[15:1])された各種要因が内部で発生すると内部割り込み要因として受け付けます。その内容を受け、外部端子MINTBOUT="L"(イネブル)にすると同時にステータス(REG2A2, REG2A3)にその内容を示します。(図中) 外部ではMINTBOUTのイネブルを受け付けるといつでもその内容を確認及び所定の処理を行ったあとBICコマンド(REG2A0[1]=1'b1)を発行するとその処理が完了したものとMINTBOUT="H"(デイネブル)及びステータスのクリアを行います。(図中)

内部で同時に発生した場合は予め決められた優先順位に基づき優先度の高い割り込みが受け付けられます。(図中 、)先に優先度の低い要因が受け付けられクリアされる前に優先度の高い要因が発生しても先に発生した要因が有効で後に発生した要因はストップされています。同時発生又は重複割り込み発生時、先の要因に対するクリアコマンド発行後は必ずMINTBOUTはデイネブルになり一定時間(CID設定値)経過後、次の要因に対するMINTBOUTのイネブルを生成します。(図中)

クリアコマンドにはBICコマンドの他にAICコマンド(REG2A0[0]=1'b1)があります。本コマンドはその時に発生している全ての割り込み要因をクリアしますので取扱いには注意が必要です。(図中)

割り込みに関連したその他のレジスタとしてFFC(REG2A0[7])があります。本レジスタはFCI(REG2A2[3:0]=4'hF)割り込み対象のルーム処理を規定します。パーソナルファンクション選択時(1'b0)、FCI対象のルーム内処理はREG246でイネブル指定した演算処理が対象です。ファンクション選択時(1'b1)はREG246指定演算の他にJPEGエントリ処理も対象になります。

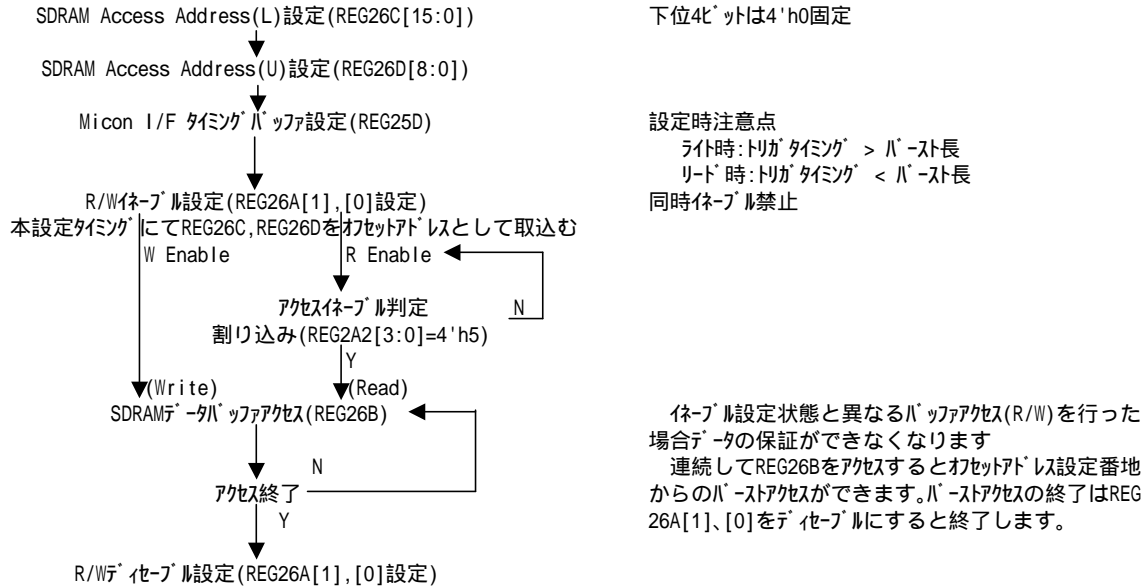
各種要因及び優先順位については後述の割り込み要因一覧を参照願います。

優先順位	割り込み内容	発生タイミング																													
	Single Measure complete Interrupt シングルメジャーイベントレジスタ(REG210[0]=1'h0)時にメジャーの完了を通知します。	メジャー完了時																													
	Area Calculate Interrupt 面積演算イベントレジスタ(REG246[10]=1'h0)時に抽出面積のスレッショルドオーバーを通知します。 条件:抽出面積 > REG24C[15:0]	面積演算完了時																													
	Color Detect Interrupt 指定色検出イベントレジスタ(REG210[3]=1'h0)時に検出面積のスレッショルドオーバーを通知します。 条件:検出ドット数 > {REG21E[15:0],REG21D[15:0]}	条件成立時																													
	Camera Change enable Interrupt 外部カメラ変更イベントレジスタ(REG295[6]=1'h0)時に変更可能になった事を通知します。 条件:イベント発行時のフレームに対する処理が全て完了した時	条件成立時																													
	Micon Access (DMA Transfer) enable Interrupt マイコンアクセスイベントレジスタ(REG26A[0]=1'h0)時のリード準備完了を通知します。 条件:イベント発行後、内部タイミングバッファへの1バス分のメモリリード完了時	条件成立時																													
	Reserved																														
	Y Measure Interrupt 輝度(Y)成分のメジャー結果のスレッショルドオーバーを通知します。 要因はREG2A3[6:0]に示します。同時に複数の要因を示す事もあります。 (1)YMAX値スレッショルドオーバー 条件: YMAXメジャー値 - YMAX基準値 > YMAXスレッショルド (REG217[15:8]) (2)YMIN値スレッショルドオーバー 条件: YMINメジャー値 - YMIN基準値 > YMINスレッショルド (REG217[7:0]) (3)YDeltaMAX値スレッショルドオーバー 条件: YDeltaMAXメジャー値 - YDeltaMAX基準値 > YDeltaMAXスレッショルド (REG218[7:0]) (4)YMAX座標スレッショルドオーバー 条件: YMAX座標メジャー値 - YMAX座標基準値 > 座標スレッショルド (REG219[9:0]) (5)YMIN座標スレッショルドオーバー 条件: YMIN座標メジャー値 - YMIN座標基準値 > 座標スレッショルド (REG219[9:0]) (6)YDeltaMAX座標スレッショルドオーバー 条件: YDeltaMAX座標メジャー値 - YDeltaMAX座標基準値 > 座標スレッショルド (REG219[9:0])	メジャー完了時																													
	Timing Buffer Interrupt 送受信内部タイミングバッファでオーバーフロー/アンダーランが発生した事を通知します。 要因はREG2A3[11:10]に示し、タイミングバッファ番号をREG2A3[15:12]に示します。 <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th>REG2A3[11:10]</th> <th>イラ-概略</th> <th>対象バッファ、内容</th> <th>REG2A3[15:12]</th> </tr> </thead> <tbody> <tr> <td rowspan="6">2'h2</td> <td rowspan="6">送信関連 (オーバーフロー)</td> <td>ファイル送信バッファ</td> <td>1</td> </tr> <tr> <td>2値送信バッファ</td> <td>2</td> </tr> <tr> <td>射像送信バッファ</td> <td>3</td> </tr> <tr> <td>原画送信バッファ</td> <td>8</td> </tr> <tr> <td>マイコン送信バッファ</td> <td>9</td> </tr> <tr> <td>(JPEGタイムオーバー)</td> <td>JPEGアクセスエラー</td> <td>7</td> </tr> <tr> <td rowspan="4">2'h1</td> <td rowspan="4">受信関連 (アンダーラン)</td> <td>比較受信バッファ</td> <td>5</td> </tr> <tr> <td>JPEG受信バッファ</td> <td>6</td> </tr> <tr> <td>マイコン受信バッファ</td> <td>9</td> </tr> <tr> <td>表示受信バッファ</td> <td>10</td> </tr> </tbody> </table>	REG2A3[11:10]	イラ-概略	対象バッファ、内容	REG2A3[15:12]	2'h2	送信関連 (オーバーフロー)	ファイル送信バッファ	1	2値送信バッファ	2	射像送信バッファ	3	原画送信バッファ	8	マイコン送信バッファ	9	(JPEGタイムオーバー)	JPEGアクセスエラー	7	2'h1	受信関連 (アンダーラン)	比較受信バッファ	5	JPEG受信バッファ	6	マイコン受信バッファ	9	表示受信バッファ	10	イラ-発生時
REG2A3[11:10]	イラ-概略	対象バッファ、内容	REG2A3[15:12]																												
2'h2	送信関連 (オーバーフロー)	ファイル送信バッファ	1																												
		2値送信バッファ	2																												
		射像送信バッファ	3																												
		原画送信バッファ	8																												
		マイコン送信バッファ	9																												
		(JPEGタイムオーバー)	JPEGアクセスエラー	7																											
2'h1	受信関連 (アンダーラン)	比較受信バッファ	5																												
		JPEG受信バッファ	6																												
		マイコン受信バッファ	9																												
		表示受信バッファ	10																												
	Multi-Window point Interrupt マルチウィンドウ機能イベントレジスタ(REG2B0[15:14]=2'h1)時の変化ウィンドウのスレッショルドオーバーを通知します。 変化ウィンドウ条件: 変化ドット数 > 変化検出スレッショルド (REG2C0[13:0]) 割り込み条件: 変化ウィンドウ数 > ウィンドウスレッショルド (REG2C2[5:0])	演算完了時																													
	Differential Count over Interrupt 比較演算機能イベントレジスタ(REG246[5]=1'h0)における差分変化検出ドット数のスレッショルドオーバーを通知します。 割り込み条件: 変化検出ドット数 > 相違判定スレッショルド (REG24F[15:6]) × 64	比較演算完了時																													
	JPEG Register Write Error Interrupt JPEG処理中にJPEG関連レジスタへのライトアクセスの検知を通知します。	イラ-発生時																													
	DMA Transfer Complete Interrupt DMA転送イベントレジスタ(REG294[4]=1'h0)時の転送完了を通知します。	転送完了時																													
	Frame function Error Interrupt 1フレームに対する全ての処理が未完了の際に次フレームの処理の開始が発生した事を通知します。	イラ-発生時																													
	JPEG Function Complete Interrupt JPEG専用モード (REG270[0]=1'b1)時にJPEG演算の終了を通知します。	処理完了時																													
	Frame function Complete Interrupt 1フレームに対する全ての処理が完了した事を通知します。	処理完了時																													

[SDRAMデータアクセス制御フロー]

メモリよりZEN3001Fの外部メモリをアクセスする際、ZEN3001Fでは一度メモリのライト要求データを内部バッファに取りこみ一定量蓄えたのち外部SDRAMに対してバースト転送を行います。処理の関係上、ライト可能な最小単位は64ワード(16バイト)でまた、全てのデータの書き込みはメモリのライト動作完了時ではなくメモリからのアクセス終了コマンド発行後約2us以上の期間経過後となります。また、リード要求に対してもSDRAMのインターフェースをZEN3001Fのメモリインターフェースに変換させる為、一定量のリードを行いますのでリードアクセス開始要求コマンド一定期間経過後随時取り出しが可能となります。

マイコン->SDRAMデータアクセス基本フローチャート



ライトアクセス終了後次のアクセスを開始する場合、必ず"EAS(REG26E[3])=1'b0"を確認後実行願います。本ステータスが1'b1の際にアクセスしたデータは全て無効です。

[REG26C, REG26D指定アドレス例(先頭アドレス)]

ノーマルモードデータ

ノーマルモード番号	f0		f1		f2		f3		f4		f5	
	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)
射像演算データ(Y)	0007	6000	000F	6000	0017	6000	001F	6000	0027	6000	002F	6000
射像演算データ(X)	0007	5800	000F	5800	0017	5800	001F	5800	0027	5800	002F	5800
2値化データ	0007	0800	000F	0800	0017	0800	001F	0800	0027	0800	002F	0800
演算データ	0004	B000	000C	B000	0014	B000	001C	B000	0024	B000	002C	B000
原画データ	0000	0000	0008	0000	0010	0000	0018	0000	0020	0000	0028	0000

ノーマルモード番号	f6		f7		f8		f9		f10		f11	
	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)
射像演算データ(Y)	0037	6000	003F	6000	0047	6000	004F	6000	0057	6000	005F	6000
射像演算データ(X)	0037	5800	003F	5800	0047	5800	004F	5800	0057	5800	005F	5800
2値化データ	0037	0800	003F	0800	0047	0800	004F	0800	0057	0800	005F	0800
演算データ	0034	B000	003C	B000	0044	B000	004C	B000	0054	B000	005C	B000
原画データ	0030	0000	0038	0000	0040	0000	0048	0000	0050	0000	0058	0000

JPEG圧縮データ

JPEGモード番号	Jf0		Jf1		Jf2		Jf3		Jf4		Jf5		Jf6		Jf7	
JPEGデータ	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)
	0060	0000	0061	0000	0062	0000	0063	0000	0064	0000	0065	0000	0066	0000	0067	0000

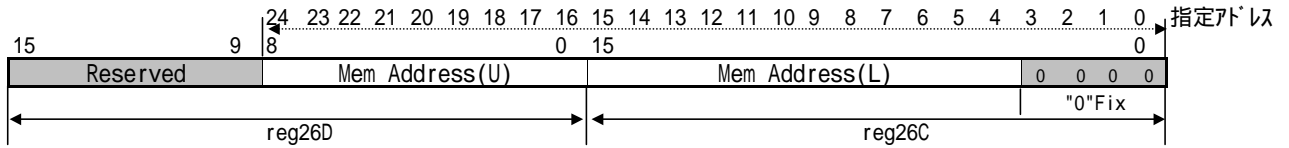
JPEGモード番号	Jf8		Jf9		Jf10		Jf11		Jf12		Jf13		Jf14		Jf15	
JPEGデータ	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)
	0068	0000	0069	0000	006A	0000	006B	0000	006C	0000	006D	0000	006E	0000	006F	0000

JPEGモード番号	Jf16		Jf17		Jf18		Jf19		Jf20		Jf21		Jf22		Jf23	
JPEGデータ	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)
	0070	0000	0071	0000	0072	0000	0073	0000	0074	0000	0075	0000	0076	0000	0077	0000

JPEGモード番号	Jf24		Jf25		Jf26		Jf27		Jf28		Jf29		Jf30		Jf31	
JPEGデータ	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)	(26D)	(26C)
	0078	0000	0079	0000	007A	0000	007B	0000	007C	0000	007D	0000	007E	0000	007F	0000

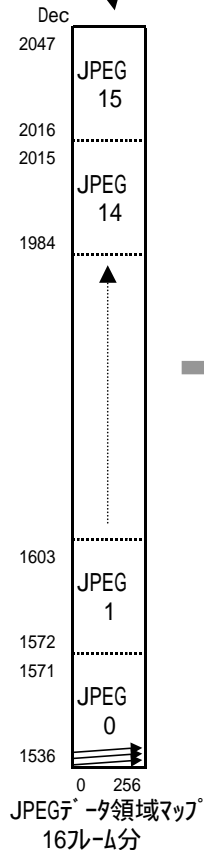
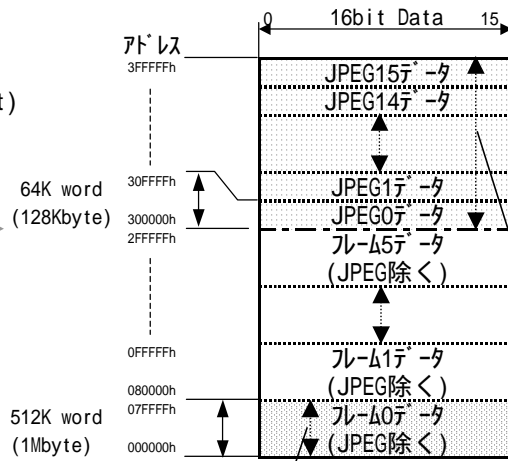
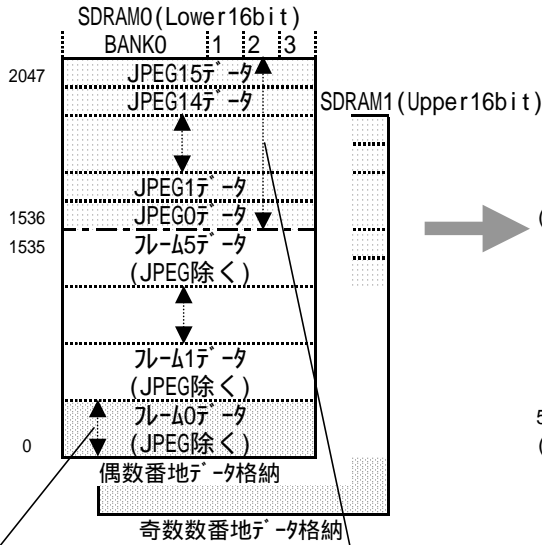
[外部メモマップ]

外部からみたZEN3001Fの処理データに対するメモマップを示します。本アドレス空間はレジスタ(REG26C, 26D)を経由して送受信を行います。レジスタ及び指定アドレスの関係を下記に示します。

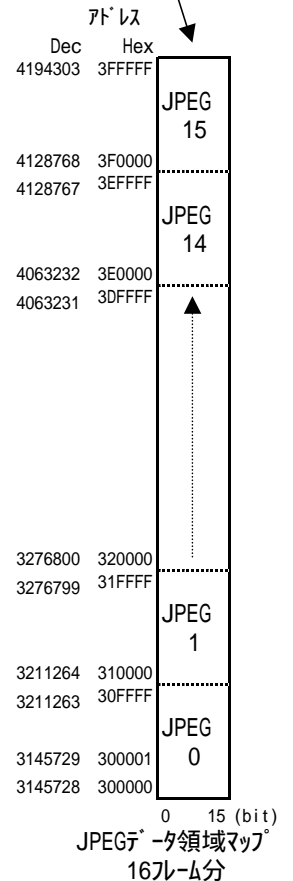
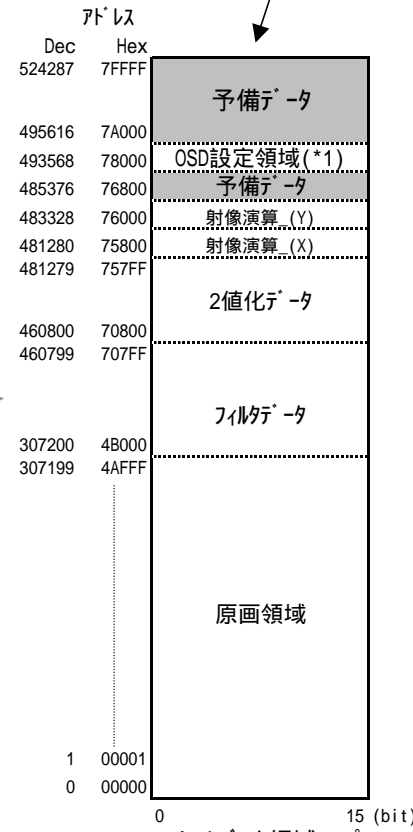


64Mb SDRAM接続時

 SDRAMメモマップ 概略図(実データに対応)
 (2Mword×16bit SDRAM 2個)

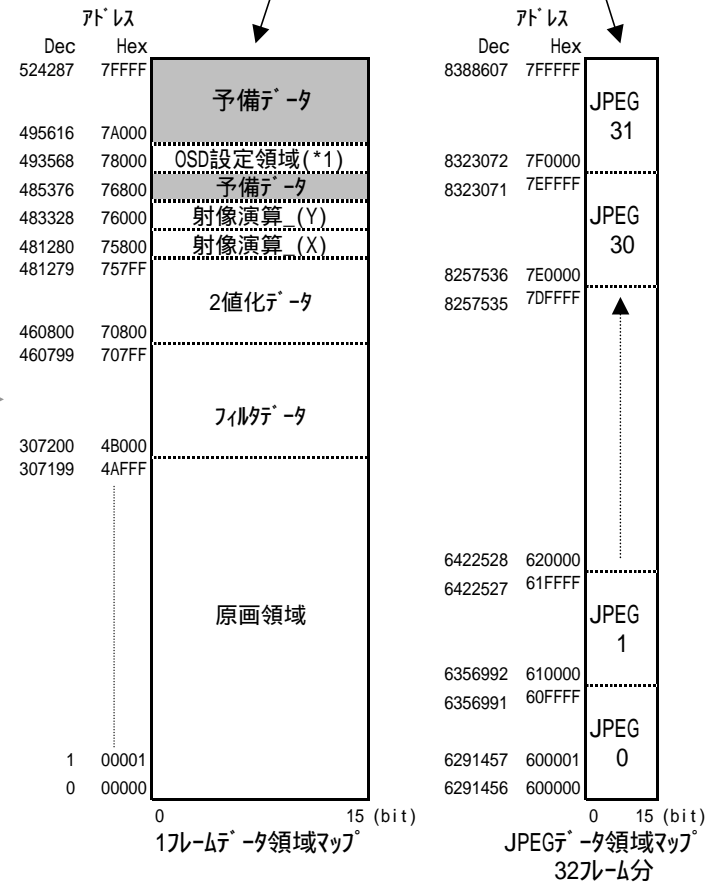
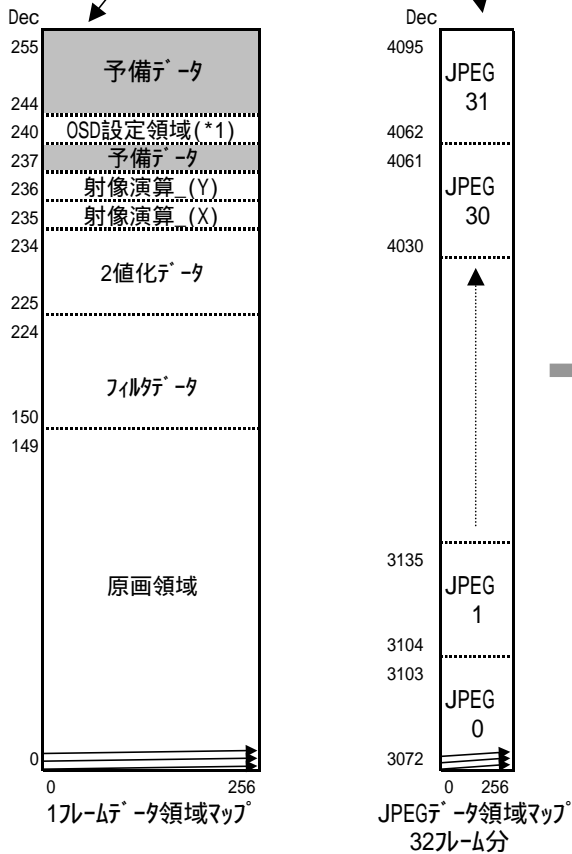
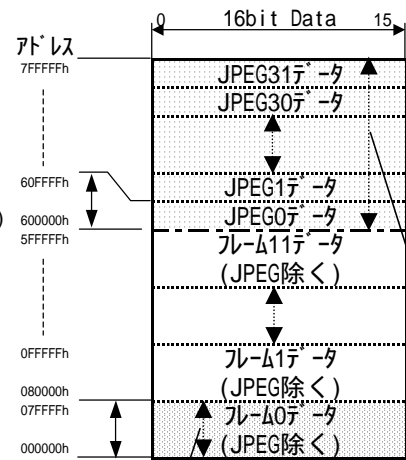
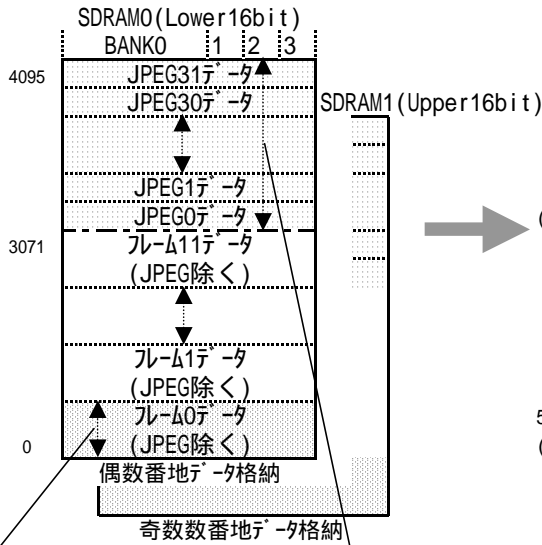
 SDRAMメモマップ 概略図(レジスタアクセス対応)
 (16bit data, 25bit address(上位ビットは"L"固定))


*1: OSD設定領域はフレーム0データ領域のみ有効



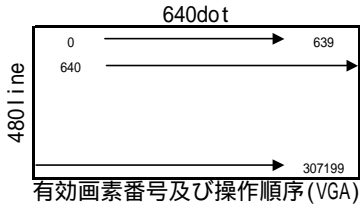
128Mb SDRAM接続時

 SDRAMメモリマップ 概略図(実データバス対応)
 (4Mword×16bit SDRAM 2個)

 SDRAMメモリマップ 概略図(レジスタアクセス対応)
 (16bit data, 25bit address(上位2ビットは"L"固定))


*1: OSD設定領域はフレーム0データ領域のみ有効

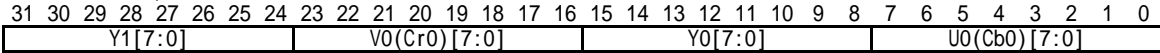
[SDRAMデータフォーマット及びマイコンアクセス順序]



ZEN3001Fが扱う各種画像処理データは全て入力走査順序に合わせてSDRAMに格納します。通常、画像データは画面左上より順次走査にて有効画面を構成していますのでそのまま入力するとZEN3001Fではそれぞれのドットデータに対して0から30719 (@VGA)の画素番号を割り振ります。
各種画像処理データとマイコンアクセスデータとの関係を以下に示します。(フレームデータアクセス例)

原画データ

(SDRAMデータフォーマット)



(マイコンアクセスデータ順序)

マイコンアクセス番地 ({REG26D[8:0], REG26C[15:0]}=25'h0000000時)

1st MD[15:0]={Y0[7:0], U0[7:0]}

2nd MD[15:0]={Y1[7:0], V0[7:0]}

3rd MD[15:0]={Y2[7:0], U1[7:0]}

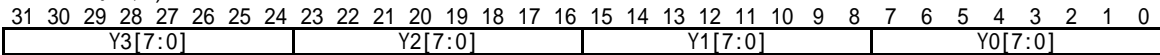
4th MD[15:0]={Y3[7:0], V1[7:0]}

⋮

リード終了 (REG26A[0]=1'h151f)まで繰り返す

フィルタデータ

(SDRAMデータフォーマット)



(マイコンアクセスデータ順序)

マイコンアクセス番地 ({REG26D[8:0], REG26C[15:0]}=25'h004B000時)

1st MD[15:0]={Y1[7:0], Y0[7:0]}

2nd MD[15:0]={Y3[7:0], Y2[7:0]}

3rd MD[15:0]={Y5[7:0], Y4[7:0]}

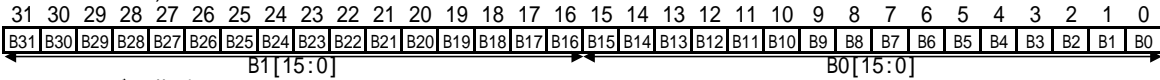
4th MD[15:0]={Y7[7:0], Y6[7:0]}

⋮

リード終了 (REG26A[0]=1'h151f)まで繰り返す

2値データ

(SDRAMデータフォーマット)



(マイコンアクセスデータ順序)

マイコンアクセス番地 ({REG26D[8:0], REG26C[15:0]}=25'h0070800時)

1st MD[15:0]={B0[15:0]} B0[15:0]:画素番号15->0(16画素)情報

2nd MD[15:0]={B1[15:0]} B1[15:0]:画素番号31->16(16画素)情報

3rd MD[15:0]={B2[15:0]} B2[15:0]:画素番号47->32(16画素)情報

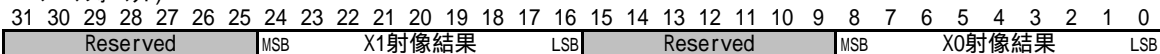
4th MD[15:0]={B3[15:0]} B3[15:0]:画素番号63->48(16画素)情報

⋮

リード終了 (REG26A[0]=1'h151f)まで繰り返す

射像演算(X)

(SDRAMデータフォーマット)



(マイコンアクセスデータ順序)

マイコンアクセス番地 ({REG26D[8:0], REG26C[15:0]}=25'h0075800時)

1st MD[15:0]={X0[15:0]}

2nd MD[15:0]={X1[15:0]}

3rd MD[15:0]={X2[15:0]}

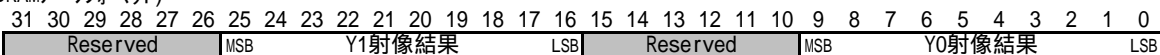
4th MD[15:0]={X3[15:0]}

⋮

リード終了 (REG26A[0]=1'h151f)まで繰り返す

射像演算(Y)

(SDRAMデータフォーマット)



(マイコンアクセスデータ順序)

マイコンアクセス番地 ({REG26D[8:0], REG26C[15:0]}=25'h0076000時)

1st MD[15:0]={Y0[15:0]}

2nd MD[15:0]={Y1[15:0]}

3rd MD[15:0]={Y2[15:0]}

4th MD[15:0]={Y3[15:0]}

⋮

リード終了 (REG26A[0]=1'h151f)まで繰り返す

[PLL制御仕様]

PCLK用PLL制御仕様

ZEN3001Fでは様々な外部システムに容易に接続できるため入力クロックと規格対象入力とのタイミングをLSI側で調整する機能を内蔵しています。本機能によりLSIに入力するタイミングを調整を外部で行う必要は無く内蔵のジヤ機能と合わせて使用する事でより安定したインターフェースを実現できます。

関連レジスタ(REG2E0)

ビット	記号	内容	詳細
[0]	PIP	入力位相反転	0:rise edge,1:fall edge
[1]	PPC	PDコントロール	0:active,1:power down
[2]	PAS	セットアップセレクト	0:normal,1:delay
[5:3]	PPS	PLLフェーズセレクト(CLK_P)	0:0°,1:60°,2:90°,3:180°,4:240°,5:300°
[6]	CS1	スルセレクト(CLK_P)	0:PLL,1:スルー
[9:7]	POPS	フェーズセレクト(PCLK0)	0:0°,1:60°,2:90°,3:180°,4:240°,5:300°
[10]	CS2	スルセレクト(PCLK0)	0:PLL,1:スルー
[14:11]	Reserved	Reserved	
[15]	CPR	スルフェーズセレクト(CLK_P)	0:rise edge,1:fall edge

PIP 入力CLKの同期エッジを選択します。ジッタの少ないエッジを選択願います。

PPC PLLのパワーダウン制御を行います。1'b1でクロックは停止します。1'b1設定後、100us以上のロッキングタイム経過後クロックが安定します。

PAS 通常デフォルト以外の設定は禁止です。

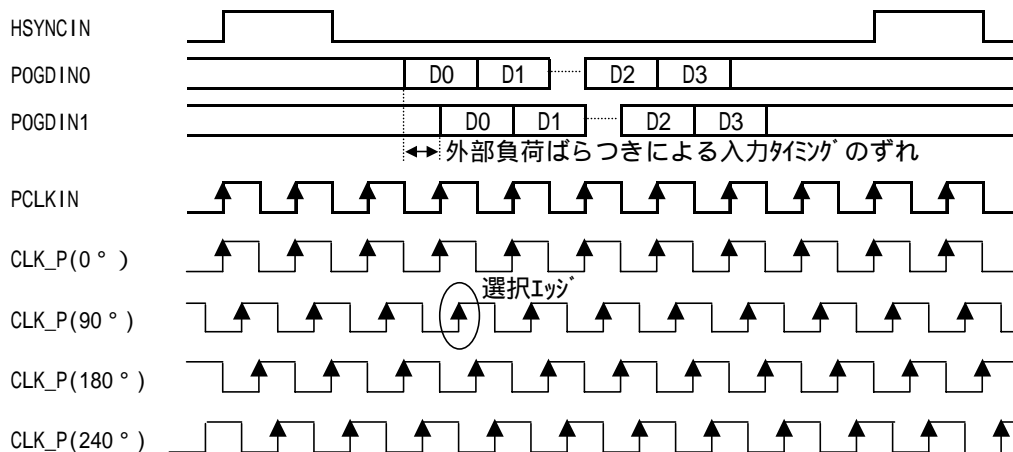
PPS 入力インターフェースクロック(CLK_P)の位相を選択します。詳細は左記のファンクション図を参照願います。

CS1 通常デフォルト以外の設定は禁止です。

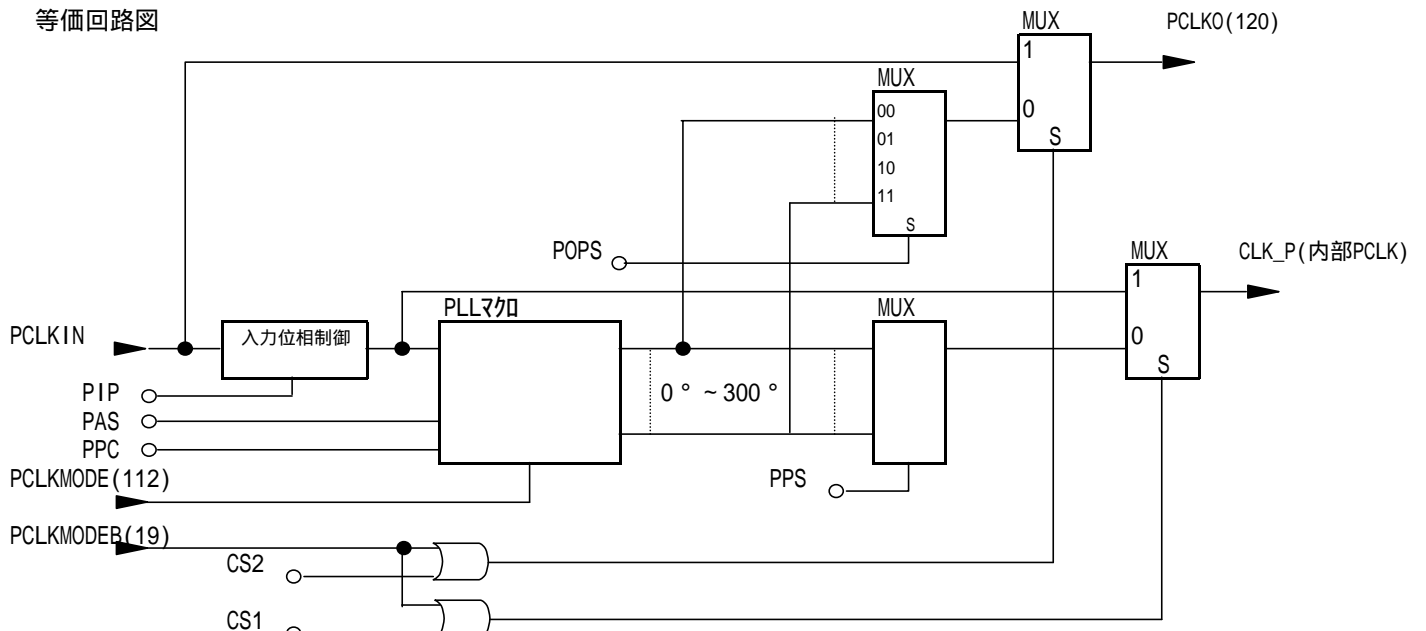
POPS マスターモード時の外部同期用クロック(PCLK0)出力の位相を選択します。

CS2 通常デフォルト以外の設定は禁止です。

ファンクション図



等価回路図



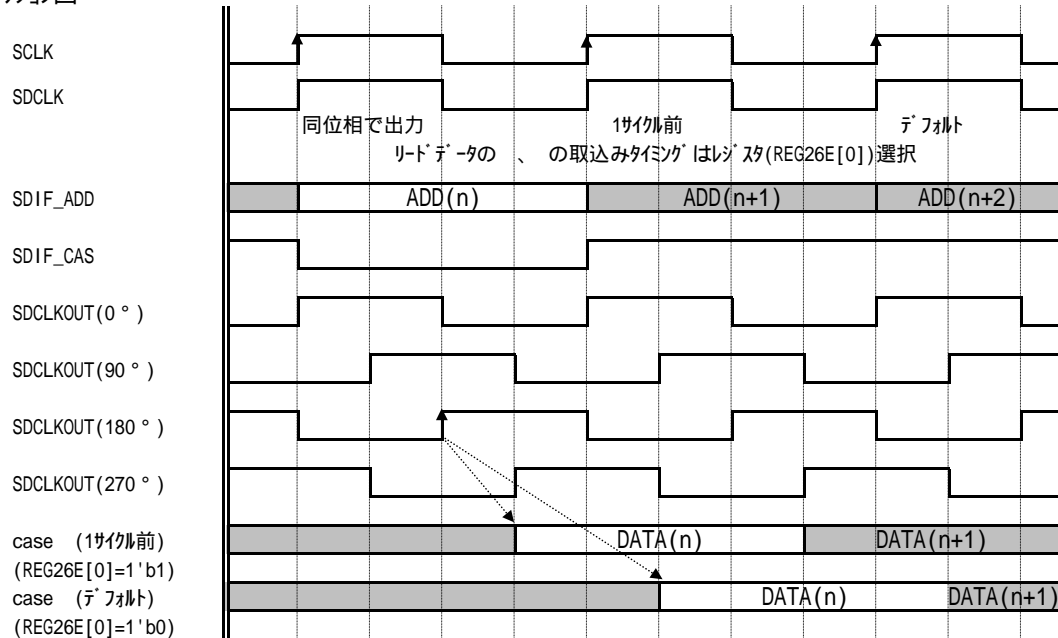
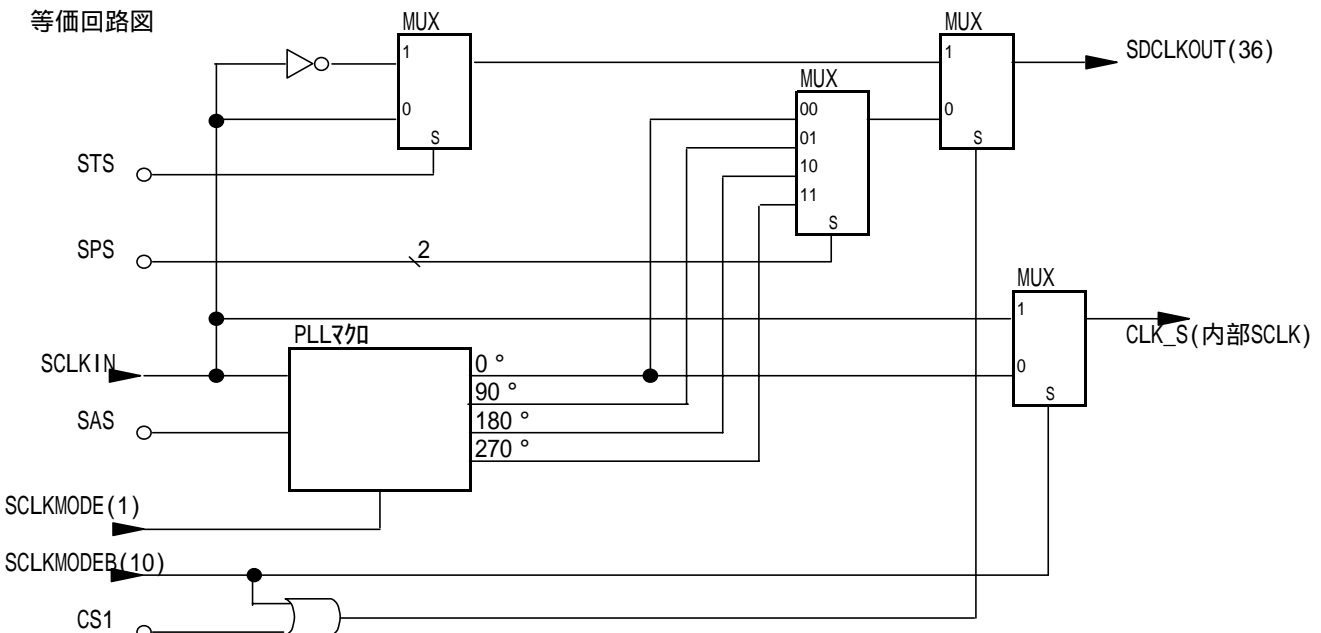
SCLK用PLL制御仕様

ZEN3001Fでは様々な外部システムに容易に接続できるためSDCLKOUT(SDRAM用クロック出力)と規格対象入出力とのタイミングをLSI側で調整する機能を内蔵しています。本機能によりLSIとSDRAMとのタイミングを調整を外部で行う必要は無く使用状態に合わせて安定したインターフェースを実現できます。

関連レジスタ(REG2E2)

ビット	記号	内容	詳細
[1:0]	Reserved	Reserved	
[2]	SAS	セットアップセレクト	0:normal, 1:delay
[3]	SOF	出力イネーブル	0:enable, 1:disable
[5:4]	SPS	PLLフェーズセレクト	00:0°, 01:90°, 10:180°, 11:270°
[6]	CSS	スルセレクト(SDCLKOUT)	0:PLL, 1:スル
[10:7]	Reserved	Reserved	
[11]	STS	スルフェーズセレクト(SDCLKOUT)	0:normal, 1:reverse
[15:12]	NULL	Not assign	

- SAS 通常デフォルト以外の設定は禁止です。
- SOF SDRAMインターフェースクロック(SDCLKOUT)のイネーブルを選択します。
- SPS SDRAMインターフェースクロック(SDCLKOUT)の位相を選択します。
詳細は左記のファンクション図を参照願います。
- CSS 通常デフォルト以外の設定は禁止です。
- STS 通常デフォルト以外の設定は禁止です。

ファンクション図

等価回路図


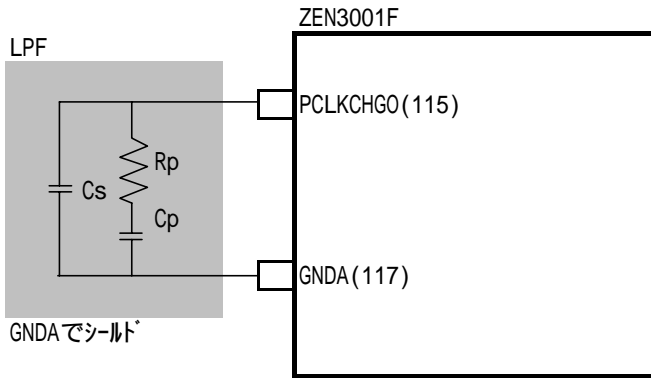
PLL使用時の留意点

ZEN3001F搭載PLLマクロは外付けでLow Pass Filter(LPF)の接続が必要です。以下に参考回路例及び推奨値例を示します。PLLの特性はお客様のシステム状況(ボードパターン、干渉状態等)によって変化します。本推奨値は動作を保証するものではありません。参考値としてご参照下さい。

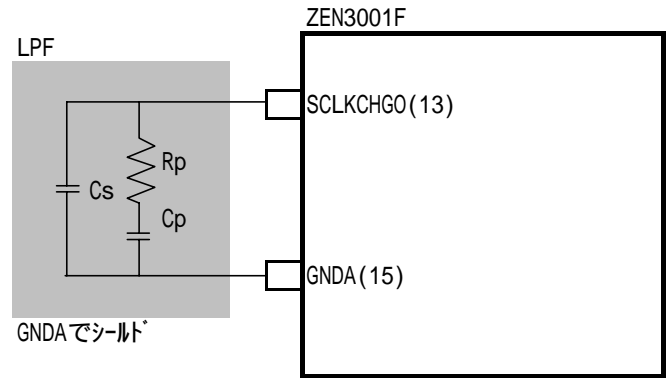
最終的な部品はお客様のシステム及びご使用環境にて十分な評価を実施頂き決定して下さい。

	Rp(K)	Cp(pF)	Cs(pF)
PCLK制御用PLL	1.2	2200	0~5
SCLK制御用PLL	1.5	2200	0~5

ZEN3001F内蔵PLLマクロ外付けパラメータ推奨値



PCLK制御用PLL外付け回路例



SCLK制御用PLL外付け回路例

*: 上述端子及び関連LPFの間はできるだけ短く配線し、且つGNDA信号でシールドする事を推奨致します。

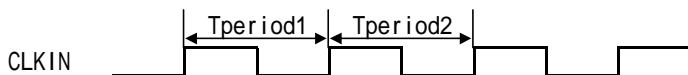
PLLマクロAC特性 (VDD=2.3~2.7, Ta=0~70)

記号	項目	MIN	TYP	MAX	単位
CLKINJ	CLKINジッタ	-150		150	ps
CJ	サイクルジッタ	-1000		1000	ps
PJ	ピリオドジッタ	-500		500	ps
TLOCK	ロックアップタイム			10	ms

CLKINジッタ(CLKINJ)

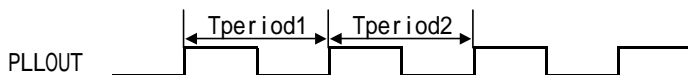
定義

入力クロックの連続する2周期のずれ量の最大値

 $CLKINJ = (T_{period1} - T_{period2})$ の最大値

サイクルジッタ(CJ)

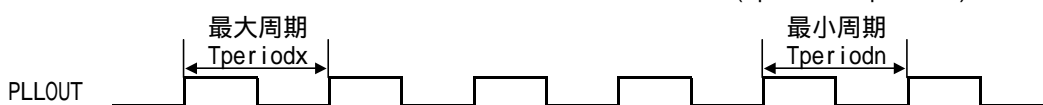
定義

PLL出力クロックの連続する2周期のずれ量の最大値

 $CJ = (T_{period1} - T_{period2})$ の最大値

ピリオドジッタ(PJ)

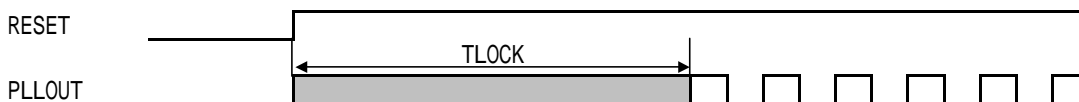
定義

PLL出力クロックの最大周期と最小周期の1/2

 $PJ = (T_{periodx} - T_{periodn}) / 2$

ロックアップタイム(TLOCK)

定義

PLLマクロのリセット解除後、出力クロックの周波数が安定状態になるまでの時間



(*)

RESET: RESETBIN, REG2E0[1]=1'b1 (PCLK制御用PLL)
TLOCK期間中の発振周波数は不安定な出力となります。

ZEN3001F レジスタマップ

REG20X系	Graphic Data I/F
REG21X系	Graphic Data Measure Control
REG22X系	Graphic Data Measure Status(Y)
REG23X系	Graphic Data Measure Status(UV)
REG24X系	Graphic Data Calculate Control
REG25X系	Timing Buffer Control
REG26X系	External Frame Buffer Data Control
REG27X系	JPEG Macro Control
REG28X系	Display Data I/F Control
REG29X系	Micon I/F Control
REG2AX系	Interrupt Control
REG2BX系	Multi-Window Calculate Control1
REG2CX系	Multi-Window Calculate Control2
REG2DX系	Y Calibration Coefficient
REG2EX系	Clock Management
REG0XX系	JPEG Macro Control

[Graphic Data I/F]

REG200 (R/W)	Graphic Data Input Mode											<ADDRESS:200H>				
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default				
	GOY GOU		IFTR		SM1		SM0		IPM		DSF		ISP		0100 0000 0010 0110	
	[15]	Graphic data format(Offsetbinary (Y)) 入力データY成分のデータ範囲を指定します。 0:128ビット処理しません 1:128ビット処理します。														
	[14]	Graphic data format(Offsetbinary (UV)) 入力データUV成分のデータ範囲を指定します。 0:128ビット処理しません 1:128ビット処理します。														
	[13:9]	Input Frame Thinning Rate 入力フレームの間引き間隔を指定します。(各種演算処理はこのレートで処理します) インターレース時はODD/EVENの2フレームをセットで間引き処理します														
	[8:7]	Scramble Mode1 4-2-2YCbCr入力データのストリート入力順序を指定します。 2'h0:Cb0-Y0-Cr0-Y1 2'h1:Y0-Cb0-Y1-Cr0 2'h2:Cr0-Y0-Cb0-Y1 2'h3:Y0-Cr0-Y1-Cb0														
	[6]	Scramble Mode0 入力データのMSB->LSBの順序を入替えます。 0:外部GDIN[7:0]->内部GDIN[7:0] 1:外部GDIN[7:0]->内部GDIN[0:7]														
	[5]	Interlace/Progressive Mode 入力信号の走査方式を選択します。 0:インターレース方式 1:プログレッシブ方式														
	[4:3]	Data Synchronous Format 入力データ同期フォーマットを指定します。 2'h0:DE信号同期フォーマット 2'h1:SYNC同期(CCIIR601仕様)フォーマット 2'h2:Reserved 2'h3:Reserved														
[2:0]	Input Sync Polarity 入力同期信号の極性を指定します。 各ビットの割り振りは次の通り。[2]:VSYNCIO(IN),[1]:HSYNCIO(IN),[0]:SYNCIO(IN)。 0:Positive 1:negative															

REG201 (R/W)	Input Vertical Total Time											<ADDRESS:201H>		
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default		
	IJR ASE IJM		Reserved		V Total Time(Line)							1000 0010 0000 1101		
	[15]	Interlace Judge Reverse インターレースモード時(REG200[5]=1'h0)の判定内容(REG201[13])を反転します。 0:反転します 1:反転しません												
	[14]	Auto Sync External enable 外部自走SYNC(PCLK制御)のイネーブルを選択します。 0:イネーブル 1:ディセーブル												
	[13]	Interlace Judge Mode インターレース入力信号の(E/O)判定モードを指定します。 0:±1/4H判定を行います(標準E/O判定内容は下記の通り) EVEN: Vsync入力タイミングが±1/4H以内に存在しません ODD: Vsync入力タイミングが±1/4H以内に存在します 1:ライン数判定を行います(標準E/O判定内容は下記の通り) EVEN: 偶数ライン入力フレーム ODD: 奇数ライン入力フレーム												
[12:10]	Reserved 予約ビットです。3'H0に設定願います。													
[9:0]	Vertical Total Time 入力側垂直同期信号周期をライン数(HSYNC数)で設定します。 (インターレース入力設定(REG200[5]=1'b0)は(O/Eフィルタライン数-1)/2を設定します。)													

REG202 (R/W)	Input Vertical Sync Time											<ADDRESS:202H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default	
	NULL					V SYNC Time(Line)						nnnn nnnn nn00 0100	
[15:6]	NULL ビットはありません。10'H000に設定願います。(読み出しデータは保証されません)												
[5:0]	Vertical Sync Time 入力側垂直同期信号幅をライン数で設定します。												

REG203 (R/W)	Input Vertical Delay Time 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">V Delay Time(Line)</td> </tr> </table>	NULL	V Delay Time(Line)	<ADDRESS:203H> default nnnn nnnn 0010 1000
	NULL	V Delay Time(Line)		
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)		
[7:0]	Vertical Delay Time 入力側垂直同期信号の開始から有効データ開始までのライン数を設定します			
REG204 (R/W)	Input Vertical Address Time 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">V Address Time(Line)</td> </tr> </table>	NULL	V Address Time(Line)	<ADDRESS:204H> default nnnn nnn1 1110 0000
	NULL	V Address Time(Line)		
	[15:9]	NULL レジスタはありません。7'H00に設定願います。(読み出しデータは保証されません)		
[8:0]	Vertical Address Time 入力側垂直方向有効データ期間のライン数を設定します。			
REG205 (R/W)	Input Vsync Detect Threshold 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">V Detect Threshold(dot)</td> </tr> </table>	NULL	V Detect Threshold(dot)	<ADDRESS:205H> default nnnn nnnn 0011 0000
	NULL	V Detect Threshold(dot)		
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)		
[7:0]	Vsync Detect Threshold 入力側垂直同期信号として認識する信号幅をドット数で設定します			
REG207 (R/W)	Input Horizontal Total Time 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">H Total Time(dot)</td> </tr> </table>	NULL	H Total Time(dot)	<ADDRESS:207H> default nnnn nn11 0101 1010
	NULL	H Total Time(dot)		
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Horizontal Total Time 入力側水平同期信号周期をドット数で設定します			
REG208 (R/W)	Input Horizontal Sync Time 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">H SYNC Time(dot)</td> </tr> </table>	NULL	H SYNC Time(dot)	<ADDRESS:208H> default nnnn nnnn 0100 0000
	NULL	H SYNC Time(dot)		
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)		
[7:0]	Horizontal Sync Time 入力側水平同期信号幅をライン数で設定します。			
REG209 (R/W)	Input Horizontal Delay Time 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">H Delay Time(dot)</td> </tr> </table>	NULL	H Delay Time(dot)	<ADDRESS:209H> default nnnn nnn1 0011 1010
	NULL	H Delay Time(dot)		
	[15:9]	NULL レジスタはありません。7'H00に設定願います。(読み出しデータは保証されません)		
[8:0]	Horizontal Sync Time 入力側水平同期信号の開始から有効データ開始までのドット数を設定します。			
REG20A (R/W)	DE Delay/ Input Horizontal Address Time 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">DE Delay Time</td> <td style="width:50%; text-align:center;">H Address Time(dot)</td> </tr> </table>	DE Delay Time	H Address Time(dot)	<ADDRESS:20AH> default 0000 0010 1000 0000
	DE Delay Time	H Address Time(dot)		
	[15:10]	DE Delay Time DEE-ド (REG200[4:3]=2'h0)時の水平方向取込みデータ長(ドット数)を指定します。		
[9:0]	Horizontal Address Time 入力側水平方向有効データ期間のドット数を設定します。			
REG20B (R/W)	Input Hsync Detect Threshold 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">H Detect Th(dot)</td> </tr> </table>	NULL	H Detect Th(dot)	<ADDRESS:20BH> default nnnn nnnn nn00 1111
	NULL	H Detect Th(dot)		
	[15:6]	Reserved 予約レジスタです。10'H000に設定願います。		
[5:0]	Hsync Detect Threshold 入力側水平同期信号として認識する信号幅をドット数で設定します。			

REG20D (R/W)	Vertical DE Border										<ADDRESS:20DH>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	Vertical DE Border(EVEN)					Vertical DE Border(ODD)					0000 0000 0000 0000						
[15:8]	Vertical DE Border(EVEN) DE同期(REG200[4:3]=2'b0)選択時EVENフィールド'行方向DEホ'ダ'(無効)ライン数を指定します。																
[7:0]	Vertical DE Border DE同期(REG200[4:3]=2'b0)選択時ODDフィールド'行方向DEホ'ダ'(無効)ライン数を指定します。 (ブ'ク'レツフ'信号入力時、[15:8]は無効で本レ'スタが有効です。																

REG20E (R/W)	Port Change Interval										<ADDRESS:20EH>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	Reserved		WfV		Reserved		PCI				1111 0000 0000 0000						
	[15:12]	Reserved 予約レ'スタです。4'Hfに設定願います。															
	[11:8]	Wait Frame Value ホ'ダ変更処理後の無効フレーム数を指定します。															
[7:5]	Reserved 予約レ'スタです。3'H0に設定願います。																
[4:0]	Port Change Interval 外部ホ'ト自動制御時(REG20F[5]=1'h1)の切り換え間隔を指定します。 5'h00の設定ではホ'ト変更は行いません。																

REG20F (R/W)	Graphic Interface Port Control										<ADDRESS:20FH>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	Enable Port		rs	EPS	PSP	MSS	MAS	rs	Data Polarity				1110 0000 1000 0000				
	[15:12]	Enable Port 外部使用ホ'トのイ'ブルを選択します。 [15:12]の4ビットはそれぞれホ'ト3,2,1,0に対応しています。 0:イ'ブル 1:デ'イ'ブル															
	[11:10]	Reserved 予約レ'スタです。2'H0に設定願います。															
	[9:8]	External Port Select 外部ホ'トマルチ制御時(REG20F[5]=1'h0)の対象ホ'トを指定します。 2'h0:ホ'ト0を選択 2'h1:ホ'ト1を選択 2'h2:ホ'ト2を選択 2'h3:ホ'ト3を選択															
	[7]	PORTC Signal Polarity ホ'ト制御信号の極性を指定します。 0:Positive 1:negative															
	[6]	Master / Slave interface mode Select 入力インターフェイスのマスター及びスレーブインターフェイスモードを指定します。 0:スレーブモードを指定します。 1:マスターモードを指定します。															
	[5]	Manual / Auto mode Select 外部入力ホ'ト制御方式を指定します。 0:マルチモードを指定します。 1:自動モードを指定します。															
	[4]	Reserved 予約レ'スタです。1'H0に設定願います。															
[3:0]	Data Polarity データの極性を指定します。 各ビットの割り振りは次の通り。[3]:Y17'-タ,[2]:V07'-タ,[1]:Y07'-タ,[0]:U07'-タ。 0:positive 1:negative(reverse)																

[Graphic Data Measure Control]

REG210 (R/W)	Measure Control											<ADDRESS:210H>						
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default						
	BMS		MSC		Reserved			MPS		Reserved		WME	SCE	SCS	CME	SME	1000 0000 0001 1011	
	[15]	Basis Measure Store 基準データとして最新のメジャー結果保存のイネブルを指定します。 0:enable(Auto Clear) 1:disable																
	[14]	Measure Status Content メジャー結果レジスタ(REG22X,23X系)の表示内容を選択します。 0:最新メジャー結果 1:基準メジャー結果																
	[13:11]	Reserved 予約レジスタです。3'H2に設定願います。																
	[10:9]	Measure Port Select メジャー対象のポートを選択します。 2'h0:ポート0, 2'h1:ポート1, 2'h2:ポート2, 2'h3:ポート3																
	[8:5]	Reserved 予約レジスタです。4'H0に設定願います。																
	[4]	Window Measure Enable 領域指定メジャー機能のイネブルを選択します。 0:enable 1:disable																
	[3]	Specify Color measure Enable 指定色検出機能のイネブルを選択します。 0:enable 1:disable																
[2]	Specify Color data Select 指定色検出機能の対象データフォーマット(REG21A,REG21B,REG21C)を選択します。 0:RGBデータ (R:G:B=REG21A:REG21B:REC21C) 1:YCbCrデータ (Y:Cr:Cb=REG21A:REG21B:REC21C)																	
[1]	Constant Measure Enable 常時メジャー機能のイネブルを選択します。 SME(REG210[0])との同時イネブルはできません。 0:enable 1:disable																	
[0]	Single Measure Enable 命令発行後次のフレームデータのみのメジャー機能イネブルを選択します。 CME(REG210[1])との同時イネブルはできません。 0:enable(Auto Clear) 1:disable																	

REG211 (R/W)	Measure Clear											<ADDRESS:211H>						
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default						
	NULL											AMC	SMC	YMC	UMC	VMC	nnnn nnnn nnn1 1111	
	[15:5]	NULL レジスタはありません。11'H000に設定願います。(読み出しデータは保証されません)																
	[4]	All Measure result Clear 全てのメジャー結果を初期化します。 0:enable(Auto Clear) 1:disable																
	[3]	Specify color Measure result Clear 指定色関連メジャー結果を初期化します。 0:enable(Auto Clear) 1:disable																
	[2]	Y Measure result Clear Y成分関連メジャー結果を初期化します。 0:enable(Auto Clear) 1:disable																
	[1]	U Measure result Clear U成分関連メジャー結果を初期化します。 0:enable(Auto Clear) 1:disable																
	[0]	V Measure result Clear V成分関連メジャー結果を初期化します。 0:enable(Auto Clear) 1:disable																

REG212 (R/W)	Measure Window Start Point(X) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">Window Start(X)</td> </tr> </table>	NULL	Window Start(X)	<ADDRESS:212H> default nnnn nn00 0000 0000
	NULL	Window Start(X)		
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Window Start(X) 領域指定マイナー機能のイェブル時(REG210[4]=1'h0)の始点(X座標)を指定します。			
REG213 (R/W)	Measure Window Start Point(Y) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">Window Start(Y)</td> </tr> </table>	NULL	Window Start(Y)	<ADDRESS:213H> default nnnn nn00 0000 0000
	NULL	Window Start(Y)		
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Window Start(Y) 領域指定マイナー機能のイェブル時(REG210[4]=1'h0)の始点(Y座標)を指定します。			
REG214 (R/W)	Measure Window End Point(X) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">Window End(X)</td> </tr> </table>	NULL	Window End(X)	<ADDRESS:214H> default nnnn nn11 0101 1010
	NULL	Window End(X)		
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Window End(X) 領域指定マイナー機能のイェブル時(REG210[4]=1'h0)の終点(X座標)を指定します。			
REG215 (R/W)	Measure Window End Point(Y) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">Window End(Y)</td> </tr> </table>	NULL	Window End(Y)	<ADDRESS:215H> default nnnn nn01 1110 0000
	NULL	Window End(Y)		
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Window End(Y) 領域指定マイナー機能のイェブル時(REG210[4]=1'h0)の終点(Y座標)を指定します。			
REG217 (R/W)	Y MAX/MIN Value Threshold 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">Y MAX Value Threshold</td> <td style="width:50%; text-align:center;">Y MIN Value Threshold</td> </tr> </table>	Y MAX Value Threshold	Y MIN Value Threshold	<ADDRESS:217H> default 0000 1000 0000 1000
	Y MAX Value Threshold	Y MIN Value Threshold		
	[15:8]	Y MAX Value Threshold CME,SMEイェブル(REG210[1:0]=2'h1 or 2'h2)時、割り込み対象レベルを指定します。 割り込み条件: $YMAX(基準値) - YMAXVT > YMAX(測定値)$ $YMAX(基準値) + YMAXVT < YMAX(測定値)$		
[7:0]	Y MIN Value Threshold CME,SMEイェブル(REG210[1:0]=2'h1 or 2'h2)時、割り込み対象レベルを指定します。 割り込み条件: $YMIN(基準値) - YMINVT > YMIN(測定値)$ $YMIN(基準値) + YMINVT < YMIN(測定値)$			
REG218 (R/W)	Y DeltaMAX Threshold 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align:center;">NULL</td> <td style="width:50%; text-align:center;">Y DeltaMAX Threshold</td> </tr> </table>	NULL	Y DeltaMAX Threshold	<ADDRESS:218H> default nnnn nnnn 0000 1000
	NULL	Y DeltaMAX Threshold		
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)		
[7:0]	Y DeltaMAX Threshold CME,SMEイェブル(REG210[1:0]=2'h1 or 2'h2)時、割り込み対象レベルを指定します。 割り込み条件: $YDMAX(基準値) - YDMAXVT > YDMAX(測定値)$ $YDMAX(基準値) + YDMAXVT < YDMAX(測定値)$			

REG219 (R/W)	Y Point Threshold 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:219H> default nnnn nn00 0000 1000		
	<table border="1"> <tr> <td>NULL</td> <td>Y Point Threshold</td> </tr> </table>	NULL	Y Point Threshold	
	NULL	Y Point Threshold		
[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)			
[9:0]	Y Point Threshold CME, SME倍率(REG210[1:0]=2'h1 or 2'h2)時、割り込み対象レベルを指定します。 割り込み条件: YPoint(基準値)-YPT > YPoint(測定値) YPoint(基準値)+YPT < YPoint(測定値) (座標判定において本レベルはMIN/MAX/DeltaMAXで共通です)			

REG21A (R/W)	Color Threshold(RYmax/RYmin) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:21AH> default 1111 1111 0000 0000		
	<table border="1"> <tr> <td>Color Threshold(RYmax)</td> <td>Color Threshold(RYmin)</td> </tr> </table>	Color Threshold(RYmax)	Color Threshold(RYmin)	
	Color Threshold(RYmax)	Color Threshold(RYmin)		
[15:8]	Color Threshold(Rmax, Ymax) 指定色のR(Y)成分最大値を指定します。			
[7:0]	Color Threshold(Rmin, Ymin) 指定色のR(Y)成分最小値を指定します。			

REG21B (R/W)	Color Threshold(GCbmax/GCbmin) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:21BH> default 1111 1111 0000 0000		
	<table border="1"> <tr> <td>Color Threshold(GCbmax)</td> <td>Color Threshold(GCbmin)</td> </tr> </table>	Color Threshold(GCbmax)	Color Threshold(GCbmin)	
	Color Threshold(GCbmax)	Color Threshold(GCbmin)		
[15:8]	Color Threshold(GCbmax) 指定色のG(Cb)成分最大値を指定します。			
[7:0]	Color Threshold(GCbmin) 指定色のG(Cb)成分最小値を指定します。			

REG21C (R/W)	Color Threshold(BCrmax/BCrmin) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:21CH> default 1111 1111 0000 0000		
	<table border="1"> <tr> <td>Color Threshold(BCrmax)</td> <td>Color Threshold(BCrmin)</td> </tr> </table>	Color Threshold(BCrmax)	Color Threshold(BCrmin)	
	Color Threshold(BCrmax)	Color Threshold(BCrmin)		
[15:8]	Color Threshold(BCrmax) 指定色のB(Cr)成分最大値を指定します。			
[7:0]	Color Threshold(BCrmin) 指定色のB(Cr)成分最小値を指定します。			
REG21A, 21B, 21Cに対し下記条件が全て成立すると割り込み対象ドット(検出ドット)として扱います。 REG21A関係 (CT(Rmin) < R(入力) < CT(Rmax)) REG21B関係 (CT(Gmin) < G(入力) < CT(Gmax)) REG21C関係 (CT(Bmin) < B(入力) < CT(Bmax))				
最終ドット数はREG238, REG239に示します (REG210[2]=1'h1時はYCbCrです)				

REG21D (R/W)	Color Detect Threshold(Lower) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:21DH> default 0000 0001 0000 0000
	<table border="1"> <tr> <td>Color Detect Threshold(L)</td> </tr> </table>	Color Detect Threshold(L)
Color Detect Threshold(L)		
[15:0]	Color Detect Threshold(Lower) 割り込み対象スレッショルド(下位)を指定します。	

REG21E (R/W)	Color Detect Threshold(Upper) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:21EH> default nnnn nnnn 0000 0000		
	<table border="1"> <tr> <td>NULL</td> <td>Color Detect Threshold(U)</td> </tr> </table>	NULL	Color Detect Threshold(U)	
	NULL	Color Detect Threshold(U)		
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)			
[7:0]	Color Detect Threshold(Upper) 割り込み対象スレッショルド(上位)を指定します。 REG21C部で説明した検出ドット数が本設定値より大きい場合割り込み対象になります			

[Graphic Data Measure Status(Y)]

REG220 (R)	Y MAX/MIN Value	<ADDRESS:220H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<input type="text" value="Y MAX Value"/> <input type="text" value="Y MIN Value"/>	0000 0000 1111 1111	
[15:8]	Y MAX Value Y成分の最大値を示します。		
[7:0]	Y MIN Value Y成分の最小値を示します。		

REG221 (R)	Y MAX Point (X)	<ADDRESS:221H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<input type="text" value="NULL"/> <input type="text" value="Y MAX Point (X)"/>	nnnn nn00 0000 0000	
[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Y MAX Point (X) Y成分の最大値検出時のX座標を示します。		

REG222 (R)	Y MAX Point (Y)	<ADDRESS:222H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<input type="text" value="NULL"/> <input type="text" value="Y MAX Point (Y)"/>	nnnn nn00 0000 0000	
[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Y MAX Point (Y) Y成分の最大値検出時のY座標を示します。		

REG223 (R)	Y MIN Point (X)	<ADDRESS:223H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<input type="text" value="NULL"/> <input type="text" value="Y MIN Point (X)"/>	nnnn nn00 0000 0000	
[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Y MIN Point (X) Y成分の最小値検出時のX座標を示します。		

REG224 (R)	Y MIN Point (Y)	<ADDRESS:224H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<input type="text" value="NULL"/> <input type="text" value="Y MIN Point (Y)"/>	nnnn nn00 0000 0000	
[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Y MIN Point (Y) Y成分の最小値検出時のY座標を示します。		

REG225 (R)	Y DeltaMAX Value	<ADDRESS:225H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<input type="text" value="NULL"/> <input type="text" value="Y DeltaMAX Value"/>	nnnn nnnn 0000 0000	
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)		
[7:0]	Y DeltaMAX Value Y成分の最大差分値を示します。		

REG226 (R)	Y Total Value(Lower)	<ADDRESS:226H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<input type="text" value="Y Total Value(Lower)"/>	0000 0000 0000 0000	
[15:0]	Y Total Value(Lower) Y成分のトータル加算値(下位)を示します。		

REG227 (R)	Y Total Value(Upper)	<ADDRESS:227H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<input type="text" value="NULL"/> <input type="text" value="Y Total Value(Upper)"/>	nnnn n000 0000 0000	
[15:11]	NULL レジスタはありません。5'H00に設定願います。(読み出しデータは保証されません)		
[10:0]	Y Total Value(Upper) Y成分のトータル加算値(上位)を示します。		

REG228 (R)	Y DeltaMAX Point (X) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:50%;">NULL</td> <td style="width:50%;">Y DeltaMAX Point (X)</td> </tr> </table>	NULL	Y DeltaMAX Point (X)	<ADDRESS:228H> default nnnn nn00 0000 0000
	NULL	Y DeltaMAX Point (X)		
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Y DeltaMAX Point (X) Y成分の最大差分値検出時のX座標を示します。			
REG229 (R)	Y DeltaMAX Point (Y) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:50%;">NULL</td> <td style="width:50%;">Y DeltaMAX Point (Y)</td> </tr> </table>	NULL	Y DeltaMAX Point (Y)	<ADDRESS:229H> default nnnn nn00 0000 0000
	NULL	Y DeltaMAX Point (Y)		
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)		
[9:0]	Y DeltaMAX Point (Y) Y成分の最大差分値検出時のY座標を示します。			
REG22A (R)	Y Histogram Range(31-0) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:50%;">Y Histogram Range(31-16)</td> <td style="width:50%;">Y Histogram Range(15-0)</td> </tr> </table>	Y Histogram Range(31-16)	Y Histogram Range(15-0)	<ADDRESS:22AH> default 0000 0000 0000 0000
	Y Histogram Range(31-16)	Y Histogram Range(15-0)		
	[15:8]	Y Histogram Range(31-16) Y成分256譜調分布ヒストグラム情報(レンジ(31-16))を示します。(ドット数=本レジスタ値×16(端数切捨て))		
[7:0]	Y Histogram Range(15-0) Y成分256譜調分布ヒストグラム情報(レンジ(15-0))を示します。(ドット数=本レジスタ値×16(端数切捨て))			
REG22B (R)	Y Histogram Range(63-32) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:50%;">Y Histogram Range(63-48)</td> <td style="width:50%;">Y Histogram Range(47-32)</td> </tr> </table>	Y Histogram Range(63-48)	Y Histogram Range(47-32)	<ADDRESS:22BH> default 0000 0000 0000 0000
	Y Histogram Range(63-48)	Y Histogram Range(47-32)		
	[15:8]	Y Histogram Range(63-48) Y成分256譜調分布ヒストグラム情報(レンジ(63-48))を示します。(ドット数=本レジスタ値×16(端数切捨て))		
[7:0]	Y Histogram Range(47-32) Y成分256譜調分布ヒストグラム情報(レンジ(47-32))を示します。(ドット数=本レジスタ値×16(端数切捨て))			
REG22C (R)	Y Histogram Range(95-64) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:50%;">Y Histogram Range(95-80)</td> <td style="width:50%;">Y Histogram Range(79-64)</td> </tr> </table>	Y Histogram Range(95-80)	Y Histogram Range(79-64)	<ADDRESS:22CH> default 0000 0000 0000 0000
	Y Histogram Range(95-80)	Y Histogram Range(79-64)		
	[15:8]	Y Histogram Range(95-80) Y成分256譜調分布ヒストグラム情報(レンジ(95-80))を示します。(ドット数=本レジスタ値×16(端数切捨て))		
[7:0]	Y Histogram Range(79-64) Y成分256譜調分布ヒストグラム情報(レンジ(79-64))を示します。(ドット数=本レジスタ値×16(端数切捨て))			
REG22D (R)	Y Histogram Range(127-96) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:50%;">Y Histogram Range(127-112)</td> <td style="width:50%;">Y Histogram Range(111-96)</td> </tr> </table>	Y Histogram Range(127-112)	Y Histogram Range(111-96)	<ADDRESS:22DH> default 0000 0000 0000 0000
	Y Histogram Range(127-112)	Y Histogram Range(111-96)		
	[15:8]	Y Histogram Range(127-112) Y成分256譜調分布ヒストグラム情報(レンジ(127-112))を示します。(ドット数=本レジスタ値×16(端数切捨て))		
[7:0]	Y Histogram Range(111-96) Y成分256譜調分布ヒストグラム情報(レンジ(111-96))を示します。(ドット数=本レジスタ値×16(端数切捨て))			

[Graphic Data Measure Status(UV)]

REG230 (R)	U MAX/MIN Value	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:230H> default 0000 0000 1111 1111
		U MAX Value U MIN Value	
	[15:8]	U MAX Value U成分の最大値を示します。	
	[7:0]	U MIN Value U成分の最小値を示します。	
REG231 (R)	U DeltaMAX Value	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:231H> default nnnn nnnn 0000 0000
		NULL U DeltaMAX Value	
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)	
	[7:0]	U DeltaMAX Value U成分の最大差分値を示します。	
REG232 (R)	U Total Value(Lower)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:232H> default 0000 0000 0000 0000
		U Total Value(Lower)	
	[15:0]	U Total Value(Lower) U成分のトータル加算値(下位)を示します。	
REG233 (R)	U Total Value(Upper)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:233H> default nnnn nn00 0000 0000
		NULL U Total Value(Upper)	
	[15:10]	NULL レジスタはありません。5'H00に設定願います。(読み出しデータは保証されません)	
	[9:0]	U Total Value(Upper) U成分のトータル加算値(上位)を示します。	
REG234 (R)	V MAX/MIN Value	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:234H> default 0000 0000 1111 1111
		V MAX Value V MIN Value	
	[15:8]	V MAX Value V成分の最大値を示します。	
	[7:0]	V MIN Value V成分の最小値を示します。	
REG235 (R)	V DeltaMAX Value	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:235H> default nnnn nnnn 0000 0000
		NULL V DeltaMAX Value	
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)	
	[7:0]	V DeltaMAX Value V成分の最大差分値を示します。	
REG236 (R)	V Total Value(Lower)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:236H> default 0000 0000 0000 0000
		V Total Value(Lower)	
	[15:0]	V Total Value(Lower) V成分のトータル加算値(下位)を示します。	
REG237 (R)	V Total Value(Upper)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:237H> default nnnn nn00 0000 0000
		NULL V Total Value(Upper)	
	[15:10]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)	
	[9:0]	V Total Value(Upper) V成分のトータル加算値(上位)を示します。	

REG238 (R)	Color Detect Number(Lower) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 Color Detect Number(Lower)	<ADDRESS:238H> default 0000 0000 0000 0000
	[15:0] Color Detect Number(Lower) 指定色検出機能依-ﾌﾞﾙ(REG210[3]=1'h0)時の検出下位ドット数を示します。	
REG239 (R)	Color Detect Number(Upper) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 NULL Color Detect Number(Upper)	<ADDRESS:239H> default nnnn nnnn 0000 0000
	[15:8] NULL レジスタはありません。8'h00に設定願います。(読み出しデータは保証されません)	
	[7:0] Color Detect Number(Upper) 指定色検出機能依-ﾌﾞﾙ(REG210[3]=1'h0)時の検出上位ドット数を示します。	
REG23A (R)	Y Histogram Range(159-128) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 Y Histogram Range(159-144) Y Histogram Range(143-128)	<ADDRESS:23AH> default 0000 0000 0000 0000
	[15:8] Y Histogram Range(159-144) Y成分256諧調分布ヒストグラム情報(レンジ(159-144))を示します。(ドット数=本レジスタ値×16(端数切捨て))	
	[7:0] Y Histogram Range(143-128) Y成分256諧調分布ヒストグラム情報(レンジ(143-128))を示します。(ドット数=本レジスタ値×16(端数切捨て))	
REG23B (R)	Y Histogram Range(191-160) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 Y Histogram Range(191-176) Y Histogram Range(175-160)	<ADDRESS:23BH> default 0000 0000 0000 0000
	[15:8] Y Histogram Range(191-176) Y成分256諧調分布ヒストグラム情報(レンジ(191-176))を示します。(ドット数=本レジスタ値×16(端数切捨て))	
	[7:0] Y Histogram Range(175-160) Y成分256諧調分布ヒストグラム情報(レンジ(175-160))を示します。(ドット数=本レジスタ値×16(端数切捨て))	
REG23C (R)	Y Histogram Range(223-192) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 Y Histogram Range(223-208) Y Histogram Range(207-192)	<ADDRESS:23CH> default 0000 0000 0000 0000
	[15:8] Y Histogram Range(223-208) Y成分256諧調分布ヒストグラム情報(レンジ(223-208))を示します。(ドット数=本レジスタ値×16(端数切捨て))	
	[7:0] Y Histogram Range(207-192) Y成分256諧調分布ヒストグラム情報(レンジ(207-192))を示します。(ドット数=本レジスタ値×16(端数切捨て))	
REG23D (R)	Y Histogram Range(255-224) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 Y Histogram Range(255-240) Y Histogram Range(239-224)	<ADDRESS:23DH> default 0000 0000 0000 0000
	[15:8] Y Histogram Range(255-240) Y成分256諧調分布ヒストグラム情報(レンジ(255-240))を示します。(ドット数=本レジスタ値×16(端数切捨て))	
	[7:0] Y Histogram Range(239-224) Y成分256諧調分布ヒストグラム情報(レンジ(239-224))を示します。(ドット数=本レジスタ値×16(端数切捨て))	

[Graphic Data Calculate Control]

REG241 (R/W)	Calcurate thinning mode				<ADDRESS:241H>															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default			
	NULL				CT2		CT1		CTR				nnnn nnnn nnn0 0000							
	[15:5]	NULL レジスタはありません。11'H000に設定願います。(読み出しデータは保証されません)																		
	[4:3]	Calcurate Thinning dot/line select2 (1/4)間引きモード選択時の間引きしないドット/ラインを指定します。 2'h0:0(ドット/ライン)を指定します。 2'h1:1(ドット/ライン)を指定します。 2'h2:2(ドット/ライン)を指定します。 2'h3:3(ドット/ライン)を指定します。																		
[2]	Calcurate Thinning dot/line select1 (1/2)間引きモード選択時の間引きしないドット/ラインを指定します。 0:偶数(ドット/ライン)を指定します。 1:奇数(ドット/ライン)を指定します。																			
[1:0]	Calcurate Thinning Ratio 間引きモードを指定します。 2'h0:1/1(間引き無し) 2'h1:1/2 2'h2:1/4 2'h3:Reserved																			
REG242 (R/W)	Window Mapping Area(X)				<ADDRESS:242H>															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default			
	Mapping Start point(X)				Mapping Length(X)				0000 0000 1010 0000											
[15:8]	Mapping Start point(X) 射像演算対象ウィンドウのX方向開始座標を指定します。(有効画素絶対座標/4を指定)																			
[7:0]	Mapping Length(X) 射像演算のX方向開始座標からの有効範囲を指定します。(有効画素数/4を指定)																			
REG243 (R/W)	Window Mapping Area(Y)				<ADDRESS:243H>															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default			
	Mapping Start point(Y)				Mapping Length(Y)				0000 0000 0111 1000											
[15:8]	Mapping Start point(Y) 射像演算対象ウィンドウのY方向開始座標を指定します。(有効画素絶対座標/4を指定)																			
[7:0]	Mapping Length(X) 射像演算のY方向開始座標からの有効範囲を指定します。(有効画素数/4を指定)																			
REG244 (R/W)	Compare Mode For Each Port				<ADDRESS:244H>															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default			
	CMP3				CMP2				CMP1				CMP0				0000 0000 0000 0000			
	[15:12]	Compare Mode (Port3) 直列自動制御時(REG20F[5]=1'h1)のポート3に対する比較演算モードを指定します。 4'h0~B:基準フレーム比較及びその基準フレーム番号を指定します。 4'hF:前フレーム比較。(C~Eは設定禁止です)																		
	[11:8]	Compare Mode (Port2) 直列自動制御時(REG20F[5]=1'h1)のポート2に対する比較演算モードを指定します。 4'h0~B:基準フレーム比較及びその基準フレーム番号を指定します。 4'hF:前フレーム比較。(C~Eは設定禁止です)																		
[7:4]	Compare Mode (Port1) 直列自動制御時(REG20F[5]=1'h1)のポート1に対する比較演算モードを指定します。 4'h0~B:基準フレーム比較及びその基準フレーム番号を指定します。 4'hF:前フレーム比較。(C~Eは設定禁止です)																			
[3:0]	Compare Mode (Port0) 直列自動制御時(REG20F[5]=1'h1)のポート0に対する比較演算モードを指定します。 4'h0~B:基準フレーム比較及びその基準フレーム番号を指定します。 4'hF:前フレーム比較。(C~Eは設定禁止です)																			

REG246 (R/W)	Calculate Enable											<ADDRESS:246H>									
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default									
	NULL			ACE		BDS		rs		YME		CME		Reserved		YCE		nnnn n101 0110 0001			
	[15:11]	NULL レジスタはありません。5'H00に設定願います。(読み出しデータは保証されません)																			
	[10]	Area Calculate Enable 比較演算結果の面積演算処理のイェブルを指定します 0:enable 1:disable																			
	[9]	Binary Data Select 外部メモリへの2値化データ対象のデータを選択します。 0:比較演算結果 1:指定色抽出演算結果																			
	[8:7]	Reserved 予約レジスタです。2'H2に設定願います。																			
	[6]	Y mapping calculate Enable 比較演算結果の射像演算のイェブルを指定します 0:enable 1:disable																			
	[5]	Compare calculate Enable 比較演算のイェブルを指定します 0:enable 1:disable																			
	[4:1]	Reserved 予約レジスタです。4'H0に設定願います。																			
[0]	Y Calibration Enable 輝度補正演算のイェブルを指定します 0:enable 1:disable																				

REG247 (R/W)	Color Y Threshold(Upper/Lower)											<ADDRESS:247H>					
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default					
	Color Y Threshold(U)					Color Y Threshold(L)						1111 1111 0000 0000					
	[15:8]	Color Y Threshold(Upper) 指定色抽出演算時のY成分上限値を指定します。															
[7:0]	Color Y Threshold(Lower) 指定色抽出演算時のY成分下限値を指定します。																
抽出条件:Color Y Threshold(Lower) Y Color Y Threshold(Upper)																	

REG248 (R/W)	Color U Threshold(Upper/Lower)											<ADDRESS:248H>					
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default					
	Color U Threshold(U)					Color U Threshold(L)						1111 1111 0000 0000					
	[15:8]	Color U Threshold(Upper) 指定色抽出演算時のU成分上限値を指定します。															
[7:0]	Color U Threshold(Lower) 指定色抽出演算時のU成分下限値を指定します。																
抽出条件:Color U Threshold(Lower) U Color U Threshold(Upper)																	

REG249 (R/W)	Color V Threshold(Upper/Lower)											<ADDRESS:249H>					
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default					
	Color V Threshold(U)					Color V Threshold(L)						1111 1111 0000 0000					
	[15:8]	Color V Threshold(Upper) 指定色抽出演算時のV成分上限値を指定します。															
[7:0]	Color V Threshold(Lower) 指定色抽出演算時のV成分下限値を指定します。																
抽出条件:Color V Threshold(Lower) V Color V Threshold(Upper)																	

REG24A (R/W)	Compare Mode											<ADDRESS:24Ah>														
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default														
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:2.5%;">nu</td> <td style="width:2.5%;">BFN</td> <td style="width:2.5%;">CFS</td> <td style="width:2.5%;">BMM</td> <td colspan="7">Compare Delta Threshold</td> </tr> </table>											nu	BFN	CFS	BMM	Compare Delta Threshold							n000 0000 0000 0100			
	nu	BFN	CFS	BMM	Compare Delta Threshold																					
	[15]	NULL レジスタはありません。1'H0に設定願います。(読み出しデータは保証されません)																								
	[14:11]	Basis Frame Number 直列マニュアル制御時(REG20F[5]=1'h0)の比較演算用の基準フレーム番号を指定します。																								
[10]	Compare Frame Select 直列マニュアル制御時(REG20F[5]=1'h0)の比較演算モードを指定します。 0:基準フレーム比較 1:前フレーム比較																									
[9:8]	Bit Map Mode 比較演算後の2値化処理内容を選択します。 2'H0:REG24A[7:0]との絶対値差分処理 2'H1:REG24A[7:0]との"- "差分処理 2'H2:REG24A[7:0]との"+ "差分処理 2'H3:シャドキャンセル処理																									
[7:0]	Compare Delta Threshold 比較時の相違判定レベルを指定します。																									

REG24B (R/W)	Area Threshold & Specified Color Data Select											<ADDRESS:24Bh>														
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default														
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:2.5%;">Area MAX Width Threshold</td> <td style="width:2.5%;">NULL</td> <td style="width:2.5%;">MDS</td> <td style="width:2.5%;">nu</td> <td colspan="7"></td> </tr> </table>											Area MAX Width Threshold	NULL	MDS	nu								0000 0001 00nn nn0n			
	Area MAX Width Threshold	NULL	MDS	nu																						
	[15:6]	Area MAX Width Threshold 面積抽出演算時の最大幅算出用スリットを指定します。																								
[5:2]	NULL レジスタはありません。4'H0に設定願います。(読み出しデータは保証されません)																									
[1]	Mapping Data Select フル射像及び面積演算を行う対象データを選択します(ウィンドウ射像対象の選択はREG2B7[15]) 0:比較演算データ 1:指定色抽出データ																									
[0]	Reserved レジスタはありません。1'H0に設定願います。(読み出しデータは保証されません)																									

REG24C (R/W)	Area Calcurate Thershold											<ADDRESS:24Ch>													
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default													
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td colspan="11">Area Threshold</td> </tr> </table>											Area Threshold											0000 0001 0000 0000			
Area Threshold																									
[15:0]	Area Threshold 面積比較演算時の判定スリットを設定します。(1/4化して設定します)																								

REG24D (R)	X Mapping Area											<ADDRESS:24Dh>													
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default													
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td colspan="11">X Mapping Area</td> </tr> </table>											X Mapping Area											0000 0000 0000 0000			
X Mapping Area																									
[15:0]	X Mapping Area X射像から検出した推定面積を示します。(1/4で表示し、オーバーフロー時は16'hFFFF)																								

REG24E (R)	Y Mapping Area											<ADDRESS:24Eh>													
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default													
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td colspan="11">Y Mapping Area</td> </tr> </table>											Y Mapping Area											0000 0000 0000 0000			
Y Mapping Area																									
[15:0]	Y Mapping Area Y射像から検出した推定面積を示します。(1/4で表示し、オーバーフロー時は16'hFFFF)																								

REG24F (R/W)	Compare Noise Canceller & INT Threshold											<ADDRESS:24Fh>														
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default														
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:2.5%;">Different Count</td> <td style="width:2.5%;">INT Threshold</td> <td style="width:2.5%;">CNM</td> <td style="width:2.5%;">CNT</td> <td colspan="7"></td> </tr> </table>											Different Count	INT Threshold	CNM	CNT								0001 0000 0000 0001			
	Different Count	INT Threshold	CNM	CNT																						
[15:6]	Different Count(Compare Calculate) INT Threshold 比較演算時の相違判定割り込み発生時の相違対象スリットを指定します。 (1/64で設定します)																									
[5:4]	Cancel Noise Mode 比較演算時のキャンセルモードを指定します。 2'h0:対象比較結果0,1無関係に処理します 2'h1:対象比較結果0のみ処理します。(1は処理しません) 2'h2:対象比較結果1のみ処理します。(0は処理しません) 2'h3:デフォルト(処理しません)																									
[3:0]	Cancel Noise Threshold 比較演算時のキャンセル幅を指定します。(最大8)																									

[Timing Buffer Control]

REG250 (R/W)	LM Read Start line/dot 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:250H> default nnnn nn01 0100 0000		
	<table border="1" style="width:100%"> <tr> <td style="width:50%">NULL</td> <td style="width:50%">LMRD</td> </tr> </table>	NULL	LMRD	
	NULL	LMRD		
[15:10] NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)				
[9:0]	Line Memory Read start Dot ラインメモリーリード開始タイミング(ドット/2)を指定します。			

REG251 (R/W)	LM Read Timing 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:251H> default 0010 1000 0001 0000		
	<table border="1" style="width:100%"> <tr> <td style="width:50%">LMRI</td> <td style="width:50%">LMBL</td> </tr> </table>	LMRI	LMBL	
	LMRI	LMBL		
[15:5] Line Memory Read Interval Line Memoryからのリードバースト間隔(ドット/2)を指定します。				
[4:0]	Line Memory Read Burst Length Line Memoryからのリードバースト長(ドット/2)を指定します。 バースト長 = 設定値×4で処理します			

REG252 (R/W)	LM Read adjust Timing 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:252H> default nnnn nnnn 0100 0000		
	<table border="1" style="width:100%"> <tr> <td style="width:50%">NULL</td> <td style="width:50%">LMABN</td> </tr> </table>	NULL	LMABN	
	NULL	LMABN		
[15:8] NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)				
[7:0]	LM Adjust Burst Number タイミング調整をする出力バースト回数を指定します。			

REG251, REG252について下記条件に注意願います。
 $RMBL * LMABN = LMALC$ 期間の有効データ長

REG253 (R/W)	Compare calibration(Receive) Timing Buffer(TM5) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:253H> default 0010 0000 0100 0000		
	<table border="1" style="width:100%"> <tr> <td style="width:50%">CTBRT</td> <td style="width:50%">CTBBL</td> </tr> </table>	CTBRT	CTBBL	
	CTBRT	CTBBL		
[15:8] Compare Timing Buffer Receive Timing SDRAMからタイミングバッファへの受信開始トリガ用データ長を指定します。				
[7:0]	Compare Timing Buffer Burst Length SDRAMからタイミングバッファへの基本バースト長を指定します。			

REG254 (R/W)	Binary calibration(Transmit)Timing Buffer(TM2) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:254H> default 0110 0000 0100 0000		
	<table border="1" style="width:100%"> <tr> <td style="width:50%">BTBWT</td> <td style="width:50%">BTBBL</td> </tr> </table>	BTBWT	BTBBL	
	BTBWT	BTBBL		
[15:8] Binary Timing Buffer Write Timing タイミングバッファからSDRAMへの送信開始トリガ用データ長を指定します。				
[7:0]	Binary Timing Buffer Burst Length タイミングバッファからSDRAMへの基本バースト長を指定します。			

REG255 (R/W)	Y Mapping calibration Timing Buffer(TM3) 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:255H> default 0110 0000 0100 0000		
	<table border="1" style="width:100%"> <tr> <td style="width:50%">YTBWT</td> <td style="width:50%">YTBBL</td> </tr> </table>	YTBWT	YTBBL	
	YTBWT	YTBBL		
[15:8] Y mapping Timing Buffer Write Timing タイミングバッファからSDRAMへの送信開始トリガ用データ長を指定します。				
[7:0]	Y mapping Timing Buffer Burst Length タイミングバッファからSDRAMへの基本バースト長を指定します。			

REG257 (R/W)	Original Picture Timing Buffer(TM8)	<ADDRESS:257H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:50%;">OTBWT</td> <td style="width:50%;">OTBBL</td> </tr> </table>	OTBWT	OTBBL
OTBWT	OTBBL		
[15:8]	Original picture Timing Buffer Write Timing タイミングバッファからSDRAMへの送信開始トリガ用データ長を指定します。		
[7:0]	Original picture Timing Buffer Burst Length タイミングバッファからSDRAMへの基本バイト長を指定します。		

REG258 (R/W)	Filter Data Timing Buffer(TM1)	<ADDRESS:258H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	<table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:50%;">FTBWT</td> <td style="width:50%;">FTBBL</td> </tr> </table>	FTBWT	FTBBL
FTBWT	FTBBL		
[15:8]	Filter Data Timing Buffer Write Timing タイミングバッファからSDRAMへの送信開始トリガ用データ長を指定します。		
[7:0]	Filter Data Timing Buffer Burst Length タイミングバッファからSDRAMへの基本バイト長を指定します。		

REG259 (R/W)	JPEG Data Transmit Timing Buffer(TM7)	<ADDRESS:259H>						
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default						
	<table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:33%;">NULL</td> <td style="width:33%;">SRC</td> <td style="width:33%;">SRI</td> <td style="width:33%;">JMI</td> <td style="width:33%;">JTM</td> <td style="width:33%;">JTBBL</td> </tr> </table>	NULL	SRC	SRI	JMI	JTM	JTBBL	nnnn nnnn n000 0000
	NULL	SRC	SRI	JMI	JTM	JTBBL		
	[15:7]	NULL レジスタはありません。9'H000に設定願います。(読み出しデータは保証されません)						
	[6]	SDRAM Refresh Cycle Control SDRAM自動リフレッシュ制御時のリフレッシュサイクルを指定します。 0:4Kリフレッシュ 1:8Kリフレッシュ						
	[5:4]	SDRAM Refresh Interval SDRAM自動リフレッシュ制御時のリフレッシュ間隔を指定します。 2'h0:50ms間隔 2'h1:100ms間隔 2'h2:25ms間隔 2'h3:12.5ms間隔						
	[3]	JPEG decode translate Mode at Interlace JPEGコード処理時のインターレースフォーマット対応転送でのライン格納方式を選択します。 0:1ライン目をODDフィールド対応として転送します。 1:1ライン目をEVENフィールド対応として転送します。						
[2]	JPEG decode Translate Mode JPEGコード処理時のSDRAMへの転送方法を指定します。 0:入力インターレースフォーマット対応転送 1:入力プログレッシブフォーマット対応転送 入力インターレースフォーマット対応転送時はREG276[3:0]は偶数フレーム番号の指定のみ可能です。							
[1:0]	JPEG Timing Buffer Burst Length タイミングバッファからSDRAMへの基本バイト長を指定します。 2'h0: 64バイト 2'h1: 32バイト 2'h2: 16バイト 2'h3: Reserved							

REG25A (R/W)	JPEG Data Receive Timing Buffer(TM6)	<ADDRESS:25AH>						
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default						
	<table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:33%;">NULL</td> <td style="width:33%;">JTBRTM</td> <td style="width:33%;">rs</td> <td style="width:33%;">JTBRTL</td> <td style="width:33%;">JSS</td> <td style="width:33%;">JTBRL</td> </tr> </table>	NULL	JTBRTM	rs	JTBRTL	JSS	JTBRL	nnnn nnn0 0001 0000
	NULL	JTBRTM	rs	JTBRTL	JSS	JTBRL		
	[15:9]	NULL レジスタはありません。7'H00に設定願います。(読み出しデータは保証されません)						
	[8:7]	JPEG Timing Buffer Receive Trigger MCU SDRAMからタイミングバッファへの受信開始トリガ用MCU数を指定します。 推奨:2'h0@[1:0]=2'h0,2'h1@[1:0]=2'h1,2'h3@[1:0]=2'h2						
	[6]	Reserved 予約レジスタです。1'H0に設定願います。						
[5:3]	JPEG Timing Buffer Receive Trigger Line SDRAMからタイミングバッファへの受信開始トリガ用ライン数を指定します。(推奨:3'h2)							
[2]	JPEG input Source Select JPEGコード処理を行う入力データフォーマットを指定します。 0:プログレッシブフォーマット 1:インターレースフォーマット							
[1:0]	JPEG Timing Buffer Receive Burst Length SDRAMからタイミングバッファへの基本バイト長を指定します。 2'h0: 64バイト 2'h1: 32バイト 2'h2: 16バイト 2'h3: Reserved							

REG25B	Display Timing buffer Timing(TM10)		<ADDRESS:25Bh> 0100 0000 0100 0000																																
	<table border="1"> <tr> <td>DTBRT</td> <td>DTBBL</td> </tr> </table>		DTBRT	DTBBL																															
	DTBRT	DTBBL																																	
[15:8]	Display Timing Buffer Receive Timing SDRAMからタイミングバッファへの受信開始トリガ用データ長を指定します。																																		
[7:0]	Display Timing Buffer Burst Length SDRAMからタイミングバッファへの基本バースト長を指定します。																																		
REG25C	Display Timing buffer Timing2(TM10)		<ADDRESS:25Ch> nnnn nnnn 1000 0000																																
	<table border="1"> <tr> <td>NULL</td> <td>DTB1STBL</td> </tr> </table>		NULL	DTB1STBL																															
	NULL	DTB1STBL																																	
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)																																		
[7:0]	Display Timing Buffer 1st Buffered Length Vsync後最初に格納するデータ長を指定します。																																		
REG25D (R/W)	Micon I/F Timing Buffer(TM9)		<ADDRESS:25Dh> default 0010 0000 0100 0000																																
	<table border="1"> <tr> <td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td colspan="8">MTBRT</td> <td colspan="8">MTBBL</td> </tr> </table>		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	MTBRT								MTBBL								
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			
MTBRT								MTBBL																											
[15:8]	Micon Timing Buffer Receive Timing SDRAMからタイミングバッファへの送受信開始トリガ用データ長を指定します。																																		
[7:0]	Micon Timing Buffer Burst Length SDRAMからタイミングバッファへの基本バースト長を指定します。																																		
REG25E (R/W)	SDRAM Transmit Control		<ADDRESS:25Eh> default 100n nnnn 1111 1111																																
	<table border="1"> <tr> <td>15</td><td>14</td><td>13</td><td>12</td><td>11</td><td>10</td><td>9</td><td>8</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>TBR</td><td>JSC</td><td>JCC</td><td>NULL</td><td>JDE</td><td>rs</td><td>YDE</td><td>rs</td><td>BDE</td><td>FDE</td><td>OPE</td><td colspan="5"></td> </tr> </table>		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	TBR	JSC	JCC	NULL	JDE	rs	YDE	rs	BDE	FDE	OPE						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			
	TBR	JSC	JCC	NULL	JDE	rs	YDE	rs	BDE	FDE	OPE																								
	[15]	Timing Buffer Reset 内部バッファの状態をリセットします。 0:enable 1:disable 本機能により全ての送信用タイミングバッファ制御レジスタはクリアされます。																																	
	[14]	JPEG interface Sequencer Clear JPEGインターフェースブロックの各種シーケンサを制御します。 0:何もありません。 1:シーケンサクリアします																																	
[13]	JPEG interface Control Clear JPEGインターフェースブロックの初期化を制御します。 0:何もありません。 1:初期化します																																		
[12:8]	NULL レジスタはありません。5'H00に設定願います。(読み出しデータは保証されません)																																		
[7:0]	SDRAMへの転送レベルを指定します。 0:enable 1:disable 各ビットの割り振りは下記の通り [7]: JPEG Data [6]: Reserved(予約レジスタです。1'H1に設定願います。) [5]: Reserved(予約レジスタです。1'H1に設定願います。) [4]: Y mapping Data [3]: Reserved(予約レジスタです。1'H1に設定願います。) [2]: Binary Data [1]: Filter Data [0]: Original picture Data																																		
REG25F	OSD Timing buffer Timing(TM11)		<ADDRESS:25Fh> 0000 1110 0001 0000																																
	<table border="1"> <tr> <td>OTBRT</td> <td>OTBBL</td> </tr> </table>		OTBRT	OTBBL																															
	OTBRT	OTBBL																																	
[15:8]	OSD Timing Buffer Receive Timing SDRAMからタイミングバッファへの受信開始トリガ用データ長を指定します。																																		
[7:0]	OSD Timing Buffer Burst Length SDRAMからタイミングバッファへの基本バースト長を指定します。																																		

***タイミングバッファの設定についての注意点**

各種タイミングバッファのタイミング調整用にバースト長、トリガタイミングのパラメータを下記条件で設定願います。
 送信バッファ トリガタイミング > バースト長 (REG254, REG255, REG257, REG258, REG25D(送信時))
 受信バッファ トリガタイミング < バースト長 (REG253, REG25F, REG25D(受信時))
 トリガタイミング = バースト長 (REG25B(受信時))

バースト長の設定値には以下の注意が必要です。

最低バースト長 8(送信バッファ)、16(受信バッファ)
 設定可能値 バースト長の整数倍

[External Frame Buffer Data Control]

REG260 (R/W)	Original Picture	<ADDRESS:260H>						
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default						
	<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 10%;">NULL</td> <td style="width: 10%;">OT2</td> <td style="width: 10%;">OT1</td> <td style="width: 10%;">OTM</td> <td style="width: 10%;">OPMS</td> <td style="width: 10%;">rs</td> </tr> </table>	NULL	OT2	OT1	OTM	OPMS	rs	nnnn nnnn n000 0000
NULL	OT2	OT1	OTM	OPMS	rs			
[15:7]	NULL レジスタはありません。9'H00に設定願います。(読み出しデータは保証されません)							
[6:5]	Original picture Thinning dot/line select2 (1/4)間引きモード選択時の間引きしないドット/ラインを指定します。 2'h0:0(ドット/ライン)を指定します。 2'h1:1(ドット/ライン)を指定します。 2'h2:2(ドット/ライン)を指定します。 2'h3:3(ドット/ライン)を指定します。							
[4]	Original picture Thinning dot/line select1 (1/2)間引きモード選択時の間引きしないドット/ラインを指定します。 0:偶数(ドット/ライン)を指定します。 1:奇数(ドット/ライン)を指定します。							
[3]	Original picture Thinning Mode 縮小処理時の間引き率を選択します。 0:1/2間引き 1:1/4間引き							
[2:1]	Original Picture Mode Select 原画に対しての処理を指定します。 2'h0:スル(原画をそのまま)で処理します。 2'h1:拡大処理をします。(拡大内容は2倍のみ) 2'h2:縮小処理をします。(縮小比率はREG260[3]で指定します) 2'h3:ぼけ処理をします。(ぼけ比率はREG260[3]で指定します)							
[0]	Reserved 予約レジスタです。1'H0に設定願います。							

REG261 (R/W)	Up scaling Window(X)	<ADDRESS:261H>		
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default		
	<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 10%;">NULL</td> <td style="width: 10%;">Up scaling Window(X)</td> </tr> </table>	NULL	Up scaling Window(X)	nnnn nn00 0000 0000
NULL	Up scaling Window(X)			
[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)			
[9:0]	Up scaling Window(X) 拡大処理時の拡大範囲の開始X座標を指定します。(奇数設定は禁止です)			

REG262 (R/W)	Up scaling Window(Y)	<ADDRESS:262H>		
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default		
	<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 10%;">NULL</td> <td style="width: 10%;">Up scaling Window(Y)</td> </tr> </table>	NULL	Up scaling Window(Y)	nnnn nnn0 0000 0000
NULL	Up scaling Window(Y)			
[15:10]	NULL レジスタはありません。7'H00に設定願います。(読み出しデータは保証されません)			
[8:0]	Up scaling Window(Y) 拡大処理時の拡大範囲の開始Y座標を指定します。(奇数設定は禁止です)			

REG263 (R/W)	Pre JPEG Scaling											<ADDRESS:263H>			
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default			
	NULL			NSC		rs	ECM		NFNFJ		RDM	PJTM		nnnn nn10 0000 0000	
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)													
	[9]	NFPS Status Content NFPS(REG269[7:6])表示内容を選択します。 0:REG263[6:3]指定フレームに対するポート番号を表示させます。 1:最新結果を持つポート番号を表示させます。													
	[8]	Reserved 予約レジスタです。1'H0に設定願います。													
	[7]	Encode Color Mode エンコード処理時のカラー処理モードを選択します。 0:モード(カラー画像のまま処理します) 1:モード(グレースケールで処理します)													
	[6:3]	Normal Frame Number For JPEG data REG269[5:0]に示す対象のフレーム番号を指定します。													
[2]	Reduce Data Mode 縮小モード時の(REG263[1:0]=2'h2)データに対するJPEG用エンコードデータを指定します。 0:縮小データのままエンコードします。 1:等倍倍率でデータにしてエンコードします。														
[1:0]	Pre JPEG Treat Mode JPEGエンコードデータに対しての処理を指定します。 2'h0:スルー(原画をそのまま)で処理します。 2'h1:拡大処理をします。(拡大内容は2倍のみ) 2'h2:縮小処理をします。(縮小比率はREG260[3]で指定します) 2'h3:その他の処理をします。(その他の比率はREG260[3]で指定します)														

REG264 (R/W)	Centering Background(Y)											<ADDRESS:264H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default	
	NULL			Centering Background(Y)								nnnn nnnn 0000 0000	
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)												
[7:0]	Centering Background(Y) 等倍倍率処理時(REG263[2]=1'h1)の背景色(Y)成分を指定します。												

REG265 (R/W)	Centering Background(U/V)											<ADDRESS:265H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default	
	Centering Background(U)			Centering Background(V)								0111 1111 0111 1111	
[15:8]	Centering Background(U) 等倍倍率処理時(REG263[2]=1'h1)の背景色(U)成分を指定します。												
[7:0]	Centering Background(V) 等倍倍率処理時(REG263[2]=1'h1)の背景色(V)成分を指定します。												

REG266 (R/W)	Save Frame Control1											<ADDRESS:266H>		
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default		
	BF3S			BF2S			BF1S			BF0S		0000 0000 0000 0000		
	[15:12]	Basis Frame3 Select フレーム保存のモード時の基準フレーム3保存フレームを指定します。												
	[11:8]	Basis Frame2 Select フレーム保存のモード時の基準フレーム2保存フレームを指定します。												
[7:4]	Basis Frame1 Select フレーム保存のモード時の基準フレーム1保存フレームを指定します。													
[3:0]	Basis Frame0 Select フレーム保存のモード時の基準フレーム0保存フレームを指定します。													

REG267 (R/W)	Save Frame Control2											<ADDRESS:267H>		
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default		
	BF7S			BF6S			BF5S			BF4S		0000 0000 0000 0000		
	[15:12]	Basis Frame7 Select フレーム保存のモード時の基準フレーム7保存フレームを指定します。												
	[11:8]	Basis Frame6 Select フレーム保存のモード時の基準フレーム6保存フレームを指定します。												
[7:4]	Basis Frame5 Select フレーム保存のモード時の基準フレーム5保存フレームを指定します。													
[3:0]	Basis Frame4 Select フレーム保存のモード時の基準フレーム4保存フレームを指定します。													

REG268 (R)	Frame IP Status	<ADDRESS:268H>
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default
	Reserved FBS FAS F9S F8S F7S F6S F5S F4S F3S F2S F1S F0S	0000 0000 0000 0000
[15:12]	Reserved 予約レジスタです。4'H0に設定願います。	
[11:0]	Frame n Status(n:0~B) インターレース信号処理(REG200[5]=1'h0)時、処理フレームのODD/EVENを示します。 0:ODDフレーム(フールドレック)信号処理(REG200[5]=1'h1)時は本設定固定です。 1:EVENフレーム	

REG269 (R/W)	Frame Number Status	<ADDRESS:269H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default	
	NFNS JFNS NFPS JPEG Frame Number	0000 0000 0000 0000	
	[15:12]	Normal Frame Number Status 最新結果(除くJPEGエンコード処理)の格納されているノーマルフレーム番号を示します。	
	[11:8]	JPEG Frame Number Status 最新のJPEGエンコードデータが格納されているノーマルフレーム番号を示します。 (JPEGエンコードデータをアクセスする際は本レジスタからNFNFJ(REG263[6:3])設定値を決めます)	
[7:6]	Normal Frame Port Status 最新結果(除くJPEG処理)の格納されているノーマルフレームに対するポートNoを示します。		
[5:0]	JPEG Frame Number REG263[6:3]で指定されたノーマルフレームに対する割り振るJPEGフレームNoを示します。		

REG26A (R/W)	External Buffer Micon Access Enable	<ADDRESS:26AH>
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default
	NULL WAE RAE	n n n n n n n n n n n n 11
	[15:2]	NULL レジスタはありません。14'H0000に設定願います。(読み出しデータは保証されません)
[1]	Write Access Enable ライトアクセス要求を指定します。 0:enable(要求します。本期間中に要求されたデータをSDRAMへ転送します) 1:disable	
[0]	Read Access Enable リードアクセス要求を指定します。 0:enable(要求します。リード可能時は割り込みにて通知します) 1:disable	

REG26B (R/W)	External Buffer Micon Access Data IO Register	<ADDRESS:26BH>
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default
	External Buffer Micon Access Data IO Register	0000 0000 0000 0000
[15:0]	External Buffer Micon Access Data IO Register マイコンとSDRAMデータを送受信するデータバファです。	

マイコンライトアクセス時の注意点

バースト長(REG25D[7:0])設定値以上アクセス願います。

奇数回数のアクセスは最終データを格納し損なう可能性がありますので必ず偶数回数アクセス願います。

REG26C (R/W)	SDRAM Micon Access Address(Lower)	<ADDRESS:26CH>
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default
	SDRAM Micon Address(L) "0"Fix	0000 0000 0000 0000
[15:0]	SDRAM Micon Access Address(Lower) マイコンからSDRAMをアクセスする際の低位ワザットアドレスを指定します。(低位4ビットは"0"固定)	

REG26D (R/W)	SDRAM Micon Access Address(Upper)	<ADDRESS:26DH>
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	default
	NULL SDRAM Micon Address(U)	n n n n n n n 0 0000 0000
[15:9]	NULL レジスタはありません。7'H00に設定願います。(読み出しデータは保証されません)	
[8:0]	SDRAM Micon Access Address(Upper) マイコンからSDRAMをアクセスする際の上位ワザットアドレスを指定します。 (REG26C, REG26Dでのアクセスアドレスは別紙メモリマップ参照)	

REG26E (R/W)	External Buffer Read Timing Control											<ADDRESS:26EH>														
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default														
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:20px; text-align:center;">nu</td> <td colspan="7" style="text-align:center;">Reserved</td> <td style="width:20px; text-align:center;">EAS</td> <td style="width:20px; text-align:center;">rs</td> <td style="width:20px; text-align:center;">SRT</td> </tr> </table>											nu	Reserved							EAS	rs	SRT	n000 0000 0000 0000			
	nu	Reserved							EAS	rs	SRT															
	[15]	NULL レジスタはありません。(読み出しデータは保証されません)																								
	[14:4]	Reserved 予約レジスタです。11'H000に設定願います。																								
[3]	External buffer Access permission Status 外部メモリへのメインアクセス要求コマンド、関連レジスタへの許可ステータスを示します。 本ステータスがデフェルトの際にアクセスを制限されるコマンド、レジスタは以下の通り REG26A[1:0] (enable)コマンド (disableコマンドは随時可能です) REG26C, REG26DLレジスタ 0:enable (アクセス可能です) 1:disable(コマンド発行は禁止です)																									
[2]	Reserved 予約レジスタです。1'H0に設定願います。																									
[1:0]	SDRAM Read Timing control SDRAMリードアクセス時のデータ取り込みタイミングを調整します。 2'h0:デフォルトエッジ 2'h1:1サイクル前エッジ 2'h2:1サイクル後エッジ 2'h3:Reserved																									

REG26F (R/W)	External Buffer Mode Control											<ADDRESS:26FH>												
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default												
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:20px; text-align:center;">rs</td> <td style="width:20px; text-align:center;">EBS</td> <td colspan="7" style="text-align:center;">Reserved</td> </tr> </table>											rs	EBS	Reserved							1101 1000 0000 0001			
	rs	EBS	Reserved																					
[15:14]	Reserved 予約レジスタです。2'H3に設定願います。																							
[13:12]	External Buffer Select 外部バッファ容量を指定します。 2'h0:64Mb 2'h1:128Mb 2'h2:Reserved 2'h3:Reserved																							
[11:0]	Reserved 予約レジスタです。12'H801に設定願います。																							

[JPEG Macro Control]

REG270 (R/W)	JPEG Mode											<ADDRESS:270H>		
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default		
	JEFTR					NULL				JSE		JOM	0000 0000 nnnn nn10	
	[15:8]	JPEG Encode Frame Thinning Rate JPEGインコードするフレーム間隔を指定します。 (8'h00:毎フレーム、8'h00以外は(設定フレーム+1)フレーム毎にインコード処理します。)												
	[7:2]	NULL レジスタはありません。6'h00に設定願います。(読み出しデータは保証されません)												
[1]	JPEG Stop Enable JPEGインコード処理の中止を指定します。 0:ストップしません。 1:ストップします。(直前までのインコードデータが保持されています)													
[0]	JPEG encode Only Mode JPEGインコード専用モードを指定します。 0:通常画像処理モードです。(入力データをインコード処理します) 通常画像処理モードではインコード処理のみ有効です。 1:JPEG専用モードです。(指定データをJPEG処理します) REG000[3]の指定によりインコード/デコードを指定します。													

REG271 (R/W)	JPEG Start Line Timing											<ADDRESS:271H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default	
	NULL					JPEG Start Line Timing						nnnn nnn1 0000 0000	
[15:9]	NULL レジスタはありません。7'h00に設定願います。(読み出しデータは保証されません)												
[8:0]	JPEG Start Line Timing JPEGインコード開始するスタートタイミングをライン数で指定します。												

REG273 (R/W)	JPEG Frame Data Length											<ADDRESS:273H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default	
	NULL					JPEG Length Frame						nnnn nnnn nnn0 0000	
[15:5]	NULL レジスタはありません。11'h000に設定願います。(読み出しデータは保証されません)												
[4:0]	JPEG Length Frame 本レジスタで指定されたJPEGフレーム番号の圧縮データ長がREG274に示されます。												

REG274 (R)	Encode Data Length											<ADDRESS:274H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default	
	NULL					Encode Data Length						nnnn 0000 0000 0000	
[15:12]	NULL レジスタはありません。4'h0に設定願います。(読み出しデータは保証されません)												
[11:0]	Encode Data Length REG273で指定されたフレームの圧縮データ長を示します。 (圧縮データを読み取る際は本レジスタ値×16回のメモリアクセス(REG26B)が必要です)												

REG276 (R/W)	JPEG Only Mode Control											<ADDRESS:276H>			
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default			
	NULL			JFNJE			JCS		NULL			OFNJE		nnn0 0000 0nnn 0010	
	[15:13]	NULL													
	[12:8]	JPEG Frame Number for JPEG JPEG専用モード時の圧縮データ格納用JPEGフレーム番号を指定します。													
	[7]	JPEG Calculate Start JPEG専用モード (REG270[0]=1'b1)時のJPEG処理開始を指定します。 0:何もしません。 1:JPEG処理を開始します。(処理完了時に自動的に"0"に戻ります)													
[6:4]	NULL														
[3:0]	Original Frame Number for JPEG JPEG専用モード時の対象フレーム番号を指定します。														

REG277 (R/W)	JPEG Encode Compression Control											<ADDRESS:277H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default	
	NULL										JECR	nnnn nnnn nnnn n000	
	[15:4]	NULL											
[2:0]	JPEG Encode Compression Ratio JPEGエンコード処理時の圧縮率を選択します。(標準量子化テーブルへの倍率を選択します)												
	圧縮設定		高精細設定										
	3'h0: x1(標準テーブル)		3'h5: x0.5										
	3'h1: x2		3'h6: x0.25										
	3'h2: x4		3'h7: all 1										
	3'h3: x8												
	3'h4: x16												

REG278 (R)	JPEG Decode Data Size (X)											<ADDRESS:278H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default	
	NULL					JDSX						nnnn nnn0 1010 0000	
[15:9]	NULL												
[8:0]	JPEG Decode data Size (X) JPEG専用伸張モード (REG270[0]=1'b1 && REG000[3]=1'b1)時の水平方向伸張サイズを示します。 (1/4で表示します。圧縮モード時のデータは不定です)												

REG279 (R)	JPEG Decode Data Size (Y)											<ADDRESS:279H>	
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default	
	NULL					JDSY						nnnn nnn0 0111 1000	
[15:9]	NULL												
[8:0]	JPEG Decode data Size (Y) JPEG専用伸張モード (REG270[0]=1'b1 && REG000[3]=1'b1)時の垂直方向伸張サイズを示します。 (1/4で表示します。圧縮モード時のデータは不定です)												

[Display Data I/F Control]

REG280 (R/W)	Display Mode	<ADDRESS:280H> default 0100 1111 0100 1100
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 DOY DOU rs DPM VSF HSF DEF DCF DDF rs DE DSE DVP DHP DDP rs	
[15]	Display data format(Offset binary (Y)) 表示用データY成分のフォーマットを指定します。 0:128ビット処理しません 1:128ビット処理します	
[14]	Display data format(Offset Binary (UV)) 表示用データUV成分のフォーマットを指定します。 0:128ビット処理しません 1:128ビット処理します	
[13]	Reserved 予約レジスタです。1'H0に設定願います。	
[12]	Display Picture Mode 表示用画像モードを指定します。 0:動画モード 1:静止画モード	
[11]	VSync Fix 表示用VSYNC信号(DVSYNCOUT)の出力固定レベルを指定します。 0:enable 1:disable	
[10]	HSync Fix 表示用HSYNC信号(DHSYNCOUT)の出力固定レベルを指定します。 0:enable 1:disable	
[9]	DE Fix 表示用DE信号(DDEOUT)の出力固定レベルを指定します。 0:enable 1:disable	
[8]	Display Clock Fix 表示用クロック(DCLK0)の出力固定レベルを指定します。 0:enable (レベル時、"L"Fixになります) 1:disable	
[7]	Display Data Fix 表示用データ(DGDOUT0~7)の出力固定レベルを指定します。 0:enable (レベル時、背景色レジスタ(REG264,REG265)設定色になります) 1:disable	
[6]	Reserved 予約レジスタです。1'H1に設定願います。	
[5]	Display Enable 表示レベルを指定します。 0:enable 1:disable	
[4]	Display Scramble Enable 表示用データ出力の出力スクランブルレベルを指定します。 0:外部GDOUT[7:0]->内部GDOUT[7:0] 1:外部GDOUT[7:0]->内部GDOUT[0:7]	
[3]	Display Vsync Pararity 表示用VSYNC信号(DVSYNCOUT)の極性を指定します。 0:positive 1:negative	
[2]	Display Hsync Pararity 表示用HSYNC信号(DHSYNCOUT)の極性を指定します。 0:positive 1:negative	
[1]	Display DE Pararity 表示用DE信号(DDEOUT)の極性を指定します。 0:positive 1:negative	
[0]	Reserved 予約レジスタです。1'H0に設定願います。	

REG281 (R/W)	Display Frame No	<ADDRESS:281H> default 0000 0000 0000 0000
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
	DMW3 DMW2 DMW1 DMW0	
	[15:12] Display Multi Window3	マルチ4分割表示設定時(REG28E[14]=1'h1)のウィンドウ3に表示するフレーム内容を指定します。 4'h0~B:指定フレームを表示します。 4'hC~F:各ポートに対応した動画を表示します。(C:Port0,D:Port1,E:Port2,F:Port3)
	[11:8] Display Multi Window2	マルチ4分割表示設定時(REG28E[14]=1'h1)のウィンドウ2に表示するフレーム内容を指定します。 4'h0~B:指定フレームを表示します。 4'hC~F:各ポートに対応した動画を表示します。(C:Port0,D:Port1,E:Port2,F:Port3)
[7:4] Display Multi Window1	マルチ4分割表示設定時(REG28E[14]=1'h1)のウィンドウ1に表示するフレーム内容を指定します。 4'h0~B:指定フレームを表示します。 4'hC~F:各ポートに対応した動画を表示します。(C:Port0,D:Port1,E:Port2,F:Port3) 1画面インポーズ指定(REG28E[15:14]=2'h2)時の挿入対象フレーム番号を指定します。 指定可能フレームは(0,2,4,6,8,A)のみです。	
[3:0] Display Multi Window0 / Display Frame No (@REG28E[14]=1'b1)	マルチ4分割表示設定時のウィンドウ0に表示するフレーム内容を指定します。 4'h0~B:指定フレームを表示します。 4'hC~F:各ポートに対応した動画を表示します。(C:Port0,D:Port1,E:Port2,F:Port3) (@REG28E[14]=1'b0) 1画面表示設定且つ静止画モード時(REG280[12]=1'b1)に表示するフレーム番号を指定します。 入力ソースがインターレース(REG200[5]=1'h0)の場合、必ずODDフレーム番号を指定願います。	

REG282 (R/W)	Display Vertical Total Time	<ADDRESS:282H> default nnnn nn01 0000 0110
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
	NULL V Total Time(Line)	
[15:10] NULL	レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)	
[9:0] Vertical Total Time	出力側垂直同期信号周期をライン数(HSYNC数)で設定します。 (インターレース出力設定(REG280[6]=1'b1)は(0/Eフィールドライン数-1)/2を設定します。	

REG283 (R/W)	Display Vertical Sync Time	<ADDRESS:283H> default 0000 0000 0000 0011
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
	MWDC IWN IFS rs SPS SPN V Sync Time(Line)	
	[15:12] Multi-Window Display Control	マルチ4分割表示設定時(REG28E[14]=1'h1)の各ウィンドウの表示状態を指定します。 0:表示ON 1:表示OFF [15]:Window3の状態を指定します。 [14]:Window2の状態を指定します。 [13]:Window1の状態を指定します。 [12]:Window0の状態を指定します。
	[11:10] Inpose Window Number	1画面インポーズ指定(REG28E[15]=1'h1)時の挿入対象表示ウィンドウ番号を指定します。 2'h0:Window0 2'h1:Window1 2'h2:Window2 2'h3:Window3
	[9] Inpose Frame Select	1画面インポーズ指定(REG28E[15]=1'h1)時の挿入対象表示ウィンドウ番号を指定します。 0:(REG281[7:4]指定)フレームをインポーズします。 1:(REG281[7:4]指定+1)フレームをインポーズします。 インターレース対応インポーズフォーマット(REG259[2]=1'b0)データ処理時、"0"以外の設定は禁止です。
	[8] Reserved	予約レジスタです。1'H0に設定願います。
	[7] Single display Port Select	1画面表示設定(REG28E[14]=1'b0)時の表示する入力ポート選択機能を指定します。 (マルチ入力時、表示対象ポート限定する場合本設定が必要です) 0:入力データのまま表示します 1:指定ポート(REG283[6:5])を表示します
	[6:5] Single display Port Number	SPS(REG283[7]=1'b1)時の表示する入力ポートを指定します。 2'h0:ポート0 2'h1:ポート1 2'h2:ポート2 2'h3:ポート3
	[4:0] Vertical Sync Time	出力側垂直同期信号幅をライン数で設定します。

REG284 (R/W)	Display Vertical Delay Time	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:284H> default nnnn nnnn 0001 0011
		NULL V Delay Time(Line)	
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)	
	[7:0]	Vertical Delay Time 出力側垂直同期信号の開始から有効データ開始までのライン数を設定します	
REG285 (R/W)	Display Vertical Address Time	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:285H> default nnnn nnn0 1111 0000
		NULL V Address Time(dot)	
	[15:9]	NULL レジスタはありません。7'H00に設定願います。(読み出しデータは保証されません)	
	[8:0]	Vertical Address Time 出力側垂直方向有効データ期間のライン数を設定します。	
REG286 (R/W)	Display Horizontal Total Time	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:286H> default nnnn nn11 0101 1010
		NULL H Total Time(dot)	
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)	
	[9:0]	Horizontal Total Time 出力側水平同期信号周期をドット数で設定します	
REG287 (R/W)	Display Horizontal Sync Time	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:287H> default nnnn nnnn 0100 0000
		NULL H Sync Time(dot)	
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)	
	[7:0]	Horizontal Sync Time 出力側水平同期信号幅をドット数で設定します。	
REG288 (R/W)	Display Horizontal Delay Time	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:288H> default nnnn nnn0 0111 1010
		NULL H Delay Time(dot)	
	[15:9]	NULL レジスタはありません。7'H00に設定願います。(読み出しデータは保証されません)	
	[8:0]	Horizontal Sync Time 出力側水平同期信号の開始から有効データ開始までのドット数を設定します。	
REG289 (R/W)	Display Horizontal Address Time	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:289H> default nnnn nn10 1000 0000
		NULL H Address Time(dot)	
	[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)	
	[9:0]	Horizontal Address Time 入力側水平方向有効データ期間のドット数を設定します。	
REG28A (R/W)	Display Vertical Start Point	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:28AH> default nnnn nnnn 0001 0011
		NULL Y Start Point(line)	
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)	
	[7:0]	Y Start Point 垂直方向画像表示位置のスタートポイント(ライン数)を指定します。 デレイ期間中はREG264,265設定色になります セタリング時は1/2背景領域を指定します	

REG28B (R/W)	Display Horizontal Start Point										<ADDRESS:28Bh>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	NULL					X Start Point(dot)					nnnn nn00 0111 1010						
[15:10]	NULL レジスタはありません。6'H00に設定願います。(読み出しデータは保証されません)																
[9:0]	X Start Point 水平方向画像表示位置のスタートポイント(ドット数)を指定します。 デューティ期間中はREG264,265設定色になります センタリング時は1/2背景領域を指定します																

REG28E (R/W)	Display Horizontal Original Data Length										<ADDRESS:28Eh>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	IFM	DWM	DTM	rs	H Data Length(dot)					0000 0010 1000 0000							
	[15]	Inpose Function Mode 1画面表示時(REG28E[14]=1'b0)のインポーズ動作を指定します。 0:インポーズしません。 1:インポーズします。															
	[14]	Display multi Window Mode 0:1画面表示をします 1:マルチ分割表示を行います 本モード選択時、原画データは必ず1/2間引きモードの処理を行っておく必要があります。															
	[13:12]	Display Treat Mode 表示用データに対しての処理を指定します。 2'h0:スル(原画をそのまま)で処理します。 2'h1:拡大処理をします。(拡大内容は2倍のみ) 2'h2:縮小処理をします。(縮小比率はREG260[3]で指定します) 2'h3:切り処理をします。(切り比率はREG260[3]で指定します)															
[11:10]	Reserved 予約レジスタです。2'H0に設定願います。																
[9:0]	Horizontal Data Length 出力側水平方向原画データ数をドット数で設定します。																

*インポーズ ([15]=1'b1)及びマルチ分割([14]=1'b1)表示設定時は以下の関係式を満たす必要があります。
 $(REG28E[9:0]/2)/REG25B[7:0]=N$ (N:自然数)

REG28F (R/W)	Display Vertical Original Data Length										<ADDRESS:28Fh>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	DIR	NULL					V Data Length(Line)					0nnn nnn1 1110 0000					
	[15]	Display data Interlace Reverse 表示用データのSYNC信号及び出力走査ラインを制御します。 0:ODDフィールドに奇数ラインを出力します 1:EVENフィールドに奇数ラインを出力します。															
[14:10]	NULL レジスタはありません。5'H00に設定願います。(読み出しデータは保証されません)																
[9:0]	Vertical Data Length 出力側垂直方向原画データ数をライン数で設定します。																

[Micon I/F Control]

REG290 (R/W)	Micon IF Mode											<ADDRESS:290H>															
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default															
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:2.5%;">NU</td><td style="width:2.5%;">EWE</td><td colspan="5">NULL</td><td style="width:2.5%;">rs</td><td style="width:2.5%;">MFM</td><td style="width:2.5%;">WAP</td><td style="width:2.5%;">INP</td><td style="width:2.5%;">DAP</td><td style="width:2.5%;">DRP</td><td style="width:2.5%;">SRE</td> </tr> </table>											NU	EWE	NULL					rs	MFM	WAP	INP	DAP	DRP	SRE	n0nn nnnn n001 1111	
	NU	EWE	NULL					rs	MFM	WAP	INP	DAP	DRP	SRE													
	[15]	NULL レジスタはありません。1'H0に設定願います。(読み出しデータは保証されません)																									
	[14]	External Wait Enable マイコンアクセスに対する外部WAIT制御機能のイネブルを指定します。 0:enable 1:disable																									
	[13:7]	NULL レジスタはありません。7'H00に設定願います。(読み出しデータは保証されません)																									
	[6]	Reserved 予約レジスタです。1'H0に設定願います。																									
	[5]	Memory access Fast Mode SDRAMアクセス(REG26Bアクセス,DMA転送)時のマイコンアクセスモードを選択します。 データアクセス時のインターフェースが異なりますので設定時は注意願います。 0:ノーマルモード 1:ファストモード																									
	[4]	mWaitbout Porarity MWAITBOUT信号の極性を指定します。 0:positive 1:negative																									
[3]	mIntbout Porarity MINTBOUT信号の極性を指定します。 0:positive 1:negative																										
[2]	mDmaAkin Porarity MDMAAQIN信号の極性を指定します。 0:positive 1:negative																										
[1]	mDmaReqout Porarity MDMAREQOUT信号の極性を指定します。 0:positive 1:negative																										
[0]	Soft Reset Enable ソフトリセットのイネブルを指定します。 0:enable(Auto Clear) 1:disable 本ソフト発行後は10us以上のリカバリタイムを取って下さい。																										

REG291 (R/W)	Micon I/F Timing											<ADDRESS:291H>													
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default													
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:2.5%;">RRM</td><td style="width:2.5%;">Reserved</td><td colspan="5">WAITB Length</td><td colspan="5">Read Data Length</td> </tr> </table>											RRM	Reserved	WAITB Length					Read Data Length					0000 0000 1010 0001	
	RRM	Reserved	WAITB Length					Read Data Length																	
	[15]	Read data Recovery Mode 0:RDL(REG291[4:0])指定タイミングまで保持します 1:外部RDBIN信号の立ち上がりまで保持します																							
	[14:10]	Reserved 予約レジスタです。5'H00に設定願います。																							
[9:5]	WAITB Length WAITBイネブル(REG290[14]=1'h0)時の送出期間をシステムクロック数で指定します。																								
[4:0]	Read Data Length マイコンリードアクセス時のリードデータ有効期間をマイコンクロック数で指定します。																								

REG293 (R/W)	DMA Transfer Length											<ADDRESS:293H>												
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default												
	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td colspan="12">DMA Transfer Length</td> </tr> </table>											DMA Transfer Length												0000 0001 0000 0000
DMA Transfer Length																								
[15:0]	DMA Transfer Length DMA転送長を指定します。(ワード(16bit)長で指定します) 規定外転送完了後割り込みを発生します (リード時は残り転送長を示します(リード開始命令(REG294[0]=1'h1)発行後、有効です))																							

REG294 (R/W)	DMA Register										<ADDRESS:294h>				
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										default				
	NULL		rs	DTC	DTI	DRT	DMAREQ Length			DTM	DTS	nnnn 0010 0001 0001			
	[15:12]	NULL レジスタはありません。4'H0に設定願います。(読み出しデータは保証されません)													
	[11:10]	Reserved 予約レジスタです。2'H0に設定願います。													
	[9]	DMA Transfer Clear DMA転送の終了トリガを指定します。 0:enable(Auto Clear) 転送カウンタに満たない場合に強制的に終了させます。 (本モードによる終了時には割り込みは発生しません) 1:disable													
	[8]	DMAREQ Transfer Interval MDMAREQOUT信号の出力間隔を指定します。 0:DMAの開始時のみ出力します 1:DMAACK信号に対して1:1で出力します													
	[7]	DMAREQ Disable Timing MDMAREQOUT信号のディisableタイミングを指定します。 0:DMAACKの受付け後ディisableにします 1:DMAREQ Length(REG294[6:2])指定サイクル後ディisableにします													
	[6:2]	DMAREQ Length MDMAREQOUT信号の送出長をマイコンクロック数で指定します。													
	[1]	DMA Transfer Mode DMA転送のモードを指定します。 0:READ 1:Write													
[0]	DMA Transfer Start DMA転送の開始トリガを指定します。 0:enable(Auto Clear) 1:disable														

REG295 (R/W)	Chip Control															<ADDRESS:295H>			
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default		
	B7S	B6S	B5S	B4S	B3S	B2S	B1S	B0S	FAC	ECR	RCR	SIE	rs	SPC	SSC	1111	1111	0110	0000
[15]	Basis frame7 Save request 基準フレーム7の保存イェ-ブルを指定します。(保存フレーム番号はREG267にて設定します) 0:enable 1:disable																		
[14]	Basis frame6 Save request 基準フレーム6の保存イェ-ブルを指定します。(保存フレーム番号はREG267にて設定します) 0:enable 1:disable																		
[13]	Basis frame5 Save request 基準フレーム5の保存イェ-ブルを指定します。(保存フレーム番号はREG267にて設定します) 0:enable 1:disable																		
[12]	Basis frame4 Save request 基準フレーム4の保存イェ-ブルを指定します。(保存フレーム番号はREG267にて設定します) 0:enable 1:disable																		
[11]	Basis frame3 Save request 基準フレーム3の保存イェ-ブルを指定します。(保存フレーム番号はREG266にて設定します) 0:enable 1:disable																		
[10]	Basis frame2 Save request 基準フレーム2の保存イェ-ブルを指定します。(保存フレーム番号はREG266にて設定します) 0:enable 1:disable																		
[9]	Basis frame1 Save request 基準フレーム1の保存イェ-ブルを指定します。(保存フレーム番号はREG266にて設定します) 0:enable 1:disable																		
[8]	Basis frame0 Save request 基準フレーム0の保存イェ-ブルを指定します。(保存フレーム番号はREG266にて設定します) 0:enable 1:disable																		
[7]	Frame Assgin Clear enable SDRAMフレームアサイン情報のクリアを指定します。 0:クリアしません 1:クリアします(クリア後Auto Clear)																		
[6]	External Camera change Request 外部カメラ切換え要求のイェ-ブルを指定します。 0:enable(切換え可能後Auto Clear, 割り込み通知) 1:disable 入力切換え後演算を開始できるまでは最低3V期間必要です。																		
[5]	Re Culcurate Request ECR(REG295[6]=1'h0)コマンド後の再演算のイェ-ブルを指定します。 0:enable(切換え可能後Auto Clear) 1:disable ECR(REG295[6]=1'h0)発行後、安定したタイミングで必ず発行願います。																		
[4]	SDRAM Initialize Enable SDRAMの初期化制御のイェ-ブルを指定します。 0:disable(解除します。解除タイミングはご使用になるSDRAMの仕様に合わせて指定願います) 1:enable(Auto初期化シークスがスタートします)																		
[3:0]	Reserved 予約レジスタです。4'H0に設定願います。																		

[Interrupt Control]

REG2A0 (R/W)	Interrupt Control & Clear											<ADDRESS:2A0H>		
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default		
	Continue Interrupt Delay					FFC	Reserved				BIC	AIC	0001 0000 0000 0000	
	[15:8]	Continue Interrupt Delay 連続割り込み発生時の外部出力可能タイミングを指定します。 本レジスタはClear命令発行時([1]=1'H1 or [0]=1'H1)には変更できません。												
	[7]	Frame Function Content FCI対象のフレーム処理内容を指定します。 0:パシカルファンクション(除くJPEG処理) 1:フルファンクション(含むJPEG処理)												
	[6:2]	Reserved 予約レジスタです。5'H00に設定願います。												
[1]	Basis Interrupt Clear 基本(その時点での対象)割り込みをクリアします。 0:Nop 1:Clear(クリア処理完了後自動的に"0"に戻ります)													
[0]	All Interrupt Clear 現在発生している割り込み全てのクリアイテブルを指定します。 0:Nop 1:Clear(クリア処理完了後自動的に"0"に戻ります)													

REG2A2 (R)	Interrupt Status											<ADDRESS:2A2H>		
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default		
	NULL					rs	INT Status				nnnn nnnn nnn0 0000			
	[15:5]	NULL レジスタはありません。11'H000に設定願います。(読み出しデータは保証されません)												
	[4]	Reserved 予約レジスタです。1'H0が出力されます。												
[3:0]	INTerrupt Status 割り込みステータス表示(割り込み要因は下記の通り) 4'hF: Frame function Complete Interrupt 4'hE: JPEG Function Complete Interrupt 4'hD: Frame Function Error Interrupt 4'hC: DMA Transfer Complete Interrupt 4'hB: JPEG Register Write Error Interrupt 4'hA: Differential Count over Interrupt 4'h9: Multi-Window point Interrupt 4'h8: Timing Buffer & JPEG Restart error Interrupt 4'h7: Y Measure Interrupt 4'h6: Reserved 4'h5: Micon Access(DMA Transfer) enable Interrupt 4'h4: Camera Change enable Interrupt 4'h3: Color Detect Interrupt 4'h2: Area Calculate Interrupt 4'h1: Single Measure complete Interrupt 4'h0: No Interrupt													

REG2A3 (R)	Interrupt Status Content																<ADDRESS:2A3h>			
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																default			
	EBS				TB IS				Reserved				YDP YIP YAP YDI YII YAI				0000 0000 000 0000			
	[15:12]		Error Buffer Status																	
			内蔵バツァのエラーを発生したバツァ番号を示します。(REG2A2[3:0]=4'h8時のみ有効)																	

REG2A2[3:0]		要因													
4'h8:		(4'h7以外)タイミングバツァ割り込み発生時の該当タイミングバツァ番号を示します (4'h7)JPEG処理中に次のJPEG処理の開始要求の発生を示します													

[11:10]		Timing Buffer error Interrupt Status																	
		タイミングバツァ割り込み発生時の内容を示します。(割り込み要因は下記の通り)																	
		2'h3: Reserved																	
		2'h2: Timing buffer Underrun (Receive Buffer) Interrupt																	
		2'h1: Timing buffer Overflow (Transmit buffer) Interrupt																	
		2'h0: No Interrupt																	

[9:7]		Reserved																	
		読み出しデータは保証されません。																	

[6:0]		Y Measure Interrupt Status																	
		Y成分バツァ関連割り込み発生時の内容を示します。(割り込み要因は下記の通り)																	
		本要因は入力レベルの状態を示しますので複数の要因を示す場合があります。																	
		0:スレッショルド未満																	
		1:スレッショルド以上																	
		[6]: Reserved																	
		[5]: Y Deltamax Point threshold over																	
		[4]: Y mIn Point threshold over																	
		[3]: Y mAx Point threshold over																	
		[2]: Y Deltamax threshold over																	
		[1]: Y mIn threshold over																	
		[0]: Y mAx threshold over																	

REG2A4 (R/W)	Interrupt Enable1																<ADDRESS:2A4h>																																														
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																default																																														
FCI				JCI				FEI				DTI				JWI				DCI				MWI				TBI				YMI				rs				MAI				CCI				CDI				ACI				SMI				rs			
[15:1]		割り込みイネーブル(全ビット共通)																																																													
		0:enable																																																													
		1:disable																																																													
		各ビットの割り込み要因は下記の通り																																																													
		[15]: Frame function Complete Interrupt																																																													
		[14]: JPEG function Complete Interrupt																																																													
		[13]: Frame function Error Interrupt																																																													
		[12]: DMA Transfer complete Interrupt																																																													
		[11]: JPEG Register Write Error Interrupt																																																													
		[10]: Differential Count over Interrupt																																																													
		[9]: Multi-Window point Interrupt																																																													
		[8]: Timing Buffer Interrupt:要因はステータス(REG2A3[15:12],REG2A3[11:10])に表示																																																													
		[7]: Y Measure Interrupt:要因はステータス(REG2A3[6:0])に表示																																																													
		[6]: Reserved(1'b1に固定願います)																																																													
		[5]: Micon Access(DMA Transfer) enable Interrupt																																																													
		[4]: Camera Change enable Interrupt																																																													
		[3]: Color Detect Interrupt																																																													
		[2]: Area Calculate Interrupt																																																													
		[1]: Single Measure complete Interrupt																																																													
[0]		Reserved																																																													
		予約レジスタです。1'H0に設定願います。																																																													

[Window Control1]

REG2B0 (R/W)	Multi-Window Calculate Control Register	<ADDRESS:2B0H> default
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	1nnn nnnn nnnn nnnn
	MWC <input type="text" value="NULL"/>	
[15]	Multi-Window calculate Control ウィンドウ射像演算方式を指定します。 1'h0:マルチウィンドウ射像テーブル 1'h1:マルチウィンドウ射像テーブル	
[14:0]	NULL レジスタはありません。15'H000に設定願います。(読み出しデータは保証されません)	

REG2B3 REG2B6 (R)	Multi-Window Status	<ADDRESS:2B3H-2B6H> default
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	0000 0000 0000 0000
	<input type="text" value="Multi-Window Mapping Status1-4"/>	
[15:0]	Multi-Window mapping Status1-4 マルチウィンドウ処理時の各ウィンドウ毎の検出結果を示します。 4レジスタ合わせて最大64ウィンドウの演算結果を示す事ができます。本レジスタはマルチウィンドウ指定数に応じて使用領域が変化します。本レジスタはソフトレジスタ構成ですので処理完了毎にREG2B3[0]に格納し以前のデータは1ビットシフトします。 ソフト順序 REG2B3[0]->[1]->[15]->REG2B4[0]->[1]->[15]->REG2B6[14]->[15] (例) 1ウィンドウ時:REG2B3[0](W0結果) 63レジスタ未使用 32ウィンドウ時:REG2B4[15](W0結果)-----REG2B3[0](W31結果) 32レジスタ未使用 64ウィンドウ時:REG2B6[15](W0結果)-----REG2B3[0](W63結果) 全レジスタ使用 各レジスタの表示内容は下記の通り。(未使用レジスタは"0"を表示します) 0:変化なし(スレッショルド (REG2C0[13:0]) 変化検出個数) 1:変化あり(スレッショルド (REG2C0[13:0]) < 変化検出個数)	

REG2B7 (R/W)	Mapping data Select for Multi-Window mapping	<ADDRESS:2B7H> default
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	0nnn nnnn nnnn nnnn
	SCS <input type="text" value="NULL"/>	
[15]	Mapping data Select for Multi-Window mapping マルチウィンドウ処理を行う対象データを指定します。(マルチ射像対象のデータ選択はREG24B[1]) 0:指定色演算データ 1:比較演算データ	
[14:0]	NULL レジスタはありません。15'H0000に設定願います。(読み出しデータは保証されません)	

REG2B8 (R/W)	Shadow Rejector Threshold	<ADDRESS:2B8H> default
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	nnnn nnnn 0000 0000
	<input type="text" value="NULL"/> <input type="text" value="Shadow Rejector Threshold"/>	
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)	
[7:0]	Shadow Rejector Threshold シャドウキャンセル処理(REG24A[9:8]=2'h3)時のスレッショルドを指定します	

[Window Control2]

REG2C0 (R/W)	Multi-Window Mapping Threshold	<ADDRESS:2C0H> default 0000 0000 0000 0000
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
	rs Multi-Window Mapping Threshold	
[15:14]	Reserved 予約レジスタです。2'H0に設定願います。	
[13:0]	Multi-Window Mapping Threshold マルチウィンドウ処理時の各ウィンドウ内の变化検出スレッショルドを指定します。	

REG2C1 (R/W)	Multi-Window Divide Number	<ADDRESS:2C1H> default 0000 0000 0000 0000
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
	rs Y Divide Number rs X Divide Number	
	[15]	Reserved 予約レジスタです。1'H0に設定願います。
	[14:8]	"Y"Divide Number 行方向分割数を指定します。(設定値は1,2,4,8,16,32,64)
[7]	Reserved 予約レジスタです。1'H0に設定願います。	
[6:0]	"X"Divide Number 列方向分割数を指定します。(設定値は1,2,4,8,16,32,64) 最大分割数は上記[14:8]との組み合わせで64です	

REG2C2 (R/W)	Multi-Window INT Threshold	<ADDRESS:2C2H> default 0000 0000 0000 0000
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
	Reserved MW INT Threshold	
[15:6]	Reserved 予約レジスタです。10'H000に設定願います。	
[5:0]	Multi-Window Interrupt Threshold マルチウィンドウ処理時の割り込み対象ウィンドウ数のスレッショルドを指定します。	

[Y Calibration Coefficient]

REG2D0 (R/W)	Coefficient Select Level 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		<ADDRESS:2D0H> default 1100 0000 0100 0000				
	<table border="1"> <tr> <td>Upper Level</td> <td>Lower Level</td> </tr> </table>		Upper Level	Lower Level			
	Upper Level	Lower Level					
[15:8]	Upper Level 係数選択時の上位レベルを指定します						
[7:0]	Lower Level 係数選択時の下位レベルを指定します						
REG2D1 (R/W)	Upper Range Coefficient 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		<ADDRESS:2D1H> default 0001 0000 0000 0000				
	<table border="1"> <tr> <td>Upper Coefficient(A)</td> <td>Upper Coefficient(B)</td> </tr> </table>		Upper Coefficient(A)	Upper Coefficient(B)			
	Upper Coefficient(A)	Upper Coefficient(B)					
[15:8]	Upper Coefficient(A) 上位選択レベル(REG2D0[15:8])で指定された以上の輝度レベル処理の(A)係数を指定します 係数値						
[7:0]	Upper Coefficient(B) 上位選択レベル(REG2D0[7:0])で指定された以上の輝度レベル処理の(B)係数を指定します LSBは4として扱いますので設定値×4として処理します 係数値 はsignbit(0:"ノーマル",1:"2の補数")						
REG2D2 (R/W)	Middle Range Coefficient 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		<ADDRESS:2D2H> default 0001 0000 0000 0000				
	<table border="1"> <tr> <td>Middle Coefficient(A)</td> <td>Middle Coefficient(B)</td> </tr> </table>		Middle Coefficient(A)	Middle Coefficient(B)			
	Middle Coefficient(A)	Middle Coefficient(B)					
[15:8]	Middle Coefficient(A) 選択レベル(REG2D0[15:8],[7:0])で指定された輝度レベル処理の(A)係数を指定します 係数値						
[7:0]	Middle Coefficient(B) 選択レベル(REG2D0[15:8],[7:0])で指定された輝度レベル処理の(B)係数を指定します LSBは4として扱いますので設定値×4として処理します 係数値 はsignbit(0:"ノーマル",1:"2の補数")						
REG2D3 (R/W)	Lower Range Coefficient 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		<ADDRESS:2D3H> default 0001 0000 0000 0000				
	<table border="1"> <tr> <td>Lower Coefficient(A)</td> <td>Lower Coefficient(B)</td> </tr> </table>		Lower Coefficient(A)	Lower Coefficient(B)			
	Lower Coefficient(A)	Lower Coefficient(B)					
[15:8]	Lower Coefficient(A) 下位選択レベル(REG2D0[7:0])で指定された以下の輝度レベル処理の(A)係数を指定します 係数値						
[7:0]	Lower Coefficient(B) 下位選択レベル(REG2D0[7:0])で指定された以下の輝度レベル処理の(B)係数を指定します LSBは4として扱いますので設定値×4として処理します 係数値 はsignbit(0:"ノーマル",1:"2の補数")						
REG2D8 (R/W)	Field Table Select 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		<ADDRESS:2D8H> default 0000 0000 0000 0000				
	<table border="1"> <tr> <td>Reserved</td> <td>FDE</td> <td>ODE</td> <td>FTS</td> </tr> </table>		Reserved	FDE	ODE	FTS	
	Reserved	FDE	ODE	FTS			
	[15:3]	Reserved 予約領域です。13'H0000に設定願います。					
	[2]	Field Divided Enable OSD表示領域分割機能(REG2DB)のテーブルを指定します。 0:テーブル 1:テーブル					
[1]	OSD Display Enable OSD機能のテーブルを指定します。 0:テーブル 1:テーブル						
[0]	Field Table Select 0:テーブル0 1:テーブル1						
REG2D9 (R/W)	OSD Field Axis 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		<ADDRESS:2D9H> default 0001 0000 0001 0000				
	<table border="1"> <tr> <td>OSD Start Line</td> <td>OSD Start dot</td> </tr> </table>		OSD Start Line	OSD Start dot			
	OSD Start Line	OSD Start dot					
[15:8]	OSD Start Line OSD表示の開始ライン(垂直ドット位置)を指定します。(1/4座標で指定します)						
[7:0]	OSD Start dot OSD表示の開始列(水平ドット位置)を指定します。(1/4座標で指定します)						

REG2DA (R/W)	OSD Field Available Area										<ADDRESS:2DAH>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	Vertical Available Line					Horizontal Available Dot					0101 1010 0110 0000						
[15:8]	Vertical Available Line OSD表示領域の垂直方向有効範囲を指定します。(1/4座標で指定します)																
[7:0]	Horizontal Available Dot OSD表示領域の水平方向有効範囲を指定します。(1/4座標で指定します) 下位3ビットは必ず3'b000に固定願います。																

REG2DB (R/W)	OSD Field Divided Area										<ADDRESS:2DBH>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	Vertical Divided Point					Horizontal Divided Point					0000 0000 0000 0000						
[15:8]	Vertical Divided Point OSD表示領域の垂直方向分割ビットを指定します。(1/4座標で指定します)																
[7:0]	Horizontal Divided Point OSD表示領域の水平方向分割ビットを指定します。(1/4座標で指定します)																

REG2DC (R/W)	OSD Field Divided Area 0										<ADDRESS:2DCH>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	rs	CRA0	rs	CCA0	rs	BRA0	rs	BCA0								0100 0111 0100 0000	
	[15]	Reserved 予約レジスタです。1'H0に設定願います。															
	[14:12]	Character mixing Ratio Area 0 Area0でのOSDキャラクタ透過率を指定します。 3'h0:100%(OSD表示無し)、3'h1:75%、3'h2:50%、3'h3:25%、3'h4:0%(100%OSD表示) 他の設定は禁止です。															
	[11]	Reserved 予約レジスタです。1'H0に設定願います。															
	[10:8]	Character Color Area 0 Area0でのOSDキャラクタ色を指定します。 3'h0:黒、3'h1:赤、3'h2:緑、3'h3:青、3'h4:黄、3'h5:シアン、3'h6:マジENTA、3'h7:白															
	[7]	Reserved 予約レジスタです。1'H0に設定願います。															
	[6:4]	Background mixing Ratio Area 0 Area0でのOSD背景色透過率を指定します。 3'h0:100%(OSD表示無し)、3'h1:75%、3'h2:50%、3'h3:25%、3'h4:0%(100%OSD表示) 他の設定は禁止です。															
	[3]	Reserved 予約レジスタです。1'H0に設定願います。															
[2:0]	Background Color Area 0 Area0でのOSD背景色透過率を指定します。 3'h0:黒、3'h1:赤、3'h2:緑、3'h3:青、3'h4:黄、3'h5:シアン、3'h6:マジENTA、3'h7:白																

REG2DD (R/W)	OSD Field Divided Area 1										<ADDRESS:2DDH>						
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default
	rs	CRA1	rs	CCA1	rs	BRA1	rs	BCA1								0100 0111 0100 0000	
	[15]	Reserved 予約レジスタです。1'H0に設定願います。															
	[14:12]	Character mixing Ratio Area 1 Area1でのOSDキャラクタ透過率を指定します。 3'h0:100%(OSD表示無し)、3'h1:75%、3'h2:50%、3'h3:25%、3'h4:0%(100%OSD表示) 他の設定は禁止です。															
	[11]	Reserved 予約レジスタです。1'H0に設定願います。															
	[10:8]	Character Color Area 1 Area1でのOSDキャラクタ色を指定します。 3'h0:黒、3'h1:赤、3'h2:緑、3'h3:青、3'h4:黄、3'h5:シアン、3'h6:マジENTA、3'h7:白															
	[7]	Reserved 予約レジスタです。1'H0に設定願います。															
	[6:4]	Background mixing Ratio Area 1 Area1でのOSD背景色透過率を指定します。 3'h0:100%(OSD表示無し)、3'h1:75%、3'h2:50%、3'h3:25%、3'h4:0%(100%OSD表示) 他の設定は禁止です。															
	[3]	Reserved 予約レジスタです。1'H0に設定願います。															
[2:0]	Background Color Area 1 Area1でのOSD背景色透過率を指定します。 3'h0:黒、3'h1:赤、3'h2:緑、3'h3:青、3'h4:黄、3'h5:シアン、3'h6:マジENTA、3'h7:白																

REG2DE (R/W)	OSD Field Divided Area 2											<ADDRESS:2DEH>								
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default								
	rs		CRA2			rs		CCA2			rs		BRA2			rs		BCA2		
	0100 0111 0100 0000																			
	[15]		Reserved 予約レジスタです。1'H0に設定願います。																	
	[14:12]		Character mixing Ratio Area 2 Area2でのOSDキャラクタ透過率を指定します。 3'h0:100%(OSD表示無し)、3'h1:75%、3'h2:50%、3'h3:25%、3'h4:0%(100%OSD表示) 他の設定は禁止です。																	
	[11]		Reserved 予約レジスタです。1'H0に設定願います。																	
	[10:8]		Character Color Area 2 Area2でのOSDキャラクタ色を指定します。 3'h0:黒、3'h1:赤、3'h2:緑、3'h3:青、3'h4:黄、3'h5:シアン、3'h6:マジENTA、3'h7:白																	
	[7]		Reserved 予約レジスタです。1'H0に設定願います。																	
	[6:4]		Background mixing Ratio Area 2 Area2でのOSD背景色透過率を指定します。 3'h0:100%(OSD表示無し)、3'h1:75%、3'h2:50%、3'h3:25%、3'h4:0%(100%OSD表示) 他の設定は禁止です。																	
[3]		Reserved 予約レジスタです。1'H0に設定願います。																		
[2:0]		Background Color Area 2 Area2でのOSD背景色透過率を指定します。 3'h0:黒、3'h1:赤、3'h2:緑、3'h3:青、3'h4:黄、3'h5:シアン、3'h6:マジENTA、3'h7:白																		

REG2DF (R/W)	OSD Field Divided Area 3											<ADDRESS:2DFH>								
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0											default								
	rs		CRA3			rs		CCA3			rs		BRA3			rs		BCA3		
	0100 0111 0100 0000																			
	[15]		Reserved 予約レジスタです。1'H0に設定願います。																	
	[14:12]		Character mixing Ratio Area 3 Area3でのOSDキャラクタ透過率を指定します。 3'h0:100%(OSD表示無し)、3'h1:75%、3'h2:50%、3'h3:25%、3'h4:0%(100%OSD表示) 他の設定は禁止です。																	
	[11]		Reserved 予約レジスタです。1'H0に設定願います。																	
	[10:8]		Character Color Area 3 Area3でのOSDキャラクタ色を指定します。 3'h0:黒、3'h1:赤、3'h2:緑、3'h3:青、3'h4:黄、3'h5:シアン、3'h6:マジENTA、3'h7:白																	
	[7]		Reserved 予約レジスタです。1'H0に設定願います。																	
	[6:4]		Background mixing Ratio Area 3 Area3でのOSD背景色透過率を指定します。 3'h0:100%(OSD表示無し)、3'h1:75%、3'h2:50%、3'h3:25%、3'h4:0%(100%OSD表示) 他の設定は禁止です。																	
[3]		Reserved 予約レジスタです。1'H0に設定願います。																		
[2:0]		Background Color Area 3 Area3でのOSD背景色透過率を指定します。 3'h0:黒、3'h1:赤、3'h2:緑、3'h3:青、3'h4:黄、3'h5:シアン、3'h6:マジENTA、3'h7:白																		

[Clock Management]

REG2E0 (R/W)	PCLK Clock Management											<ADDRESS:2E0H>								
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default	0000	0000	0000
	CPR	Reserved			CS2	POPS		CS1	PPS		PAS	PPC	PIP							
[15]	CLK_P Reverse control 内部PCLK(CLK_P)の位相指定します。(内部PCLKスレートの時は本設定の位相をCLK_Pとします) 0:Rise edge 1:Fall edge																			
[14:11]	Reserved 予約レジスタです。4'H0に設定願います。																			
[10]	Clock Select 2(PCLK0) 出力PCLK0のクロックを選択します。 0:PLL生成クロック 1:外部(スレ)クロック																			
[9:7]	PCLK0 Phase Select 出力PCLK0の位相を選択します。 3'h0:0° 3'h1:60° 3'h2:90° 3'h3:180° 3'h4:240° 3'h5:300° 3'h6,3'h7:Reserved(本設定は禁止です)																			
[6]	Clock Select 1(PCLK) 内部PCLK(CLK_P)のクロックを選択します。 0:PLL生成クロック 1:外部(スレ)クロック																			
[5:3]	PCLK Phase Select 内部PCLK(CLK_P)の位相を選択します。 3'h0:0° 3'h1:60° 3'h2:90° 3'h3:180° 3'h4:240° 3'h5:300° 3'h6,3'h7:Reserved(本設定は禁止です)																			
[2]	PCLK PLL phase Adjuster Setup timing Select 位相調整回路入力用PCLKのタイミングを指定します。 0:Normal(No-Delayed) PCLK 1:Delayed PCLK																			
[1]	PCLK Power down Control 内部PCLK用PLLのパワーダウンを制御します。 0:Active 1:Power Down																			
[0]	PCLK Input Phase reverse control PCLK入力の位相指定します。(PCLK0スレートの時は本設定の位相をPCLK0とします) 0:Rise edge 1:Fall edge																			

REG2E1 (R/W)	DCLK Clock Management											<ADDRESS:2E1H>								
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default	nnnn	nnnn	nnnn
	NULL															DPC				
[15:1]	NULL レジスタはありません。15'H0000に設定願います。(読み出しデータは保証されません)																			
[0]	DCLKOUT Phase reverse Control DCLKOUT出力の位相指定します。 0:Rise edge 1:Fall edge																			

REG2E2 (R/W)	SCLK Clock Management										<ADDRESS:2E2H>									
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	default			
	NULL		STS	rs			CSS	SPS	SCF	SAS	rs		nnnn 0000 0000 0000							
	[15:12]	NULL レジスタはありません。4'H0に設定願います。(読み出しデータは保証されません)																		
	[11]	SDCLKOUT Through Select 出力SDCLKOUTの出力時の極性を選択します。 0:normal 1:reverse																		
	[10:7]	Reserved 予約レジスタです。4'H0に設定願います。																		
	[6]	Clock Select for SDCLKOUT SDCLKOUTの加ックを選択します。 0:PLL生成加ック 1:外部(スル-)加ック																		
	[5:4]	SDCLKOUT Phase Select 出力SDCLKOUTの位相を選択します。 2'h0:0° 2'h1:90° 2'h2:180° 2'h3:270°																		
	[3]	SDRAM Clock Fix 外部メモリ加ック(SDCLKOUT)の出力レベルを指定します。 0:enable 1:disable																		
[2]	SCLK PLL phase Adjuster Setup timing Select 位相調整回路入力用SCLKのタイミングを指定します。 0:Normal(No-Delayed) SCLK 1:Delayed SCLK																			
[1:0]	Reserved 予約レジスタです。2'H0に設定願います。																			

[JPEG Macro Control]

REG000 (R/W)	JPEG Macro Function Mode										<ADDRESS:000H>												
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										default												
	<table border="1" style="width:100%; text-align:center;"> <tr> <td colspan="7">NULL</td> <td>rs</td> <td>JDM</td> <td colspan="2">JCDTM</td> </tr> </table>										NULL							rs	JDM	JCDTM		nnnn nnnn nnn0 0001	
	NULL							rs	JDM	JCDTM													
[15:5]	NULL レジスタはありません。11'H000に設定願います。(読み出しデータは保証されません)																						
[4]	Reserved 予約レジスタです。1'H0に設定願います。																						
[3]	JPEG Deal Mode JPEG処理モードを指定します。 0:圧縮モード 1:伸張モード																						
[2:0]	JPEG Compression Data Thinning Mode 圧縮処理時の原画データ間引きモードを指定します。 3'h1:4:2:2データ 他の設定は禁止です。																						
REG001 (W)	JPEG Macro Soft Reset										<ADDRESS:001H>												
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										default												
	<table border="1" style="width:100%; text-align:center;"> <tr> <td colspan="7">NULL</td> <td>JSR</td> <td colspan="2">NULL</td> </tr> </table>										NULL							JSR	NULL		nnnn nnnn 0nnn nnnn		
	NULL							JSR	NULL														
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)																						
[7]	JPEG macro Soft Reset JPEGエンジンのソフトリセットを指定します。 0:何もしません。 1:マクロを全て初期化します。																						
[6:0]	NULL レジスタはありません。7'H00に設定願います。(読み出しデータは保証されません)																						
REG002 (R)	JPEG Action Status										<ADDRESS:002H>												
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										default												
	<table border="1" style="width:100%; text-align:center;"> <tr> <td colspan="11">NULL</td> <td>JAS</td> </tr> </table>										NULL											JAS	nnnn nnnn nnnn nnn0
NULL											JAS												
[15:1]	NULL レジスタはありません。15'H000に設定願います。(読み出しデータは保証されません)																						
[0]	JPEG Action Status JPEG処理動作ステータスを表示します。 0:動作していません。 1:JPEG処理中です。 専用モード (REG270[0]=1'b1)時、必ず動作していない事を確認した後開始願います。																						
REG005 (R/W)	DRI Value(Upper)										<ADDRESS:005H>												
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										default												
	<table border="1" style="width:100%; text-align:center;"> <tr> <td colspan="7">NULL</td> <td colspan="3">DRI Value(Upper)</td> </tr> </table>										NULL							DRI Value(Upper)			nnnn nnnn 0000 0000		
NULL							DRI Value(Upper)																
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)																						
[7:0]	DRI Value(Upper) RSTマクロ挿入時のMCU数(上位)を指定します。																						
REG006 (R/W)	DRI Value(Lower)										<ADDRESS:006H>												
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										default												
	<table border="1" style="width:100%; text-align:center;"> <tr> <td colspan="7">NULL</td> <td colspan="3">DRI Value(Lower)</td> </tr> </table>										NULL							DRI Value(Lower)			nnnn nnnn 0000 0100		
NULL							DRI Value(Lower)																
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)																						
[7:0]	DRI Value(Lower) RSTマクロ挿入時のMCU数(下位)を指定します。 (REG005, REG006共に8'h00設定時はDRI, RSTマクロは挿入されません)																						
REG007 (R/W)	Vertical Picture Size(Upper)										<ADDRESS:007H>												
	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0										default												
	<table border="1" style="width:100%; text-align:center;"> <tr> <td colspan="7">NULL</td> <td colspan="3">VPS(Upper)</td> </tr> </table>										NULL							VPS(Upper)			nnnn nnnn 0000 0001		
NULL							VPS(Upper)																
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)																						
[7:0]	Vertical Picture Size(Upper) JPEGモードする垂直方向画像サイズ(上位)を指定します。																						

REG008 (R/W)	Vertical Picture Size(Lower)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:008H> default nnnn nnnn 1110 0000			
		<table border="1"> <tr> <td>NULL</td> <td>VPS(Lower)</td> <td>Reserved</td> </tr> </table>	NULL	VPS(Lower)	Reserved	
	NULL	VPS(Lower)	Reserved			
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)				
[7:3]	Vertical Picture Size(Lower) JPEGにコードする垂直方向画像サイズ(下位)を指定します。 設定時は[2:0]の3'H0を含めてサイズ設定が必要です。(サイズの最大480)					
	[2:0]	Reserved 予約レジスタです。3'H0に設定願います。				

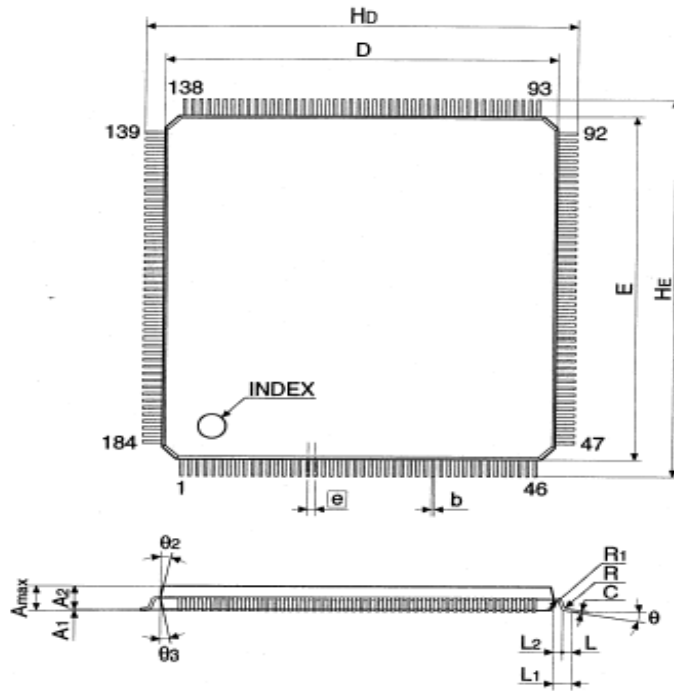
REG009 (R/W)	Horizontal Picture Size(Upper)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:009H> default nnnn nnnn 0000 0010		
		<table border="1"> <tr> <td>NULL</td> <td>HPS(Upper)</td> </tr> </table>	NULL	HPS(Upper)	
	NULL	HPS(Upper)			
[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)				
	[7:0]	Vertical Picture Size(Upper) JPEGにコードする水平方向画像サイズ(上位)を指定します。			

REG00A (R/W)	Horizontal Picture Size(Lower)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:00AH> default nnnn nnnn 1000 0000			
		<table border="1"> <tr> <td>NULL</td> <td>HPS(Lower)</td> <td>Reserved</td> </tr> </table>	NULL	HPS(Lower)	Reserved	
	NULL	HPS(Lower)	Reserved			
	[15:8]	NULL レジスタはありません。8'H00に設定願います。(読み出しデータは保証されません)				
[7:3]	Vertical Picture Size(Lower) JPEGにコードする水平方向画像サイズ(下位)を指定します。 設定時は[3:0]の4'H0を含めてサイズ設定が必要です。(サイズの最大640)					
	[3:0]	Reserved 予約レジスタです。4'H0に設定願います。				

REG00F (R)	JPEG Macro Interrupt Status	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<ADDRESS:00FH> default nnnn nnnn n000 nnnn						
		<table border="1"> <tr> <td>NULL</td> <td>CDC</td> <td>NES</td> <td>SRS</td> <td>DES</td> <td>NULL</td> </tr> </table>	NULL	CDC	NES	SRS	DES	NULL	
	NULL	CDC	NES	SRS	DES	NULL			
	[15:8]	NULL レジスタはありません。(読み出しデータは保証されません)							
	[7]	Reserved(読み出しデータは保証されません)							
	[6]	Normal End flag Status 0:何も示しません。 1:正常なJPEG処理の終了を示します。							
	[5]	Soft Reset complete flag Status 0:リセット処理中です。 1:ソフトリセット(REG001[7]=1'b1設定)処理の完了を示します。							
[4]	Decode Error Status 0:エラーはありません 1:伸張時のデータエラー発生を示します。								
	[3:0]	NULL レジスタはありません。(読み出しデータは保証されません)							

*:本レジスタは原則としてJPEG処理の完了毎にリード確認願います。

ZEN3001F 外形图



Lead type STD (QFP20-184pin STD)						
Symbol	Dimension in Millimeters			Dimension in Inches *		
	Min.	Nom.	Max.	Min.	Nom.	Max.
E	19.9	20	20.1	(0.784)	(0.787)	(0.791)
D	19.9	20	20.1	(0.784)	(0.787)	(0.791)
A			1.7			(0.066)
A1		0.1			(0.004)	
A2	1.3	1.4	1.5	(0.052)	(0.055)	(0.059)
e		0.4			(0.016)	
b	0.13	0.16	0.21	(0.006)	(0.006)	(0.008)
C	0.1	0.125	0.175	(0.004)	(0.005)	(0.007)
θ	0°		10°	(0°)		(10°)
L	0.3	0.5	0.7	(0.012)	(0.020)	(0.027)
L1		1			(0.039)	
L2		0.5			(0.020)	
HE	21.6	22	22.4	(0.851)	(0.866)	(0.881)
Hd	21.6	22	22.4	(0.851)	(0.866)	(0.881)
θ2		12°			(12°)	
θ3		12°			(12°)	
R		0.2			(0.008)	
R1		0.2			(0.008)	

* for reference

改訂履歴

バージョン	日付	内容
0.1	2004 / 03 / 01	初版発行
0.2	2004 / 05 / 19	[制限事項]を追加。
0.3	2004 / 06 / 15	1. [AC特性タイミングチャート]を変更。 2. REG259の[6]および[5:4]の内容を追加。 3. PLL使用時の留意点を追加。 4. 基本端子説明の電源部に補足説明を追加。 5. 端子アサイン表を変更。 6. 語句の統一。 7. 誤記を修正。
0.4	2006 / 09 / 06	1. JPEG専用モードの注意を追加。 2. REG00Fの[7]を削除。 3. 誤記を修正。

ご注意

- (1) 本製品および本資料は**株式会社ジーニック**の著作物です。
したがって、本資料の全部または一部を無断で複製、転載することはご遠慮ください。
- (2) 本製品及び本資料の内容は性能向上のために、予告なく変更する場合があります。
ご使用に際しては、最新の資料をご請求願います。
- (3) 本資料に記載されております内容は工業所有権、その他の権利の実施に対する保証または実施権の許諾を行うものではありません。
- (4) 本資料に記載されております応用回路例は基本的な使用方法を示したものであり、
回路の動作を保証するものではありません。
- (5) 本製品の具体的な運用の結果、他への影響につきましては責任を負いかねますので、ご了承ください。
- (6) 本製品は一般的な電子機器(電算機、計測機器、産業用ロボット、位置決め制御装置、画像処理機器 etc.)に
使用されることを前提にしております。したがって、人命に関わる輸送機器、医療機器、航空・宇宙、
原子力関係機器などには使用しないでください。



株式会社ジーニック

URL <http://www.zenic.co.jp/> E-mail | <mailto:support@zenic.co.jp>
〒520-0801 滋賀県大津市におの浜4-7-5 オプテックスビル8F
TEL:077-526-2101 FAX:077-526-0500